Course and exercises

بُنيـةُ الآلَة 2

Machine Structure

د. طه زروقي

Contents

I Course Summaries ملخصات الدروس **5**

1 Logic circuit design **6**
1.1 Study of logic function دراسة دالة منطقية . . . 6
1.1.1 Textual Definition of a Function . . . 6
1.2 Partially Defined Function دوال تعريفها ناقص . . . 8
1.3 Logic Gates البوابات المنطقية . . . 9
1.3.1 Basic Logic Gates البوابات المنطقية الأساسية . . . 9
1.3.2 Combined logic gates البوابات المنطقية المركّبة . . . 9
1.4 Universal gates البوابات الشاملة . . . 10
1.5 Simplification التبسيط . . . 11
1.5.1 Simplification by algebraic properties التبسيط بالخواص الجبرية . . . 11
1.5.2 Simplification using Karnaugh Maps التبسيط بجدول كارنوف . . . 12

2 Logic Circuits **13**
2.1 Combinational Circuits الدارات التوافقية . . . 13

3 Sequential Circuits **20** الدارات التعاقبية
3.1 Synchronous Systems الأنظمة المتزامنة . . . 20
3.2 Flip-Flops القلابات . . . 20
3.2.1 RS Flip-Flops قلابات RS . . . 21
3.2.2 Synchronous RST Flip-Flop القلاب المتزامن RST . . . 22
3.2.3 JK Synchronous Flip-Flop القلاب ج.ك المتزامن . . . 22
3.2.4 Asynchronous JK Flip-Flop القلاب ج.ك غير المتزامن . . . 23
3.2.5 Synchronous D Flip-Flop القلاب د المتزامن . . . 23
3.2.6 D Flip-Flop with Latch قلاب د القفل . . . 24

4 Registers and Memories **25** السجلات والذاكرات
4.1 1-bit Memory ذاكرة 1 بت . . . 25
4.2 The Register السجل . . . 26
4.2.1 Parallel Register السجل المتوازي . . . 26
4.2.2 Serial Register (Shift Register) سجل متسلسل أو بالإزاحة . . . 27
4.2.3 Mixed Registers السجلات المختلطة . . . 27
4.3 Memory . . . 28
4.3.1 Memory Characteristics خصائص الذاكرة . . . 28
4.3.2 Memory Classification تصنيف الذاكرات . . . 30
4.3.3 Central Memory الذاكرة المركزية . . . 32

5 Basic Architecture of a Computer **37** البنية الأساسية للحاسوب
5.1 Introduction مقدمة . . . 37
5.2 Von Neumann Architecture معمارية فون نيومن . . . 38
5.2.1 Main Memory الذاكرة المركزية . . . 38

II Exerises تمارين **44**

6 Exercises تمارين **45**

6.1 Chapter 1 exercises تمارين الفصل الأول . . . 46

6.1.1 Additional Exercises . . . 48

6.1.2 Practical Work عمل تطبيقي . . . 51

6.2 Chapter 2 exercise تمارين الفصل الثاني . . . 52

6.2.1 Additional Exercises تمارين للتعمّق . . . 53

6.3 Chapter 3 exercises تمارين الفصل الثالث . . . 55

6.3.1 Additional Exercises تمارين للتعمّق . . . 58

6.4 Chapters 4 and 5 exercises تمارين الفصل الرابع والخامس . . . 63

6.4.1 Additional Exercises للتعمّق . . . 63

7 Exercises solutions حلول التمارين **65**

7.1 Chapter 1 exercises تمارين الفصل الأول . . . 66

7.2 Chapter 2 exercise تمارين الفصل الثاني . . . 78

7.3 Chapter 3 exercises تمارين الفصل الثالث . . . 87

III Tests and Exams فحوص وامتحانات **99**

8 Tests فحوص **100**

8.1 Tests n°1 . . . 101

8.1.1 Quiz n°1 . . . 101

8.1.2 Quiz n°2 . . . 101

8.1.3 Quiz n°3 . . . 101

8.1.4 Quiz n°4 . . . 101

8.1.5 Quiz n°5 . . . 101

8.1.6 Quiz n°6 . . . 102

8.1.7 Quiz n°7 . . . 102

8.1.8 Quiz n°8 . . . 102

8.1.9 Quiz n°9 . . . 102

8.2 Tests n°2 . . . 103

8.2.1 Quiz n°1 . . . 103

8.2.2 Quiz n°2 . . . 103

8.2.3 Quiz n°3 . . . 104

8.2.4 Quiz n°4 . . . 104

8.2.5 Quiz n°5 . . . 105

8.3 Tests n°3 . . . 106

8.3.1 Quiz n°1 . . . 106

8.3.2 Quiz n°2 . . . 107

8.3.3 Quiz n°3 . . . 108

8.3.4 Quiz n°4 . . . 109

8.3.5 Quiz n°5 . . . 110

8.3.6 Quiz n°6 . . . 111

8.3.7 Quiz n°7 . . . 112

8.3.8 Quiz n°8 . . . 113

8.3.9 Quiz n°9 . . . 114

8.3.10 Quiz n°10 . . . 115

9 Test Solutions حلول الفحوص **116**
9.1 Tests n°1 . . . 117
9.1.1 Quiz n°1 . . . 117
9.1.2 Quiz n°2 . . . 120
9.1.3 Quiz n°3 . . . 120
9.1.4 Quiz n°4 . . . 123
9.1.5 Quiz n°5 . . . 123
9.1.6 Quiz n°6 . . . 126
9.1.7 Quiz n°7 . . . 126
9.1.8 Quiz n°8 . . . 129
9.1.9 Quiz n°9 . . . 129
9.2 Tests n°2 . . . 132
9.2.1 Quiz n°1 . . . 132
9.2.2 Quiz n°2 . . . 134
9.2.3 Quiz n°3 . . . 138
9.2.4 Quiz n°4 . . . 141
9.2.5 Quiz n°5 . . . 143
9.3 Tests n°3 . . . 147
9.3.1 Quiz n°1 . . . 147
9.3.2 Quiz n°2 . . . 149
9.3.3 Quiz n°3 . . . 151
9.3.4 Quiz n°4 . . . 153
9.3.5 Quiz n°5 . . . 155
9.3.6 Quiz n°6 . . . 157
9.3.7 Quiz n°7 . . . 159
9.3.8 Quiz n°8 . . . 162
9.3.9 Quiz n°9 . . . 165
9.3.10 Quiz n°10 . . . 167

10 Exams امتحانات **169**
10.1 Exams امتحانات . . . 170
10.1.1 Subject n°1 . . . 170
10.1.2 Subject n°2 . . . 172

11 Exam Solution حلول الامتحانات **173**
11.1 Exam Corrections حلول امتحانات . . . 174
11.1.1 Solution of subject n°1 . . . 174
11.1.2 Solution of subject n°2 . . . 180

12 Appendices ملحقات **186**
12.0.1 Books كتب . . . 187
12.0.2 Courses online دروس أونلاين . . . 187
12.0.3 Youtube Channels دروس فيديو على يوتيوب . . . 187
12.0.4 Software برامج وتطبيقات . . . 187
12.1 Glossary مسرد . . . 188
12.1.1 مرتبة أبجديًا حسب الحرف العربي . . . 188
12.1.2 مرتبة أبجديًا حسب الحرف اللاتيني . . . 192

Bibliography **196**

Preface مقدمة

كتاب ``بنية الآلة2'' كتاب دروس وتمارين محلولة، موجهة لطلبة التخصصات الآتية:

- السنة الأولى إعلام آلي ليسانس (السداسي الثاني)
- السنة الأولى إعلام آلي مهندس (السداسي الأول)
- السنة الأولى رياضيات ليسانس (السداسي الثاني)
- السنة الأولى رياضيات وإعلام آلي ليسانس (السداسي الثاني)
- سنة ثانية هندسة كهربائية
- سنة ثانية ثانوي تقني رياضي هندسة كهربائية.

ويحتوي في هذا الجزء على دروس السداسي الثاني:

- تصميم الدارات المنطقية
- الدارات التوافقية
- الدارات التعاقبية
- السجلات والذاكرات

وفي الكتاب تمارين كثيرة مقسّمة حسب الفصول، قسم كبير منها محلول، وفيه أيضا قسم لفحوص التقويم المستمر مع تصحيحها، وقسم آخر للامتحانات. ويتميز الكتاب كذلك بثنائية اللغة، فالدروس فيه بالإنجليزية ومترجمة إلى العربية، وذلك لمساعدة الطلبة المستجدين الذين يعانون من عائق اللغة في بدايتهم الجامعية.
والكتاب متوفر أيضا بنسخة عربية/فرنسية في إصدار آخر.
ويأتي هذا الكتاب ثمرة لخبرة اكتسبتها في التدريس في جامعة البويرة لسنوات عديدة في قسم الإعلام الآلي. لذا أتمنى أن يلقى هذا الكتاب القبول، ونرحب بالملاحظات والتوصيات لتحسينه مستقبلا.
المؤلف: د. طه زروقي taha.zerrouki (at) gmail.com

عن المؤلف

الدكتور طه زروقي، أستاذ بجامعة البويرة في قسم علوم الحاسوب، متخرج من المدرسة الوطنية العليا للإعلام الآلي، مطوّر برمجيات حرة مفتوحة المصدر خاصة باللغة العربية، مهتم بـ :

- المعالجة الآلية للغات الطبيعية
- المصادر المفتوحة

قدّم دروسا في :

- بنية الآلة ومعمارية الحاسوب
- لغات البرمجة

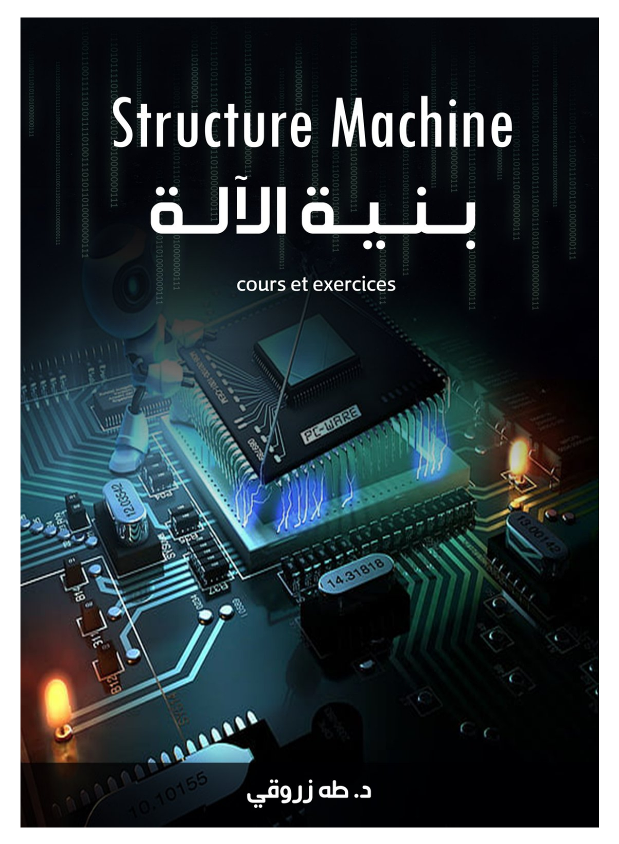
- تقنيات XML
- تقنيات ومنهجيات البرمجة
- أنماط التصميم Pattern Design
- برامج إدارة المشاريع

كتب للمؤلف :

- دليل المصطلحات لطلبة السنة الأولى الشعب التقنية، إلكتروني، 2012
- كتاب بنية الآلة 1 (عربي/فرنسي) مطبوع، مكتبة عكاشة، 2022
- كتاب بنية الآلة 1 (عربي/فرنسي) إلكتروني، 2021
- كتاب بنية الآلة 2 (عربي/فرنسي) إلكتروني، 2022
- كتاب بنية الآلة 1 (عربي/إنجليزي) إلكتروني، 2023
- كتاب منهجية البرمجة وتقنياتها (عربي/إنجليزي) إلكتروني، 2023

موقع : http://tahadz.com
قناة الدروس على يوتيوب
http://youtube.com/@taha.zerrouki

كتب للمؤلف



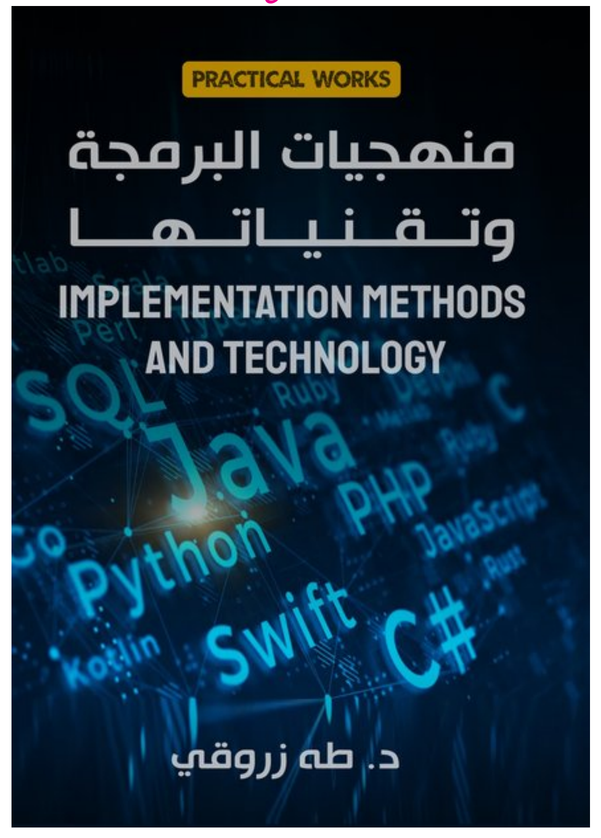
للتحميل



للتحميل



للتحميل

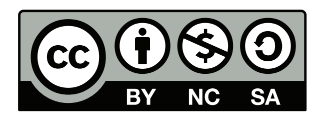


للتحميل

جزيل الشكر للدكتورين إلياس باديس وإبراهيم جلابي على مشاركتهما في تدريس هذه المادة، وإبداء الملاحظات والتقويم لمحتوى المادة. و جزيل الشكر للمهندس هيثم بن حليمة لتصميم الغلاف، والشكر موصول لكل من ساهم في إعداد هذا الكتاب.

أُعدّت المصطلحات بتصرف وفقا للمصادر الآتية، مع مراعاة مطابقتها للمنهاج الدراسي في الثانوية: (الدار العربية للعلوم, 1990; المدرسة الوطنية التحضيرية لدراسات مهندس, 2004; Zerrouki, 2012; Zerrouki, 2013).

This Book uses the “mathbook v1.41” class developed by “Stéphane Pasquet”.
The cover page made by Haithem Benhalima: haithem_bhm@intagram
Many exercises and solutions were generated automatically by “STRM-Test” project developed by the Author, available on GitHub[1].
Version 3.0, date: April 2, 2024.



[1] https://github.com/linuxscout/strm-tests

Part I

Course Summaries ملخصات الدروس

Chapter 1

Logic circuit design

1.1 Study of logic function — دراسة دالة منطقية

A logic function is studied according to the following steps:

تُدرس دالة منطقية حسب الخطوات الآتية.

	English	العربية
1	Inputs/Outputs	مداخل ومخارج
2	Truth Table	جدول الحقيقة
3	Canonical Forms	الشكل القانوني
4	Simplification (Algebraic or Karnaugh Map)	التبسيط (جبريا أو بمخطط كارنوف)
5	Draw the Logic Diagram (Logic gates diagram)	رسم المخطط المنطقي (مخطط البوابات المنطقية)

1.1.1 Textual Definition of a Function

: Generally, the description of how a system operates is provided in textual format.
To study and implement such a system, we need its mathematical model (logic function).
Therefore, it is necessary to derive the logic function from the textual description.

عادة تعطى تعريف عمل النظام بوصف نصّي. لذا علينا وضع نموذج رياضي (دالة منطقية) لدراسة هذا النظام، هذا النموذج يُستنتج من الوصف النصّي.

Example A security lock opens using three keys. The operation of the lock is defined as follows:

- The lock opens if at least two keys are used.
- The lock remains closed in all other cases.

قفل ذو ثلاثة مفاتيح، يفتح بمفتاحين معًا على الأقل.

Inputs/Outputs:

- Three inputs: Each input represents a key.
- Single output: The state of the lock (open or closed).

المداخل والمخارج:

- ثلاث مداخل أو متغيرات: كل مدخل يمثل مفتاحا.
- مخرج واحد: حالة القفل مفتوح أو مغلق.

Inputs/Outputs:

المداخل والمخارج

- Three inputs:
  - → Key A: Used 1 Not Used 0
  - → Key B: Used 1 Not Used 0
  - → Key C: Used 1 Not Used 0

• ثلاث مداخل:

→ المفتاح A: مستعمل 1 غير مستعمل 0.

→ المفتاح B: مستعمل 1 غير مستعمل 0.

→ المفتاح C: مستعمل 1 غير مستعمل 0.

- Single output:
  - → Lock state (open or closed).
  - → S: Open 1 Closed 0

• مخرج واحد :

→ حالة القفل

S : مفتوح 1 مغلق 0

نعرّف دالة المخرج بدلالة المداخل، فتصبح:

$S = F(A, B, C)$ or denoted as $S(A, B, C)$.

$$S(A,B,C) = \begin{cases} 1 & \text{if at least two keys are inserted إذا أُدخل مفتاحان على الأقل} \\ 0 & \text{otherwise وإلّا.} \end{cases} \quad (1.1)$$

Truth table

جدول الحقيقة

N°	A	B	C	S
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	1

Canonical forms

الشكل القانوني

1st Canonical Form **(Disjunctive Form)**

الشكل القانوني الأول: الشكل المفصول

$$S(a, b, c) = \overline{a}.b.c + a.\overline{b}.c + a.b.\overline{c} + a.b.c$$

2nd Canonical Form **(Conjunctive Form)**

الشكل القانوني الثاني: الشكل الموصول

$$S(a, b, c) = (a + b + c)(a + b + \overline{c})(a + \overline{b} + c)(\overline{a} + b + c)$$

Numeric Forms

الشكل القانوني الرقمي

A function's canonical forms can also be represented numerically. Numbers are the terms' representations.

يمكن أيضًا تمثيل الدالة بأشكال قانونية رقميّة. حيث تمثّل الحدود بالأرقام.

$ABC => 111 => 7$ $AB\bar{C} => 101 => 5$
$S(a, b, c) = \overline{a}.b.c + a.\overline{b}.c + a.b.\overline{c} + a.b.c \rightarrow (011, 101, 110, 111) \rightarrow (3, 5, 6, 7)$

- R or $\sum$: to indicate the disjunctive form.
  - → $S(a, b, c) = \sum(3, 5, 6, 7)$ or using **R**
  - → $S(a, b, c) = R(3, 5, 6, 7)$

نستعمل R أو $\sum$: لكتابة الشكل القانوني المفصول.

- P or $\prod$: to indicate the conjunctive form.

نستعمل P أو $\prod$: لكتابة الشكل القانوني الموصول.

  → $S(a,b,c) = \prod(0,1,2,4)$
  → $S(a,b,c) = P(0,1,2,4)$

1.2 Partially Defined Function

دوال تعريفها ناقص

In some definitions of a logical function, there are forbidden or impossible cases.

أحياناً نجد بعض الدوال فيها حالات ممنوعة أو مستحيلة

Example A security lock opens based on three keys A, B, C. The operation of the lock is defined as follows:

- $S(A,B,C) = 1$ if at least two keys are used.
- $S(A,B,C) = 0$ otherwise.

Keys A and C cannot be used at the same time.

قفل بثلاثة مفاتيح A, B, C، يفتح بمفتاحين معا على الأقل، **المفتاحان A و C لا يمكن استعمالهما معًا.**

Prohibited cases are represented as **X**, ie̋ "undefined"

الحالات الممنوعة أو المستحيلة تمثل في جدول الحقيقة بـ**X** أي غير معرّف.

Truth table

جدول الحقيقة

N°	A	B	C	S
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	X
6	1	1	0	1
7	1	1	1	X

Karnaugh Map It is possible to use Xs in groupings:

- Either consider them as 1s.
- Or consider them as 0s.
- Do not form groupings that contain only Xs.

جدول كارنوف يمكن استعمال الحالات الممنوعة في تجميعات كارنوف، حسب الشروط:

- يمكن اعتبار حالة ما واحدا عند الحاجة
- يمكن اعتبار حالة ما صفرا عند الحاجة
- لا تشكل مجموعة من الحالات الممنوعة فقط

a \ b c	00	01	11	10
0	0	0	1	0
1	0	X	X	1

1.3 Logic Gates البوابات المنطقية

1.3.1 Basic Logic Gates البوابات المنطقية الأساسية

Basic logic gates are the OR, AND, and NOT gates.

a	b	a AND b
0	0	0
0	1	0
1	0	0
1	1	1

a	b	a OR b
0	0	0
0	1	1
1	0	1
1	1	1

a	$\bar{a}$
0	1
1	0

1.3.2 Combined logic gates البوابات المنطقية المركّبة

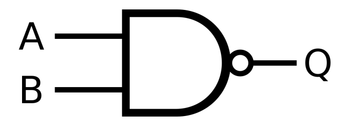
البوابات المنطقية الإضافية أو المركبة هي نفي الوصل NAND ونفي الفصل NOR أو الإقصاء XOR أو الإقصاء العكسي XNOR ، وتعرّف كما يلي:

Combined logic gates are the NAND gate (NOT-AND), the NOR gate (NOT-OR), the XOR gate (Exclusive OR), and the XNOR gate (Inverted exclusive OR) defined by:

NOT-AND:	$A\ NAND\ B = A \uparrow B = \overline{A.B}$	نفي الوصل
NOT-OR:	$A\ NOR\ B = A \downarrow B = \overline{A + B}$	نفي الفصل
Exclusive OR:	$A\ XOR\ B = A \bigoplus B = A.\bar{B} + \bar{A}.B$	الفصل الإقصائي
Inverted Exclusive OR:	$A\ \ XNOR\ B = A \bigodot B = A.B + \bar{A}.\bar{B}$	الإقصاء المعكوس

NAND: نفي الوصل

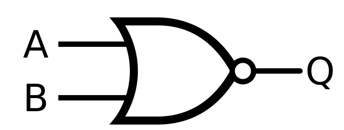
$A\ NAND\ B = A \uparrow B = \overline{A.B}$



a	b	$a \uparrow b$
0	0	1
0	1	1
1	0	1
1	1	0

NOR: نفي الفصل

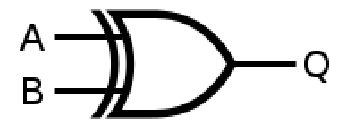
$A\ NOR\ B = A \downarrow B = \overline{A + B}$



a	b	$a \downarrow b$
0	0	1
0	1	0
1	0	0
1	1	0

XOR: الفصل الإقصائي

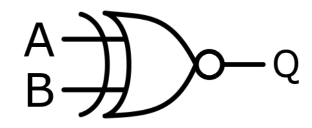
$A\ Xor\ B = A \bigoplus B = A.\bar{B} + \bar{A}.B$



a	b	$a \bigoplus b$
0	0	0
0	1	1
1	0	1
1	1	0

XNOR: الإقصاء العكسي

$A\ XNOR\ B = A \bigodot B = A.B + \bar{A}.\bar{B}$



a	b	$a \bigodot b$
0	0	1
0	1	0
1	0	0
1	1	1

1.4 Universal gates البوابات الشاملة

عامل ``نفي الفصل" NOR يُعدّ ``شاملًا"، أي أنه يمكنه التعبير عن جميع الوظائف الأخرى في منطق البوابات. نفس الشيء ينطبق على عامل ``نفي الوصل" NAND.

غالبًا ما تُصنع الدارات المنطقية باستخدام بوابات NAND أو NOR بدلاً من البوابات الأساسية: الفصل والوصل والنفي. تتطلب بوابات NAND و NOR عددًا أقل من الترانزستورات أثناء الصناعة، وعليه تأخذ مساحة أقل على الدوائر المتكاملة، مما يخفض تكلفتها.

The NOR function is considered “universal” (together with the NAND function) since it can express all other logic functions.

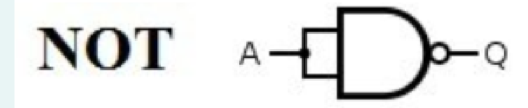
Similarly, the NAND function is referred described as “universal” since it can represent all other logic functions. As a result, any logic function can be created using simply the NAND gate.

Logic circuits are frequently built utilizing NAND and NOR gates rather than AND and OR gates. NAND and NOR gates use fewer transistors to implement, take up less space on integrated circuits, and so cost less ((Cormier, 2015)).

Example We can express the NOT by the NAND as follows:

يمكن أن نعبّر عن النفي بدلالة نفي الفصل فقط

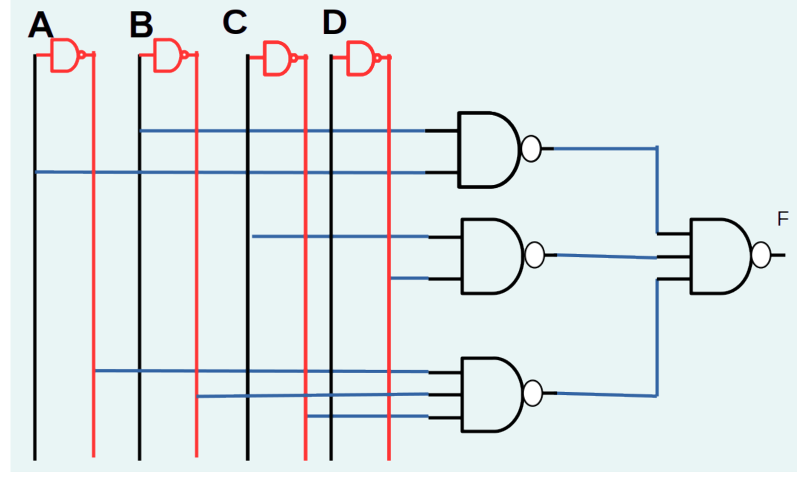
$\overline{A} = \overline{A.A} = A \uparrow A$



Example We can express the following expression only with NAND.

يمكن أن نعبّر عن العبارة الموالية بدلالة نفي الفصل فقط.

$f = A.B + C.\bar{D} + \bar{A}.\bar{B}.\bar{C}$
$f = \overline{\overline{A.B + C.\bar{D} + \bar{A}.\bar{B}.\bar{C}}}$
$f = \overline{\overline{A.B}.\overline{C.\bar{D}}.\overline{\bar{A}.\bar{B}.\bar{C}}}$
$f = \overline{A.B} \uparrow \overline{C.\bar{D}} \uparrow \overline{\bar{A}.\bar{B}.\bar{C}}$
$f = (A \uparrow B) \uparrow (C \uparrow \bar{D}) \uparrow (\bar{A} \uparrow \bar{B} \uparrow \bar{C})$
$f = (A \uparrow B) \uparrow (C \uparrow (D \uparrow D)) \uparrow ((A \uparrow A).(B \uparrow B).(C \uparrow C))$



1.5 Simplification التبسيط

There are two methods of simplification:

- Simplification by algebraic properties.
- Simplification by the graphical method, i.e., Karnaugh map.

يمكن التبسيط بطريقتين: جبريا حسب الخواص، وبيانيا بجدول كارنوف.

1.5.1 Simplification by algebraic properties التبسيط بالخواص الجبرية

Example $s = a.b.c + a.\bar{b}.(\overline{\bar{a}.\bar{c}})$

Demonstration

$s = a.b.c + a.\bar{b}.(\overline{\bar{a}.\bar{c}})$	Transformation	تحويل
$s = a.b.c + a.\bar{b}.(a + c)$	Apply De Morgan's theorem $(\overline{\bar{a}.\bar{c}}) = (\bar{\bar{a}} + \bar{\bar{c}}) = (a + c)$	تطبيق مبرهنة ديمورغن
$s = a.b.c + a.\bar{b}.a + a.\bar{b}.c$	Expansion	نشر
$s = a.b.c + a.\bar{b} + a.\bar{b}.c$	Reduction $(a.\bar{b}.a = a.\bar{b})$	اختزال
$s = a.\bar{b} + a.b.c + a.\bar{b}.c$	Common terms	العوامل المشتركة
$s = a.\bar{b} + a.c(b + \bar{b})$		
$s = a.\bar{b} + a.c$	since $b + \bar{b} = 1$	
$s = a(\bar{b} + c)$	Common factors	العوامل المشتركة

■

1.5.2 Simplification using Karnaugh Maps التبسيط بجدول كارنوف

The Karnaugh map is a graphical tool for simplifying a logic function or the process of translating a truth table into an equivalent circuit. (Müller, 2021).

جدول كارنوف وسيلة مرئية (مخطط) لتبسيط دالة منطقية للمرور من جدول الحقيقة إلى رسم الدارة.

Function S1:

a \ b	0	1
0	1	0
1	1	0

Function S2:

ab \ cd	00	01	11	10
00	0	0	0	0
01	0	1	1	0
11	0	1	1	0
10	1	0	0	1

Method

- Combine adjacent "1"s in groups of 2, 4, 8, etc.
- The equation is given by the sum of the products of variables that do not change state in each group. So, $S_1 = \overline{b}$ and $S_2 = b.d + a.\overline{b}.\overline{d}$

الطريقة:

- نجمّع الآحاد المتجاورة في مجموعات ثنائية أو رباعية أو ثمانية العناصر
- المعادلة الناتجة هي مجموع جداءات المتغيرات التي لا تتبدّل حالتها في كل تجميع ومنه $S_1 = \overline{b}$ و $S_2 = b.d + a.\overline{b}.\overline{d}$

Note

An output S cab be obtained by grouping the zeros.

يمكن تبسيط الدالة بتجميع الأصفار.

Chapter 2

Logic Circuits

2.1 Combinational Circuits الدارات التوافقية

Definition A combinational circuit is a digital circuit whose outputs depend only on the inputs.
الدارة التوافقية (توفيقية) دارة منطقية مخرجاتها تعتمد فقط على المداخل.

- $S_i = F(I_i)$
- $S_i = F(I_1, I_2, ..., I_n)$

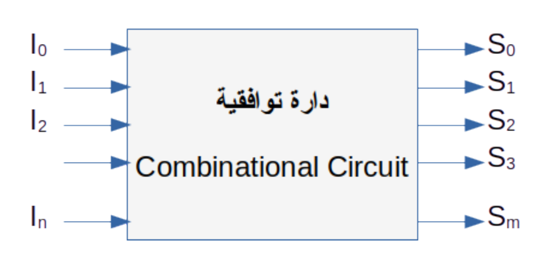


Figure 2.1: A general combinational circuit مخطط عام لدارة توافقية.

2.1.0.1 Specific Combinational Circuits دارات توافقية خاصة.

- Multiplexer.
- Demultiplexer.
- Adder (Half and full).
- Comparator.
- Encoder.
- Decoder.
- Transcoder.

- المجمِّع (الناخب أو المنتخب)
- الموزِّع (موجّه المعلومات)
- الجامع (دارة الجمع البسيط أو الكامل)
- المُقارِن (دارة المقارنة)
- المُرمِّز
- مفكّ الترميز
- مُحوِّل الترميز

2.1.0.2 Half Adder الجامع البسيط

A half adder is a digital logic circuit that performs binary addition of two single-bit binary numbers. It has two inputs, A and B, and two outputs, SUM and CARRY[1].

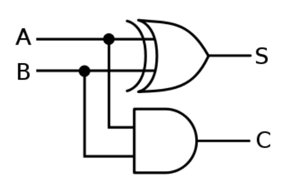
From this truth table, we can construct the *half adder*:

الجامع البسيط دارةٌ منطقية رقمية تجمع عددين ثنائيين في كل منهما بت واحد. للدارة مدخلان، A وB، ومخرجان هما المجموع Sum والاحتفاظ Carry. من جدول الحقيقة هذا، يمكننا بناء الجامع البسيط:



Truth Table

A	B	C	S
0	0	0	0
0	0	0	1
0	1	0	1
0	1	1	0



2.1.0.3 Full Adder الجامع الكامل

Full Adder is the adder that adds three inputs and produces two outputs. The first two inputs are A and B and the third input is an input carry as $C - in$.

The output carry is designated as $C - out$ and the normal output is designated as S which is SUM[2].

To add long numbers with many bits, several full adder circuits are connected, and the carry is carried forward from one circuit to another.

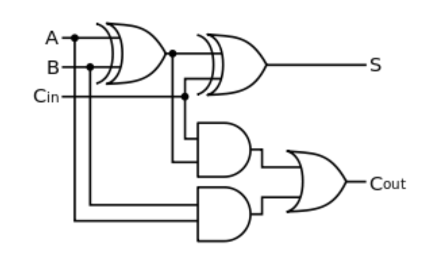
الجامع الكامل دارة جمع، ذات ثلاثة مداخل ومخرجين. المدخلان الأولان هما A وB والمدخل الثالث هو الاحتفاظ السابق C in. أما المخرجان فهما المجموع S و الاحتفاظ الناتج C out.

لجمع أعداد طويلة ذات بتات كثيرة، تربط عدّة دارات جمع كامل، ويُرحّل الاحتفاظ من دارة لأخرى.



Truth Table

A	B	C_{in}	C_{out}	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0

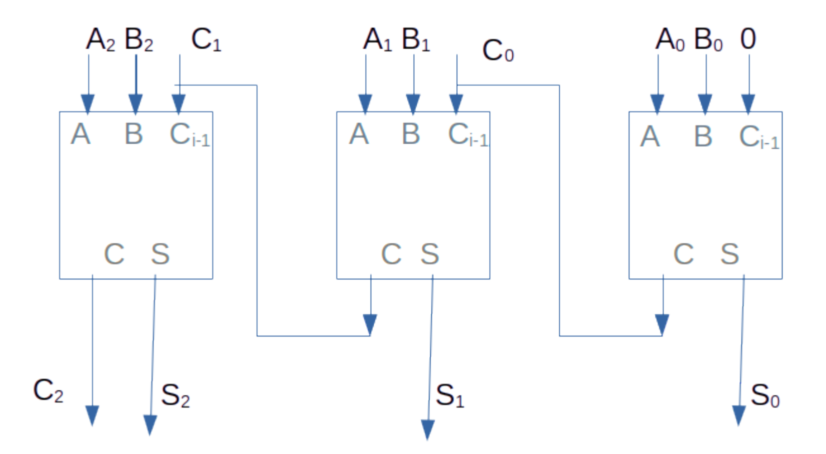


2.1.0.4 Multi-bits Adder جامع بتات متعددة

It is possible to chain several one-bit adders to create one capable of processing words of arbitrary lengths:

لجمع أعداد طويلة يمكن ربط جوامع كاملة لبت واحد، بأن نجعل الاحتفاظ الناتج من عملية ينتقل إلى الجامع الموالي.

[1] https://www.geeksforgeeks.org/half-adder-in-digital-logic/
[2] https://www.geeksforgeeks.org/full-adder-in-digital-logic/



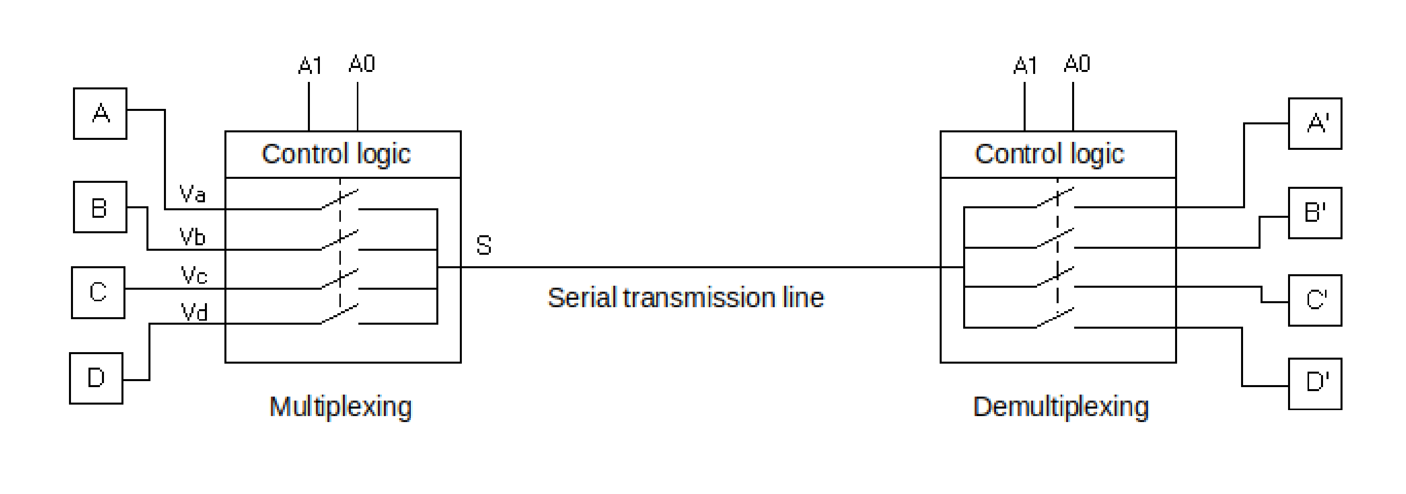
2.1.0.5 Multiplexing and Demultiplexing التجميع والتوزيع

التجميع أو الانتخاب (الانتقاء) هو استعمال خط واحد لتمرير معلومات V_a, V_b, V_c, V_d قادمة من مرسلات متعددة A, B, C, D. تختار المعلومة التي ستمرّ حسب خطوط العناوين A_0, A_1.

التوزيع عكس التجميع، فهو يوجّه المعلومات القادمة عبر خط وحيد، يوجهها إلى إحدى المستقبلات (A', B', C', D'). تختار الوجهة التي ستستقبل حسب خطوط العنوان A_0, A_1.

Multiplexing involves transmitting various information sources (V_a, V_b, V_c, V_d) from transmitters A, B, C, and D over a single line. The information selection is done using address lines (A_0, A_1 in the example below).

Demultiplexing is the opposite operation: information from the serial transmission line is directed to one of the receivers (A', B', C', D'). The receiver selection is done using address lines (A_0, A_1) via control logic (address decoding).



2.1.0.6 Multiplexer المجمّع

A multiplexer (abbreviated as **MUX**) is a circuit that allows concentrating different types of connections (computing, fax, telephony, teletex) onto a single transmission channel by selecting one input among 2^n. It has 2^n inputs, a second input of N bits to choose which input is selected, and one output.

المجمّع أو المنتخب دارة تمرر عدة معلومات عبر ممر واحد، وتستعمل لتمرير البيانات عبر خط مختلط (شبكة حواسيب، هاتف، فاكس)، للمجمّع $2\hat{}n$ مدخلا، ومخرج واحد، ومداخل للعنوان عددها n. تختار المعلومة التي ستمرّ حسب مداخل العنوان.

Truth Table جدول الحقيقة

The input E_0 or E_1 is propagated to the output S according to the value of C_0.

المدخل E_0 أو E_1 تمر إلى المخرج S حسب قيم C_0.

Truth Table

C_0	S
0	E_0
1	E_1

Block diagram

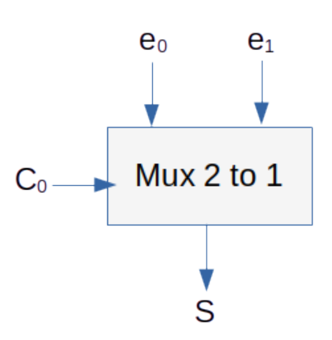
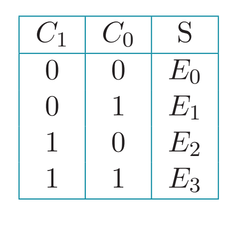


Diagram of a 4-to-1 multiplexer based on NOT, AND, OR gates. Code 10 selects the third input (C). Code 11 would have selected the last input (D).

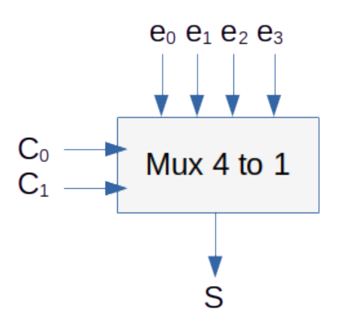
مخطط مجمع 4 نحو 1، الرمز 10 يختار المدخل الثالث C، الرمز 11 يختار المدخل الأخير D.

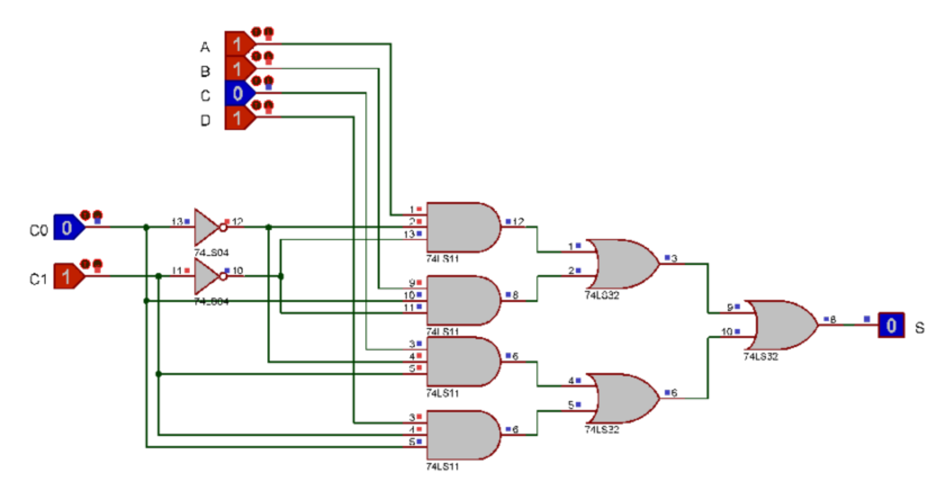
Truth Table



C_1	C_0	S
0	0	E_0
0	1	E_1
1	0	E_2
1	1	E_3

Block diagram





2.1.0.7 Demultiplexer

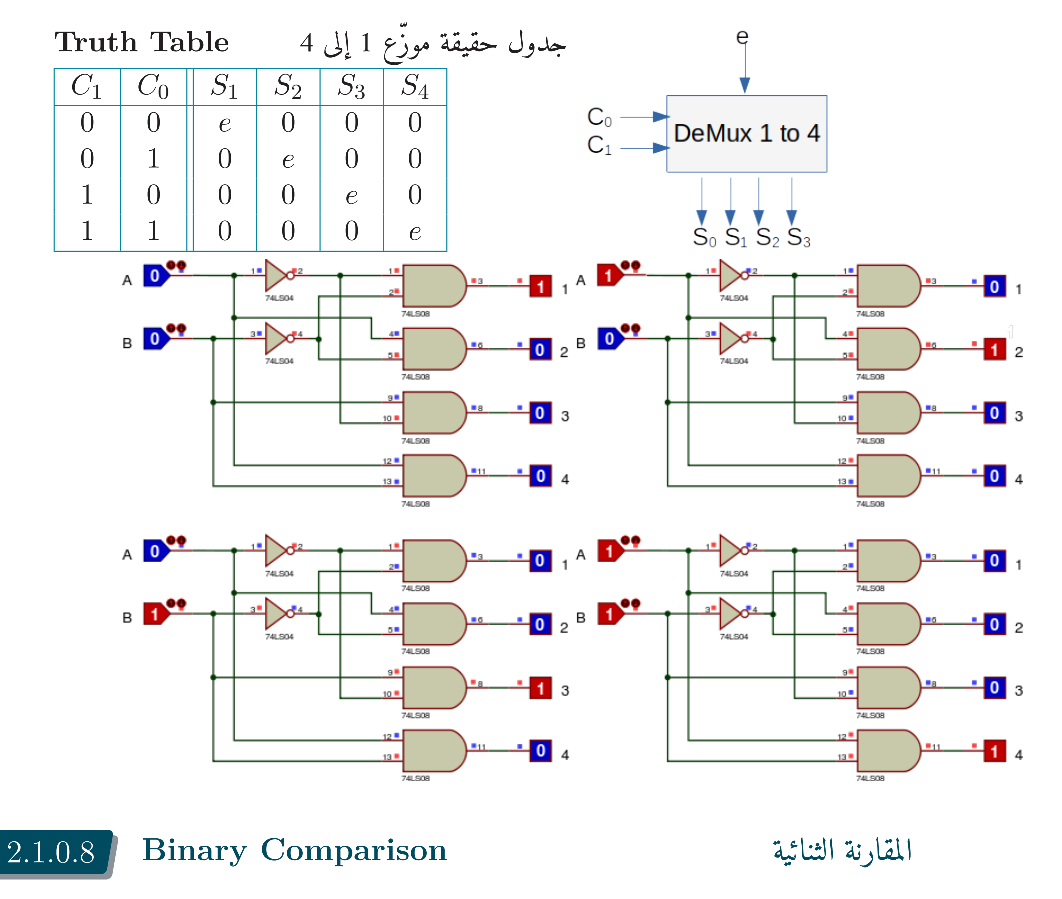


A demultiplexer is a combinational circuit with N+1 inputs and 2^N outputs. N inputs, called addressing inputs, allow sending the last input, called the data input, to one of the outputs based on the input address.

الموزّع دارة توافقية ذات مدخل واحد و 2^n مخرجا و ن خطا للعنوان. الدارة تمرر المعلومة المدخلة عبر مخرج واحد من بين المخارج حسب العنوان المدخل.

Truth Table جدول الحقيقة

Truth table of a 1-to-4 demultiplexer, where the inputs are C_1, C_0 and the outputs are S_1, S_2, S_3, S_4.



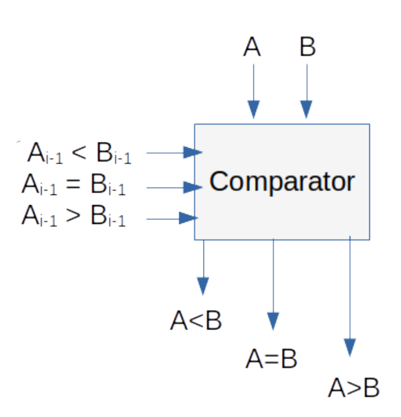
Truth Table جدول حقيقة موزّع 1 إلى 4

C_1	C_0	S_1	S_2	S_3	S_4
0	0	e	0	0	0
0	1	0	e	0	0
1	0	0	0	e	0
1	1	0	0	0	e

2.1.0.8 Binary Comparison المقارنة الثنائية

A binary comparator compares two words, A and B, and assigns its three outputs based on the result of the comparison.
If A is strictly greater than B, then the output $A > B$ goes to 1 (and the other two are set to zero). If $A equals B$, then the output $A = B$ is set to 1. Similarly, if A is strictly less than B, the output $A < B$ is set to 1.
المقارن الثنائي يقارن عددين A و B ، ويعطي النتيجة على ثلاثة مخارج، المخرج $A = B$ يكون واحدا، إذا كان العددان متساويين، أما المخرج $A < B$ فيكون واحدا إذا كان A أكبر من B ، ومخرج $A > B$ إلى واحد حين يكون A أكبر من B.
The cascading input allows connecting other comparators to compare larger words (8 bits, 12 bits, etc.). If they are not used, set $A = B$ and $A > B$ to 1, and $A < B$ to 0 for the correct operation of the comparator.

مداخل الربط تستعمل لوصل دارات مقارنة بعضها ببعض لمقارنة أعداد أطول.
حين تكون مداخل الربط غير مستعملة، نجعل $A = B$ و $A > B$ في الواحد، و نجعل $A < B$ في الصفر.



2.1.0.9 Transcoding Circuits دارات تحويل الترميز .

دارات التحويل (محوّلات الترميز) تحوّل معلومة مدخلة ممثلة بالترميز 1 إلى معلومة مخرجة ممثلة بالترميز 2، وهي ثلاثة أقسام :

- **المرمز:** ذو 2^n مدخلاً و n مخرجًا.
- **مفك الترميز:** ذو n مدخلًا و 2^n مخرجًا، يكون مخرج واحد فعّالًا فقط.
- **المحوّل:** أي دارة تحويل ترميز أخرى عدا المرمز ومفك الترميز، ذي p مدخلاً و k مخرجًا.

Transcoding combinational circuits (also called code converters) fall into three categories. All these logic circuits transform information present at their inputs in one form (code 1) into the same information present at their outputs in a different form (code 2). We have:

- **Encoder:** A circuit with 2^n inputs and n outputs.
- **Decoder:** A circuit with n inputs and 2^n outputs, with only one output active at a time.
- **Transcoder:** Any other code conversion circuit different from the previous ones, with p inputs and k outputs.

2.1.0.10 Encoders المرمّز

An **Encoder** is a circuit with 2^n inputs and n outputs. Each input line corresponds to a unique code at the output:

المرمز ذو 2^n مدخلا و n مخرجا، كل مدخل يوافقه ترميز واحد في المخرج.

Truth Table of an 8-to-3 Encoder

E_0	E_1	E_2	E_3	E_4	E_5	E_6	E_7	A	B	C
1	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	1	0	0
0	0	0	0	0	1	0	0	1	0	1
0	0	0	0	0	0	1	0	1	1	0
0	0	0	0	0	0	0	1	1	1	1

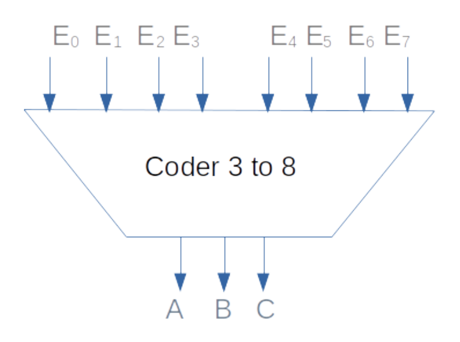


Figure 2.2: A 8-to-3 encoder مرمّز 8 إلى 3.

2.1.0.11 Decoders مفك الترميز

A **Decoder** is a circuit with n input lines and 2^n output lines. It selects a unique output based on the binary input:

مفك الترميز هو دارة بها n مدخل و 2^n مخرج، يختار مخرجًا وحيدًا حسب العدد المُدخل.

Truth Table of a 3-to-8 Decoder:

A	B	C	S_0	S_1	S_2	S_3	S_4	S_5	S_6	S_7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

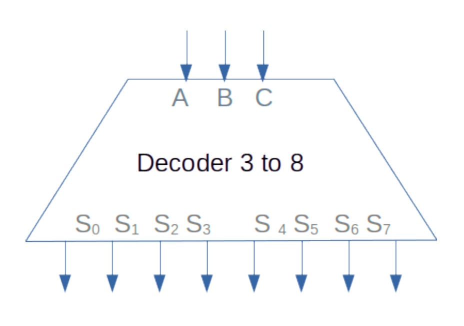


Figure 2.3: A 3-to-8 decoder مفكك ترميز من 3 إلى 8.

2.1.0.12 Transcoders

المحوّلات

A transcoder (or code converter) is a device that allows converting a number N written in code C1 to the same number N written in code C2.
Among the transcoders, we can mention:

- Decimal to BCD transcoder.
- BCD to Decimal transcoder.
- XS 3 to Decimal transcoder.
- Excess-3 to Gray transcoder.
- BCD to 7-segment display transcoder.
- Binary 5 bits to BCD transcoder.

المحولات تحوّل معلومة من ترميز إلى ترميز آخر، نذكر منها:

- محول من العشري إلى BCD.
- محول من BCD إلى العشري.
- محول من المزيد ب3 إلى العشري.
- محول من غراي إلى المزيد ب3.
- محول من BCD إلى عارض 7 قطع.
- محول من الثنائي على 5 بتات إلى BCD.

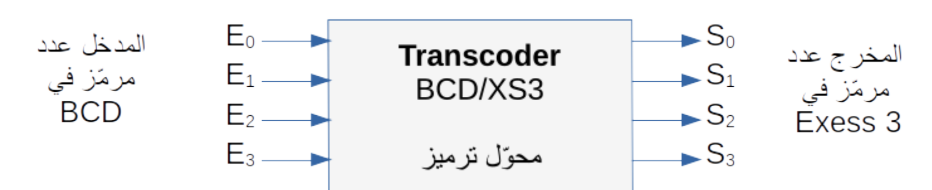


Figure 2.4: BCD/XS3 transcoder (محوّل العشري المرّمز بالثنائي إلى المزيد بـ3).

Chapter 3

Sequential Circuits الدارات التعاقبية

A **combinational circuit** is a digital circuit whose outputs depend only on the inputs: $S = f(E)$. The state of the system does not depend on the internal state of the system. No memory of the system's state.

الدارة التوافقية تتعلق مخارجها بمداخلها فقط، وحالة النظام الداخلية لا تؤثر في المخارج، أي أنها لا تتذكر حالتها.

A **sequential circuit** is a digital (logical) circuit whose **state** at time $t+1$ is a function of the inputs at time $t+1$ and the **previous state of the system** (at time t).

- $S_{t+1} = f(E, S_t)$
- $S^+ = f(E, S)$

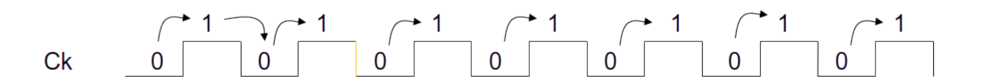
الدارة التعاقبية هي دارة منطقية تتعلق حالتها في اللحظة t+1 بدلالة مداخلها في اللحظة t+1، وحالتها السابقة في اللحظة t.

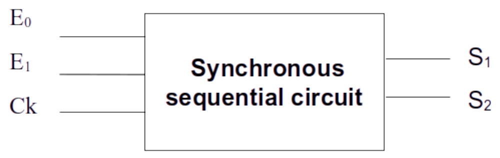
3.1 Synchronous Systems الأنظمة المتزامنة

A clock is a logical variable that successively transitions from 0 to 1 and from 1 to 0 periodically. This variable is often used as an input to sequential circuits $\longrightarrow$ the circuit is called synchronous (see Figure 3.1).

The clock is denoted by T or CK or CLK (clock).

الساعة أو المؤقّت هي متغير منطقي يمر من 1 إلى 0 ومن 0 إلى 1 دوريا، يستعمل متغيّر الساعة مَدخلا في الدارات التعاقبية ليجعلها متزامنة (انظر الشكل 3.1). ويرمز له بـ T أو Ck (clock) أو بالفرنسية H.





Sequential circuit with a clock input دارة تعاقبية ذات مدخل للساعة

3.2 Flip-Flops القلابات

A flip-flop is a bistable circuit that can take two logical states **"0"** or **"1"**.

The state of the flip-flop can be changed by acting on one or more inputs. The **new state** of the flip-flop **depends on the previous state**, making it the basic element of sequential circuits.
The flip-flop can **retain** its state for any period, so it can be used as **memory**.

القلّاب دارة ثنائية الاستقرار تأخذ حالتين منطقيتين 0 و 1. وحالتها تتبدل بتعديل بعض مداخلها. حالتها الجديدة تتعلق بحالتها السابقة، لذا يعتبر القلاب الدارة الأساسية في الدارات التعاقبية. القلاب يستطيع **حفظ حالته السابقة** لفترة زمنية، لذا يُستعمل **كذاكرة**.

There are several types of flip-flops:

- RS Flip-Flops (Asynchronous flip-flops)
- RST Flip-Flops (Synchronous RS flip-flops)
- T Flip-Flops
- D Flip-Flops
- JK Flip-Flops

القلابات أنواع سنرى منها

- قلابات RS غير المتزامنة
- قلابات RST المتزامنة
- قلابات T
- قلابات D
- قلابات JK

3.2.1 RS Flip-Flops

قلابات RS

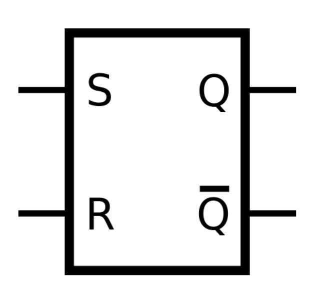
The RS flip-flop is defined by the block diagram in following figure and the following truth table, knowing that:

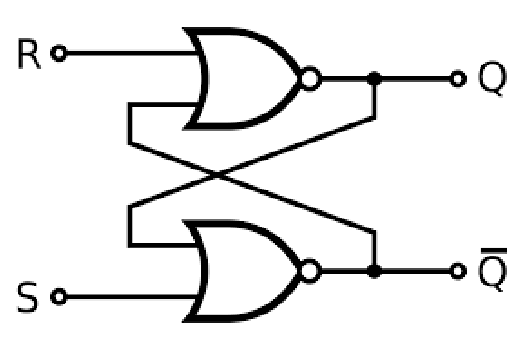
- S: Set to one, Q_{t+1} is forced to one by S.
- R: Reset to zero, Q_{t+1} is forced to zero by R.
- When S and R are zero, the output Q_{t+1} retains its previous value.
- When S and R are one, it is a forbidden case.

يعرّف القلاب RS بالشكل و بجدول الحقيقة المواليين حيث:

- المتغير S يجعل المخرج واحدًا (توحيد).
- المتغير R يَعدِم المخرج (تصفير).
- إن انعدم المتغيران معًا، يحفظ المخرج حالته السابقة.
- إن كان المتغيران معًا في الواحد، فهي حالة ممنوعة.

R	S	Q_t	
0	0	Q_t	Memory State ذاكرة
0	1	1	Set to 1 توحيد
1	0	0	Reset to 0 تصفير
1	1	X	Forbidden ممنوعة





Logic diagram of an RS flip-flop المخطط المنطقي لقلاب RS

3.2.2 Synchronous RST Flip-Flop القلاب المتزامن RST

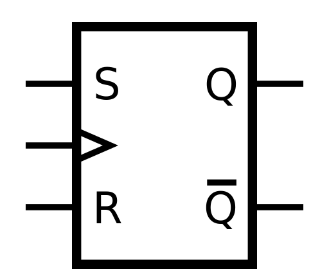
It is an RS flip-flop where the consideration of the input state is synchronized by a **clock pulse**. This prevents the accidental arrival of *zero* on R or S.

القلاب RST مشتق من القلاب RS بمزامنته **بنبضة مؤقت** (ساعة)، مما يمنع الوصول المفاجئ للصفر على المدخل R أو S. حين تكون الساعة في الصفر، تحفظ الحالة السابقة. للصفر على المدخل R أو S. حين تكون الساعة في الصفر، تحفظ الحالة السابقة.

Block diagram of an RST flip-flop
المخطط المُصمَت لقلاب

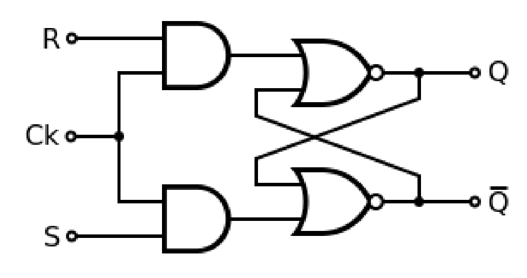
Truth Table جدول الحقيقة

Ck	R	S	Q_t	$\overline{Q_t}$	
0	X	X	Q_{t-1}	$\overline{Q_{t-1}}$	
↑	0	0	Q_{t-1}	$\overline{Q_{t-1}}$	
↑	0	1	1	0	
↑	1	0	0	1	
↑	1	1	X	X	Forbidden

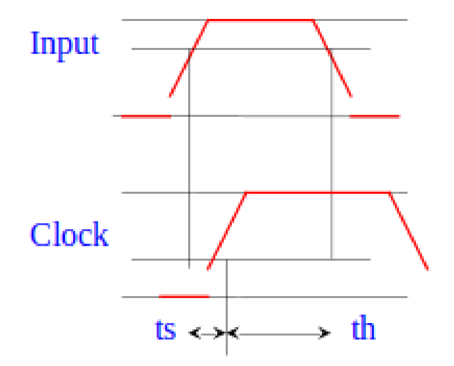


Clock Signal: A synchronized flip-flop can be triggered on the **rising edge** ↑ or on the **falling edge** ↓ of the clock pulse. Additionally, to ensure proper operation, manufacturers specify timing requirements.

إشارة المؤقت : ينطلق القلاب المتزامن عند **الجبهة الصاعدة** ↑ أو **الجبهة النازلة** ↓ لنبضة الساعة. يعطي الصانعون توضيحات عن الوقت المطلوب احترامه من أجل السير الصحيح للدارة.



Logical diagram of an RST flip-flop المخطط المنطقي لقلاب



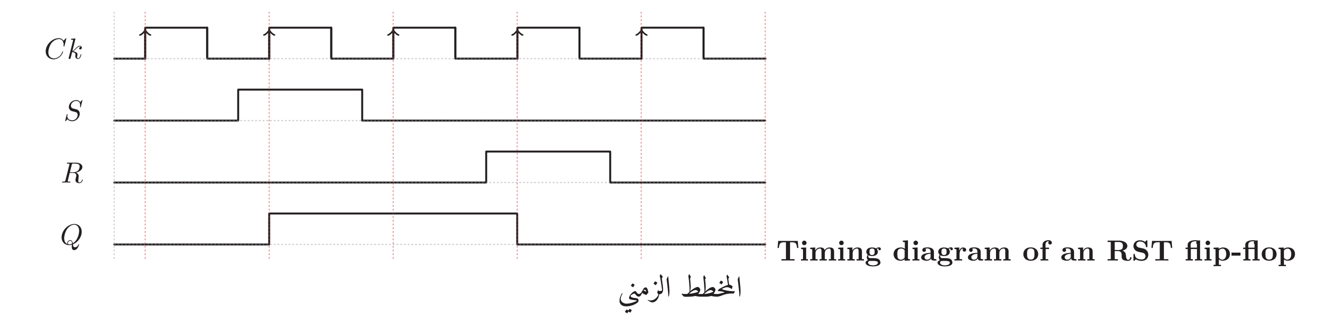
ts : Stabilization time زمن الاستقرار.

th : Holding time زمن التحكم

Stabilization time at synchronization زمن الاستقرار عند التزامن.

3.2.3 JK Synchronous Flip-Flop القلاب ج.ك المتزامن

The JK synchronous flip-flop, consisting of a single stage, is derived from an RST flip-flop with its outputs looped back to its inputs. This eliminates the forbidden state.



Timing diagram of an RST flip-flop

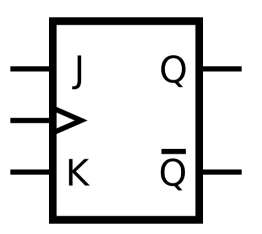
المخطط الزمني

القلاب ج.ك المتزامن ذو المرحلة الواحدة، مُشتقّ من القلاب RST حيث يتم ربط مخرجاته بمداخله، وهذا يسمح بالتخلص من الحالة الممنوعة.

Note

Note: When J = K = 1, it transitions to the toggle mode, meaning the current state is the opposite of the previous state.
ملاحظة: في حالة ج=ك=1، يكون القلاب في وضع القلب (الانقلاب أو التبديل)، أي الحالة الحالية هي عكس الحالة السابقة.

Ck	J	K	Q_t	
0	X	X	Q_{t-1}	
↑	0	0	Q_{t-1}	
↑	0	1	0	
↑	1	0	1	
↑	1	1	$\overline{Q_{t-1}}$	Toggle



3.2.4 Asynchronous JK Flip-Flop القلاب ج.ك غير المتزامن

يُزوّد القلاب ج.ك بمداخل للتصفير والتوحيد غير المتزامن تكون لها الأولوية على الساعة ويعمل بالمنطق العكسي، يسمح هذا التركيب بفرض قيم معينة على القلاب.
The J K flip-flop can be equipped with asynchronous preset (Pr) and clear (Cl) inputs that take priority over the clock signal and operate with inverted logic.

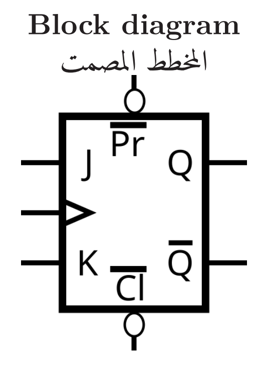
Truth Table of an Asynchronous J K Flip-Flop

جدول الحقيقة للقلاب ج.ك في النمط اللاامتزامن

Mode	Pr	Cl	Ck	J	K	Q+	Remark ملاحظة
Asynchronous	0	0	X	X	X	X	Forbidden ممنوع
نمط غير متزامن	0	1	X	X	X	1	Set to 1 توحيد
	1	0	X	X	X	0	Set to 0 تصفير
Synchronous	1	1	0/1	X	X	Q	Memory State ذاكرة
نمط متزامن	1	1	↑	0	0	Q	Memory State ذاكرة
	1	1	↑	0	1	0	Set to 0 تصفير
	1	1	↑	1	0	1	Set to 1 توحيد
	1	1	↑	1	1	$\overline{Q}$	Toggle قلب

Block diagram

المخطط المصمت



3.2.5 Synchronous D Flip-Flop القلاب د المتزامن

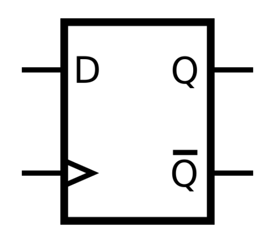
A D flip-flop is derived from an RS or J K flip-flop by connecting its inputs through an inverter, ensuring that its inputs are complementary.

القلاب D مشتق من القلاب RS أو ج.ك بربط مدخليه بعاكس، مما يجعل مداخله تأخذ حالتين متتامتين.

Truth Table

Ck	D	Q_t
0/1	X	Q_{t-1}
↑	0	0
↑	1	1

Block diagram of a D Flip-Flop



Usage: The output takes the state of input D after the clock pulse. This allows, for example, the synchronization of parallel data transfer.

استعمال: المخرج يأخذ حالة المدخل عند نبضة الساعة، مما يساعدنا في مزامنة نقل البيانات على التوازي.

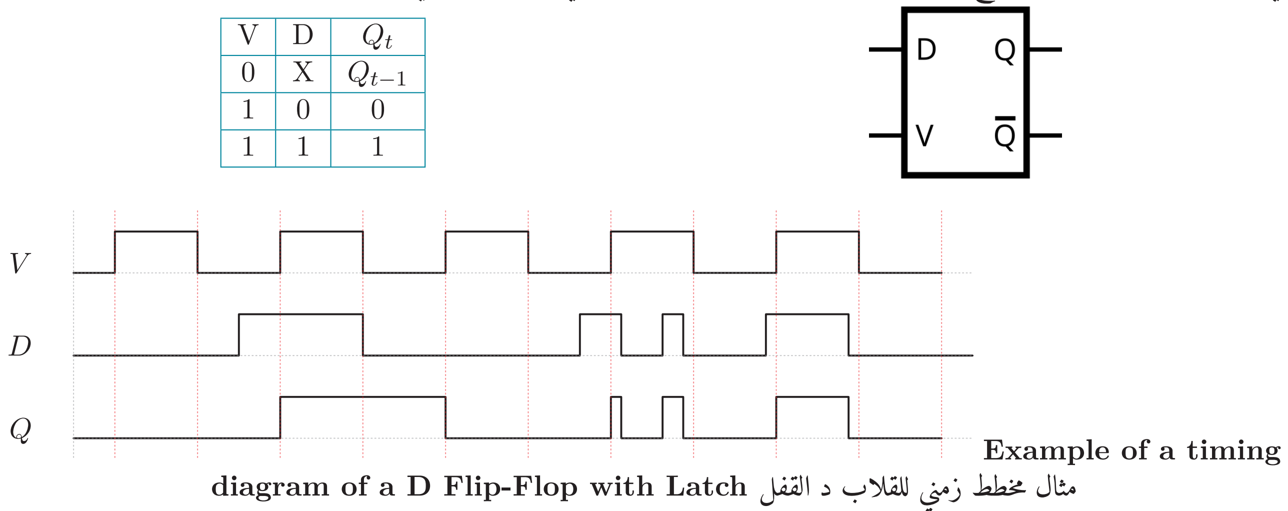
3.2.6 D Flip-Flop with Latch



This flip-flop does not have a front detection circuit, and the output Q takes the state of input D as long as the clock is high.

في القلاب د بالقفل، يأخذ المخرج Q حالة المدخل D طالما أن نبضة الساعة في المستوى العلوي.

V	D	Q_t
0	X	Q_{t-1}
1	0	0
1	1	1



Example of a timing diagram of a D Flip-Flop with Latch مثال مخطط زمني للقلاب د القفل

Note

In this flip-flop, we no longer refer to the clock input but rather to the validation input.

ملاحظة : في هذه الحالة نبضة الساعة ليست للتوقيت، بل للمصادقة.

Chapter 4

Registers and Memories السجلات والذاكرات

An important function in sequential logic is the memory function. In any computer system, regardless of its form, memory is crucial. We will take a look at a particular type of memory, registers, or static memory.

الذاكرة أهم وظائف الدارات التعاقبية، وهي حيوية جدًا للنظام المعلوماتي، وفي ما يأتي سنتحدث عن السجلات وأنواعها، ثم الذاكرة وخصائصها وأنواعها.

4.1 1-bit Memory ذاكرة 1 بت

The basic cell for all types of registers is the 1-bit static memory (cf. Figure 4.1):

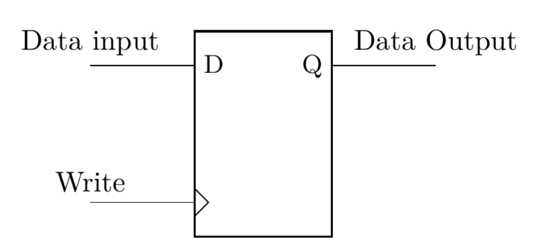


Figure 4.1: D flip flop as 1-bit static memory ذاكرة ذات بت واحد مصنوعة بقلاب د

On a rising (or falling) edge of the control input C, the memory takes the value presented at the input and holds it until the next rising (or falling) edge of C. There may be Set and Reset inputs to force the memory cell to 0 or 1.

The control input (or clock) C is here called the write bit; indeed, it is a rising (falling) edge on this line that triggers a write operation in the memory cell. Reading is permanent, with the "internal" state always present on the Q output line. Note that the $\overline{Q}$ output is not used.

We can also find memories with a level control input (instead of an edge), but it is rarer. The principle is the same, but the write operation takes place during the entire duration of the high (or low) level of C. Obviously, the input D must not change during this time.

الخلية الأساسية لجميع أنواع السجلات هي الذاكرة الثابتة ذات 1 بت.

عند الجبهة الصاعدة (أو النازلة) لمدخل التحكم C، تأخذ الذاكرة القيمة الحاضرة في المدخل وتحفظها حتى الجبهة الصاعدة (أو النازلة) القادمة لـC.

قد يكون لها أيضًا مدخلان set و reset لتصفير الذاكرة أو توحيدها.

يسمى مدخل التحكم أو الساعة بـ ``بت الكتابة''، أي أنّ جبهة صاعدة أو نازلة تُطلق عملية كتابة في الذاكرة.

بينما تكون القراءة دائمة،فحالة الذاكرة حاضرة دائما على المخرج Q، ونلاحظ أنّ المخرج العكسي $\overline{Q}$ غير مستعمل.

بعض الأنواع من الذاكرة تُزامِن على مستوى الساعة، بدلا من جبهتها، فتدوم الكتابة طيلة وقت المستوى، العلوي أو السفلي لمدخل التحكم C، لذا ينبغي ألّا تتغير قيمة المدخل في الأثناء.

4.2 The Register السجل

A register is a set of basic memory cells. It has low capacity (4, 8, 16, 64 bits) but very low access time (fast, a few ***nano seconds*** in general). Data can be written/read at the same time (in parallel) or one after the other (serial).

The number of bits in the register corresponds to the number of memory cells (D flip-flops) in the register. Note that all clock inputs (C) of the cells are connected (write line).

السجل مجموعة من خلايا الذاكرة الأساسية، ذو حجم ضئيل (4، 8، 16، 64 بت) وزمن وصول سريع (ضئيل جدا بضع نانو ثواني)، يمكن أن تكتب البيانات فيها في الوقت نفسه أي على التوازي، أو واحدة بواحدة (على التسلسل). عدد بتات السجل يساوي عدد خلاياه من الذاكرة (قلاب D)، ونلاحظ أنّ مدخل الساعة مشترك بين الخلايا (خط الكتّابة).

4.2.1 Parallel Register السجل المتوازي

All bits are read and written at the same time (in parallel). For example, for a 4-bit parallel register, the symbol and the diagram are:

تكتب البيانات أو تُقرأ في الوقت نفسه (على التوازي)، وإليك مثالا عن سجل متوازٍ ذي أربعة بتات.

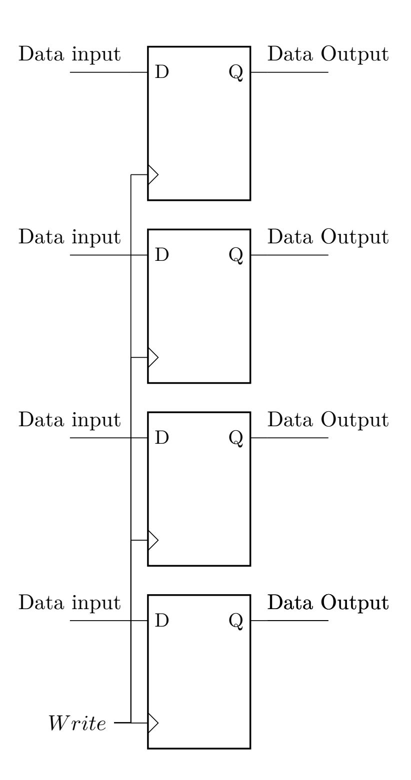


Figure 4.2: 4-bits parallel register سجل متوازي ذو أربعة بتات

A parallel register is very fast but requires many connections for many bits. It is often provided with "3-state" type inputs for connection to a bus.

السجل المتوازي سريع، ولكنه يحتاج لوصلات كثيرة من أجل عدد بتات كبير. ويأتي مزودا بمداخل ثلاثية الحالة لربطها مع الناقل.

4.2.2 Serial Register (Shift Register) سجل متسلسل أو بالإزاحة

Bits are read/written one after the other, and shifted. Here an example:

تكتب البيانات واحدة تلو الأخرى، أي بالإزاحة، وإليك مثالا:

:

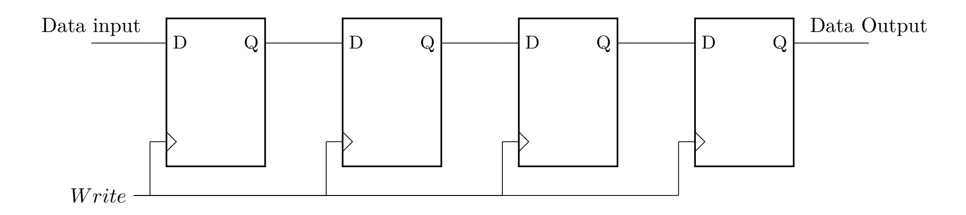


Figure 4.3: 4-bits serial register سجل متسلسل ذو أربعة بتات

In 4 clock cycles, a 4-bit word is stored.
Attention: the shift also occurs during reading: if the bits are not "reintroduced" at the input, the information is lost!
The operation timing diagram is as follows (we want to store the word "1011"):

نحتاج لأربعة أدوار للساعة كي نحفظ كلمة من 4 بتات.

تنبيه: تحدث الإزاحة أيضا في القراءة، لذا علينا تدوير البيانات على المدخل كي لا تضيع.

يوضح المخطط الزمني الآتي حفظ كلمة '1011'

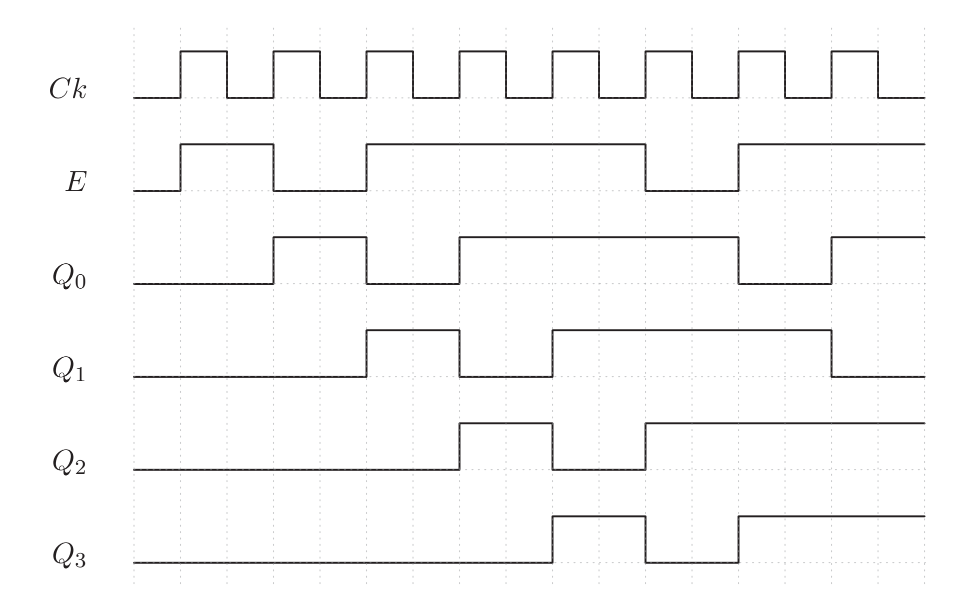


Figure 4.4: Example of timing diagram for 4-bits serial register مثال مخطط زمني لسجل متسلسل ذي 4 بت.

4.2.3 Mixed Registers السجلات المختلطة

Mixed registers can be imagined, where data can be written in series and read in parallel, or vice versa, or which offer both possibilities "at choice".

السجلات المختلطة يمكن أن تكتب البيانات على التسلسل وتقرأها على التوازي، أو العكس، أو على الخيار:

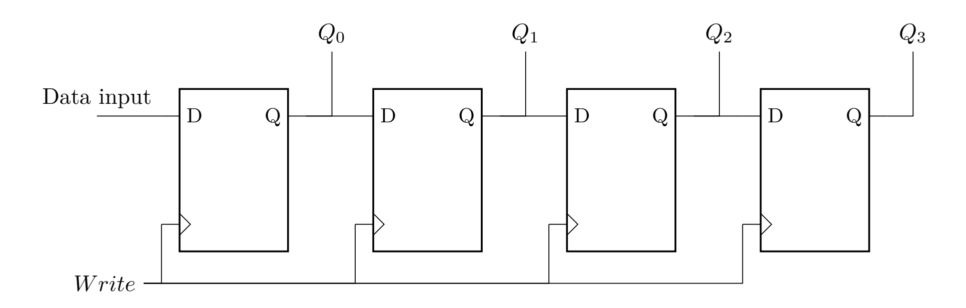


Figure 4.5: 4-bits mixed register سجل مختلط ذو أربعة بتات

4.3 Memory

With a flip-flop, it is possible to store information on only 1 bit. With a register, it is possible to store information on n bits. If we want to store important-sized information, we need to use memory.

يمكن حفظ بت واحد في قلّاب، يمكن حفظ ن بتّا في سجّل، إذا أردنا حفظ بيانات أكثر، نحتاج إلى ذاكرة.

Definition **What is memory?** Memory is a device capable of **recording** information, **retaining** it (memorizing), and **retrieving** it (possible to read or recover later).
ما هي الذاكرة؟ الذاكرة جهاز قادر على تسجيل المعلومات وتخزينها (حفظها) واستعادتها (قراءتها أو استرجاعها لاحقًا).

Example **Examples of memory:** The central memory, a hard disk, a floppy disk, a USB flash drive. Memory can be in the processor (registers), internal (central or main memory), or external (secondary memory).
مثال على الذاكرة: الذاكرة الرئيسية، قرص صلب، قرص مرن، قرص فلاش USB. قد تكون الذاكرة في المعالج (سجلات) أو داخلية (ذاكرة مركزية أو رئيسية) أو خارجية (ذاكرة ثانوية).

4.3.1 Memory Characteristics خصائص الذاكرة

The memory is characterized by:

- Size
- Volatility
- Access Mode
- Access Time

تتميز الذاكرة بخصائص منها:

- السعة
- الزوال
- نمط الوصول
- زمن الوصول

4.3.1.1 Memory Capacity سعة الذاكرة

The capacity (size) of memory is the number (quantity) of information that can be recorded (stored) in it. Capacity can be expressed in:

- Bit: the basic element for representing information.
- Byte: $1 Byte = 8 bits$.

We express multiples of bytes as in the Table 4.6.

سعة (حجم) الذاكرة هي عدد (كمية) المعلومات التي يمكن تسجيلها (حفظها في الذاكرة) فيها. نُعبّر عن السعة بـ:

- البت: هو العنصر الأساسي لتمثيل المعلومات، ويمثل رقماً ثنائياً واحداً.
- البايت: 1 بايت = 8 بت.

نعبّر عن مضاعفات البايت كما في الجدول 4.6.

Name	**Symbol** رمز	**Value** (2^x) القيمة	تسمية
Byte	B	2^0	بايت
Kilobyte	KB	2^{10}	كيلو بايت
Megabyte	MB	2^{20}	ميغا بايت
Gigabyte	GB	2^{30}	جيغا بايت
Terabyte	TB	2^{40}	تيرا بايت
Petabyte	PB	2^{50}	بيتا بايت
Exabyte	EB	2^{60}	اكسا بايت
Zettabyte	ZB	2^{70}	زيطا بايت
Yottabyte	YB	2^{80}	يوطا بايت

Figure 4.6: Multiple of bytes مضاعفات البايت.

4.3.1.2 Volatility الزوال

If a memory loses its content (information) when the power source is cut off, it called volatile. If a memory does not lose (retain) its content when the power source is cut off, it called non-volatile (permanent or stable).

إن تفقد الذاكرة محتواها (المعلومات) عند انقطاع مصدر الطاقة، فتُعدُّ ذاكرة زائلة. وإن لم تفقد الذاكرة (تحتفظ) محتوياتها عند انقطاع مصادر الطاقة، فهي ذاكرة غير زائلة (ذاكرة دائمة أو ثابتة).

4.3.1.3 Access Mode to Information (Read/Write) طريقة الوصول للمعلومة (كتابة/قراءة)

On a memory, we can perform the operation of:

- **Read**: retrieve/recover information from memory.
- **Write**: save new information or modify existing information in memory.

There are memories that can be read/written to, and these memories are called volatile memories. There are memories that only allow reading (it is not possible to modify the content). These memories are called non-volatile memories.

تُجرى في الذاكرة عمليات:

- القراءة: استرداد/استعادة المعلومات من الذاكرة.
- الكتابة: حفظ المعلومات الجديدة أو تعديل المعلومات الموجودة بالفعل في الذاكرة.

الذاكرات التي يقرأ منها ويكتب عليها مرات عديدة، تسمى ذاكرات حية. أمّا الذاكرات التي لا يمكن تعديل ما فيها، وتُقرأُ فقط، فتسمى ذاكرات ميتة.

4.3.1.4 Access Time زمن الوصول

This is the time required to perform a read or write operation. For example, for a read operation, access time is the time between the request for reading and the availability of information.
تستغرق عملية قراءة أو كتابة وقتا يسمى وقت الوصول. فعلى سبيل المثال، عند عملية القراءة، وقت الوصول هو الزمن المستغرق بين طلب القراءة وتوفّر المعلومات.

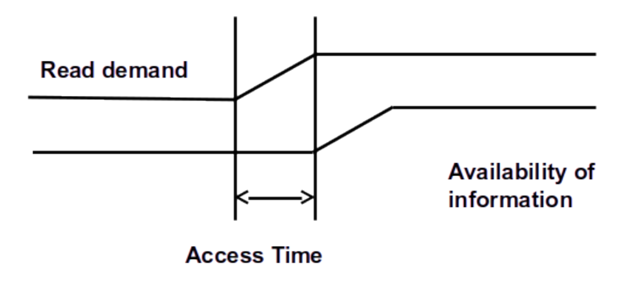


Figure 4.7: Access Time

4.3.2 Memory Classification تصنيف الذاكرات

Memories can be classified into three categories based on the use technology (Figure 4.8):

- Semiconductor memory: (central memory, ROM, PROM, ...) very fast but small size.
- Magnetic memory (hard disk, floppy disk, ...): slower but stores a very large volume of information.
- Optical memory (DVD, CD-ROM, ...)

تصنف الذاكرات من حيث تقنية التصنيع إلى ثلاثة أصناف (الشكل 4.8):

- الذاكرات المصنوعة بأشباه الموصلات (الذاكرة المركزية، ذاكرة القراءة فقط ROM، ذاكرات مبرمجة PROM) : سريعة جدا، لكن حجمها صغير.
- ذاكرات مغناطيسية (قرص صلب، قرص مرن، شريط مغناطيسي) : أقل سرعة، لكن تحفظ حجما كبيرا من المعلومات
- ذاكرات ضوئية (أقراص DVD، والأقراص المضغوطة)

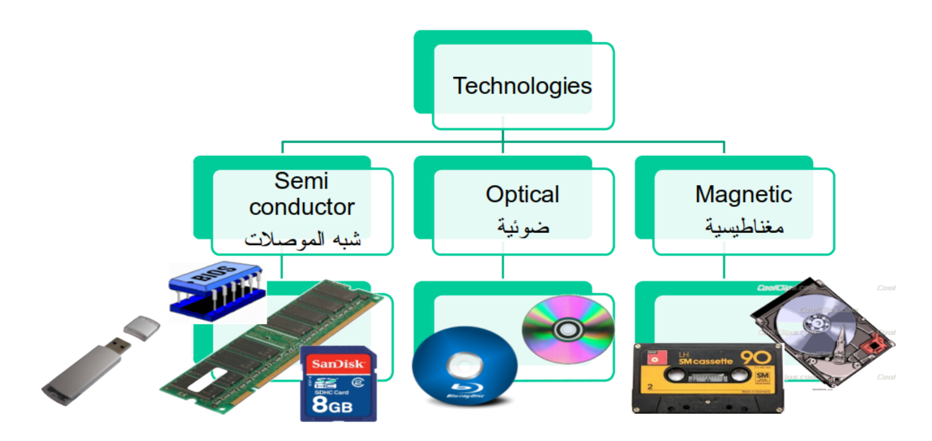


Figure 4.8: Memory Classification تصنيف الذاكرات

4.3.2.1 Semiconductor Memory الذاكرة المصنوعة من أشباه الموصلات

Semiconductor memories are classified into dead memory (read-only) or random access memory used for central memory (Figure 4.9)..

تصنّف الذاكرات المصنوعة من أشباه الموصلات إلى ذاكرة ميتة (للقراءة فقط)، أو ذاكرة وصول عشوائي تستعمل في الذاكرة المركزية (الشكل 4.9).

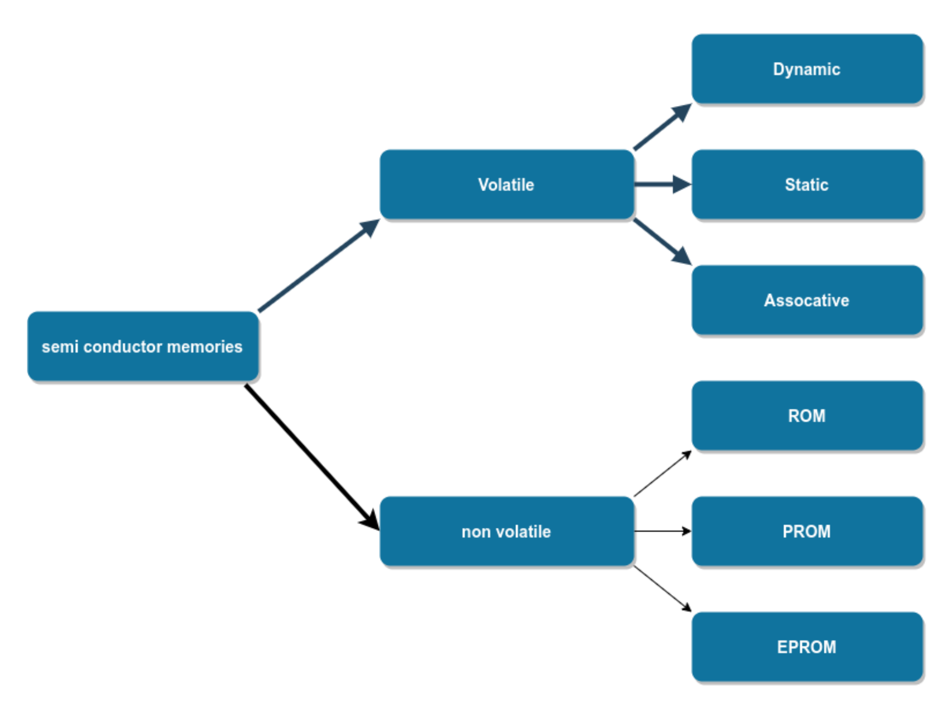


Figure 4.9: Semiconductor Memory الذاكرة المصنوعة من أشباه الموصلات

4.3.2.2 Read-Only Memories (ROM) الذاكرات الميتة

Read-only memories are classified according to the ability to program and erase them:

- Read-Only Memory (ROM): its content is defined during manufacturing.
- Programmable Read-Only Memory (PROM): user-programmable, but only once due to the storage method using fuses.
- Erasable Programmable Read-Only Memory (EPROM): user-erasable and programmable.
- Electrically Erasable Programmable Read-Only Memory (EEPROM): user-erasable and programmable electrically, easier to erase than EPROMs.

تصنف الذاكرات الميتة حسب القدرة على برمجتها وحذف محتواها:

- ذاكرات القراءة فقط (Read Only Memory) ROM التي محتواها مكتوب عند تصنيعها.
- ذاكرات القراءة فقط القابلة للبرمجة (Programmable Read Only Memory) PROM، يبرمجها المستخدم، مرة واحدة فقط للتخزين، تحفظ البيانات بواسطة صمامات منصهرة fusibles.
- ذاكرات القراءة فقط القابلة للبرمجة والحذف (Erasable Programmable Read Only Memory) EPROM، تقبل البرمجة والحذف من المستخدم.
- ذاكرات القراءة فقط القابلة للبرمجة والحذف كهربائيا EEPROM (Electrically Erasable Programmable Read Only Memory)، يمكن برمجتها وحذفها بسهولة كهربائيا دون تعديل مادي.

4.3.3 Central Memory الذاكرة المركزية

Central Memory (RAM: Random Access Memory) (ذاكرة وصول عشوائي) الذاكرة المركزية.

4.3.3.1 What is Central Memory? ماهي الذاكرة المركزية

Central Memory (CM) represents the workspace of the computer. It is the main storage organ of information used by the processor. In a machine (computer/calculator) to execute a program, it must be loaded (copied) into central memory.
Access time to central memory and its capacity are two elements that influence the execution time of a program (machine performance).

تمثل الذاكرة المركزية مساحة عمل الحاسوب. وهي الجهاز الرئيسي لتخزين المعلومات التي يستخدمها المعالج. في الحاسوب يجب نسخ البرنامج في الذاكرة المركزية لتنفيذه. يؤثر وقت الوصول إلى الذاكرة المركزية وسعتها في وقت تنفيذ البرنامج (أداء الجهاز).

4.3.3.2 Characteristics of Central Memory خصائص الذاكرة المركزية

Central memory is made of semiconductors and has some proprieties:

- Central memory is a random-access memory (RAM): read and write access.
- Central memory is random access (RAM: Random Access Memory), meaning that the access time to information is independent of its location in memory.
- Central memory is volatile: maintaining its content requires a continuous power supply.
- Access time to central memory is average but faster than magnetic memories.
- The capacity of central memory is limited, but there is always a possibility of expansion.
- For communication with other parts of the computer, central memory uses buses (address bus and data bus).

الذاكرة الرئيسية مصنوعة من أشباه الموصلات، ومن خصائصها ما يلي:

- الذاكرة الرئيسية ذاكرة وصول عشوائي: قراءة وكتابة.
- الذاكرة المركزية ذاكرة وصول عشوائي، أي أن وقت الوصول إلى المعلومات غير متعلق بمكانها في الذاكرة.
- الذاكرة المركزية زائلة: يتطلب حفظ محتوياتها مصدر طاقة، وتزول بانقطاعه.
- وقت الوصول إلى ذاكرة مركزية متوسط لكنه أسرع من الذاكرات المغناطيسية.
- سعة الذاكرة المركزية محدودة قابلة للزيادة.
- للتواصل مع الأجزاء الأخرى في الحاسوب، تستخدم الذاكرة المركزية ناقلات (ناقل العنوان وناقل البيانات)

4.3.3.3 Types of Central Memories أنواع الذاكرات المركزية

There are two main families of central memories: static memories (SRAM) and dynamic memories (DRAM).

- Static memories are based on D-type flip-flops; they have a low integration rate but fast access time (used for cache memory).

- Dynamic memories are based on capacitors; these memories have a very high integration rate, they are simpler than static memories but with a longer access time.

للذاكرة المركزية عائلتان رئيسيتان: الذاكرات الثابتة (SRAM) والذاكرات الديناميكية (DRAM).

- تُصنع الذاكرات الثابتة بالقلابات من النوع D، ولها معدل إدماج منخفض ولكن وقت وصول سريع (تستخدم لذاكرة التخزين المؤقت -الخبيئة).
- الذاكرات الديناميكية مصنوعة من المكثفات، لها معدل إدماج عالٍ، فهي أبسط من الذكريات الثابتة ولكنها أبطأ منها.

4.3.3.4 Logical View of Central Memory نظرة منطقية للذاكرة المركزية

Central memory can be seen as a large vector (array) of words or bytes:

- A memory word stores information on n bits.
- A memory word contains multiple memory cells.
- Each memory cell stores only one bit.
- Each word has its own address.
- An address is a unique number that allows access to a memory word.
- Addresses are sequential (consecutive).
- The size of the address (the number of bits) depends on the capacity of the memory.

يمكن اعتبار الذاكرة الرئيسية جدولًا كبيرًا (مصفوفة) من الكلمات أو البايتات،

- كلمة الذاكرة تخزن المعلومات على عدد ن بت.
- كلمة ذاكرة تحتوي على عدة خلايا ذاكرة.
- تخزن خلية الذاكرة بت واحد فقط.
- كل كلمة لها عنوانها الخاص.
- العنوان هو رقم فريد يسمح بالوصول إلى كلمة ذاكرة.
- العناوين متسلسلة (متتالية).
- حجم العنوان (عدد البتات) يعتمد على سعة الذاكرة.

4.3.3.5 Physical Structure of Central Memory البنية المادية للذاكرة المركزية

- RAM (Memory Address Register): This register stores the address of the word to be read or written.
- RIM (Memory Information Register): It stores the information read from memory or the information to be written into memory.
- Decoder: Allows the selection of a memory word.
- R/W: Read/Write command, this command allows reading or writing to memory (if R/W=1 then read, otherwise write).
- Address bus of size k bits.
- Data bus of size n bits.

- RAM (سجل عنوان الذاكرة): يخزن هذا السجل عنوان الكلمة المراد قراءتها أو كتابتها.
- RIM (سجل معلومات الذاكرة): يخزن المعلومات المقروءة من الذاكرة أو المعلومات المراد كتابتها في الذاكرة.
- مفكك الترميز: يسمح لك بتحديد كلمة ذاكرة (اختيارها).

- تعليمة R/W: أمر قراءة / كتابة، هذا الأمر يجعل من الممكن القراءة أو الكتابة في الذاكرة (إذا كان R/W=1 ، فاقرأ وإلا اكتب)
- ناقل العنوان بحجم k بت.
- ناقل البيانات بحجم n بت.

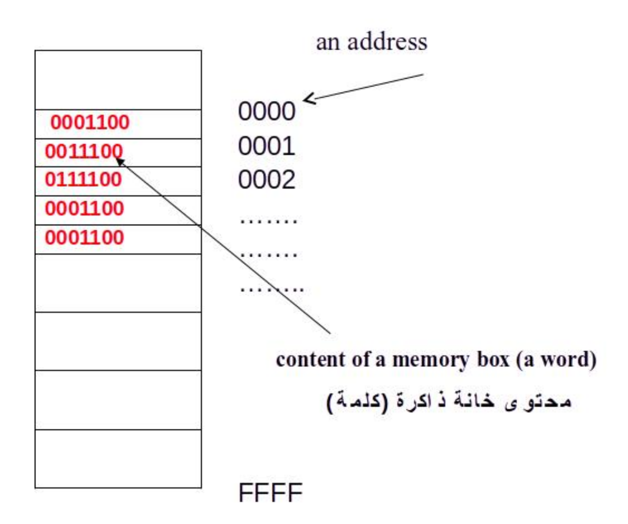


Figure 4.10: Physical Structure of Central Memory البنية المادية للذاكرة المركزية

How to Select a Memory Word? When an address is loaded into the RAM address register, the decoder receives the same information as the RAM.
At the output of the decoder, we will have only one active output $\longrightarrow$ This output will allow us to select a single memory word.
كيف تختار كلمة ذاكرة عند تحميل عنوان في سجل عنوان الذاكرة RAM، يتلقى المفكك نفس المعلومات الموجودة في سجل العنوان RAM.
يكون مخرج واحد فقط من المفكك فعّالا، ما يسمح لنا بتحديد كلمة ذاكرة واحدة.

How to Calculate the Capacity of a CM? Let k be the size of the address bus (size of the RAM register).
Let n be the size of the data bus (size of the RIM register or the size of a memory word).
The capacity of central memory can be expressed either in the number of memory words or in bits (bytes, kilobytes, etc.).

- $Capacity = 2^k$Memory words
- $Capacity = 2^k \times nBits$

نفرض أن حجم ناقل العناوين هو k، (حجم السجل RAM)،
وليكن n حجم ناقل البيانات (حجم السجل RIM، أو حجم كلمة الذاكرة)
نُعبّر عن سعة الذاكرة المركزية إما بعدد كلمات الذاكرة أو بالبتات (بايت ، كيلوبايت ، إلخ.)

- السعة $= 2^k$ كلمة ذاكرة
- السعة $= 2^k \times n$ بت

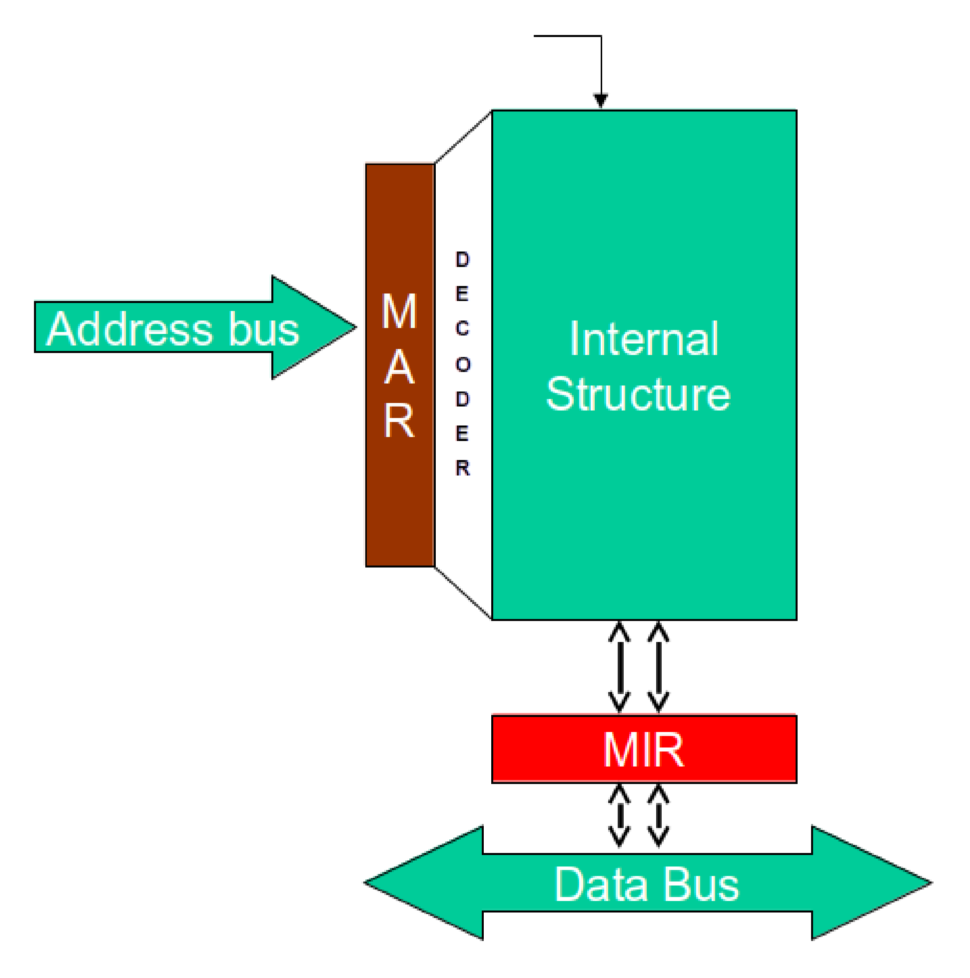


Figure 4.11: Memory Word كلمة ذاكرة

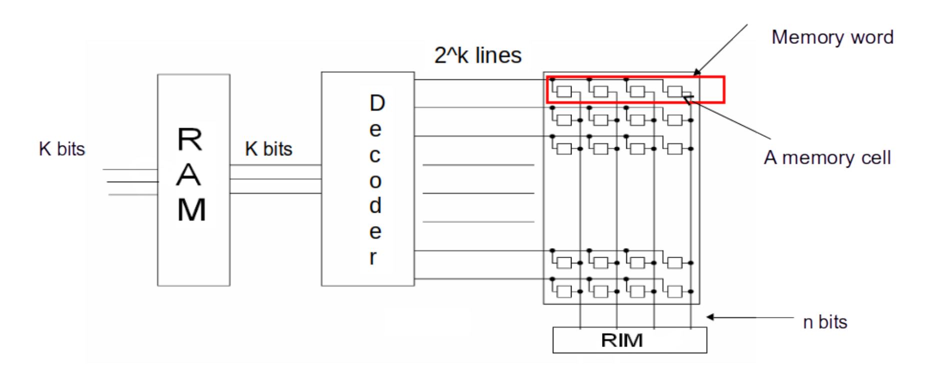


Figure 4.12: How to Calculate the Capacity of a CM كيف تُحسب سعة ذاكرة مركزية

Example In a memory, the size of the address bus K=14, and the size of the data bus n=4. Calculate the capacity of this memory?

في ذاكرة ما، حجم ناقل العنوان $K = 14$ وحجم ناقل البيانات $n = 4$. احسب سعة هذه الذاكرة؟

- $Capacity = 2^{14}$Memory words of 4 bits
- $Capacity = 2^{14} \times 4.\ Bits = 65536 Bits = 8192 Bytes = 8KB.$

How to Read Information? To read information in central memory, the following operations must be performed:

- Load the address of the word to be read into the RAM address register.
- Launch the read command (R/W=1).
- The information is available in the RIM register after a certain time (access time).

كيف تُقرأ معلومة: لقراءة المعلومات الموجودة في الذاكرة المركزية ، يجب إجراء العمليات التالية:

- تحميل عنوان الكلمة المطلوبة في سجل عنوان الذاكرة RAM.
- تشغيل أمر القراءة (R / W = 1).
- ستجهز المعلومة في سجل RIM بعد وقت معين (وقت الوصول)

How to Write Information? كيف تُكتب معلومة To write information in the central memory, the following operations must be performed:

- Load the address of the word where the writing will occur into the RAM.
- Place the information to be written in the RIM register.
- Launch the write command to transfer the content of the RIM to the memory.

لكتابة معلومة في الذاكرة المركزية، يجري ما يلي:

- تحميل عنوان المكان الذي ستكتب فيه المعلومة.
- تحميل المعلومة المراد كتابتها في سجل RIM (سجل معلومة الذاكرة).
- تشغيل أمر الكتابة لنقل محتوى سجل RIM إلى الذاكرة.

Chapter 5

Basic Architecture of a Computer البنية الأساسية للحاسوب

5.1 Introduction مقدمة

A program is a set of instructions executed in a specific order. A program is executed by a processor (machine). A program is usually written in a high-level language (Pascal, C, VB, Java, etc.).
The instructions that make up a program can be classified into 4 categories:

- Assignment instructions: allow data transfer
- Arithmetic and logical instructions.
- Branch instructions (conditional and unconditional)
- Input-output instructions.

البرنامج تعليماتٌ تُنفّذ في ترتيب معين، مكتوب عادة بلغة برمجة راقية مثل سي، جافا ويُنفّذه معالج. تعليمات البرنامج أربعة أصناف

- تعليمات الإسناد تسمح بنقل البيانات
- تعليمات الحساب والمنطق
- تعليمات التفرع المشروط وغير المشروط
- تعليمات الإدخال والإخراج

To execute a program on the machine, we go through the following stages:

- Edit the source in a text editor and save the file.
- Compile it with a compiler to translate it into machine language (binary). One high-level language instruction can be translated into several machine instructions.
- Load: load the program into the central memory before execution.

تنفيذ برنامج ما على الآلة مّر بالمراحل الآتية:

- تحرير المصدر في محرر للنصوص ثم حفظ الملف،
- ترجمته بمصنّف إلى لغة الآلة (ثنائي). تُترجَم تعليمةٌ واحدة مكتوبة بلغة برمجة راقية إلى عدة تعليمات الآلة.
- التحميل: يحّمل البرنامج في الذاكرة المركزية قبل التنفيذ

كيف يُنفّذ برنامج على الآلة:
لفهم تنفيذ برنامج على الآلة، ينبغي فهم آلية تنفيذ تعليمة واحدة، وفهم بنية الآلة (المعالج) التي ستنفذها.

How does a program execute in the machine?

- To understand the execution mechanism of a program, we must understand the execution mechanism of an instruction.
- To understand the execution mechanism of an instruction, we must know the architecture of the machine (processor) on which this instruction will be executed.

5.2 Von Neumann Architecture معمارية فون نيومن

تتكون معمارية (بنية) فون نيومن (الشكل 5.1) من ذاكرة مركزية، ووحدة مركزية (معالج)، وأجهزة إدخال وإخراج للتواصل مع الخارج. هذه المعمارية هي أساس بنية الحواسيب.

The Von Neumann architecture (cf. figure 5.1) is composed of:

- Central memory,
- Central unit (CU, CPU: Central Processing Unit), processor, microprocessor.
- A set of input-output devices to communicate with the outside.
- This architecture is the basis of computer architectures.

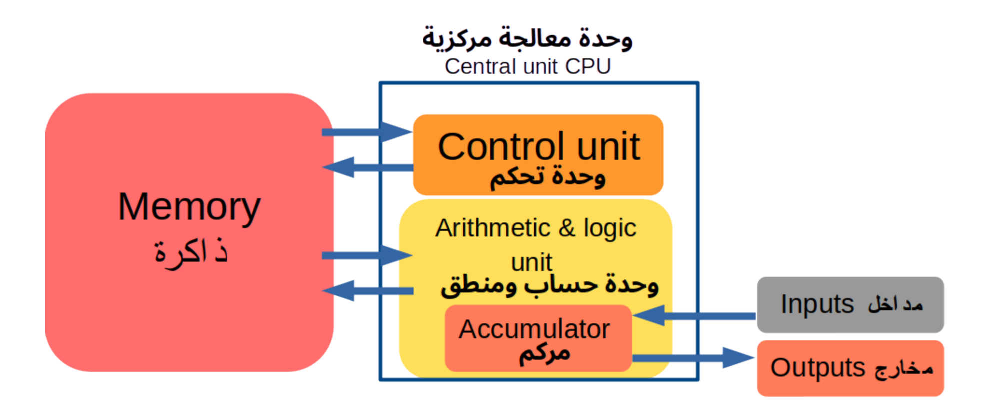


Figure 5.1: Von Neumann Architecture (معمارية فون نيومن) البنية المادية للآلة

5.2.1 Main Memory الذاكرة المركزية

The Central Memory (CM) represents the computer's workspace. It is the primary organ for storing information used by the processor. In a computer, to execute a program, it must be loaded (copied) into main memory. The access time to main memory and its capacity are two factors that affect the program's execution time (machine performance).

الذاكرة المركزية هي مساحة عمل المعالج في الحاسوب، يستخدمها لتخزين المعلومات أثناء عمله. في الحاسوب، يجب تحميل البرنامج في الذاكرة المركزية قبل تنفيذه. زمن الوصول إلى الذاكرة المركزية وسعتها عاملان يؤثران في زمن تنفيذ البرنامج (أداء الآلة).

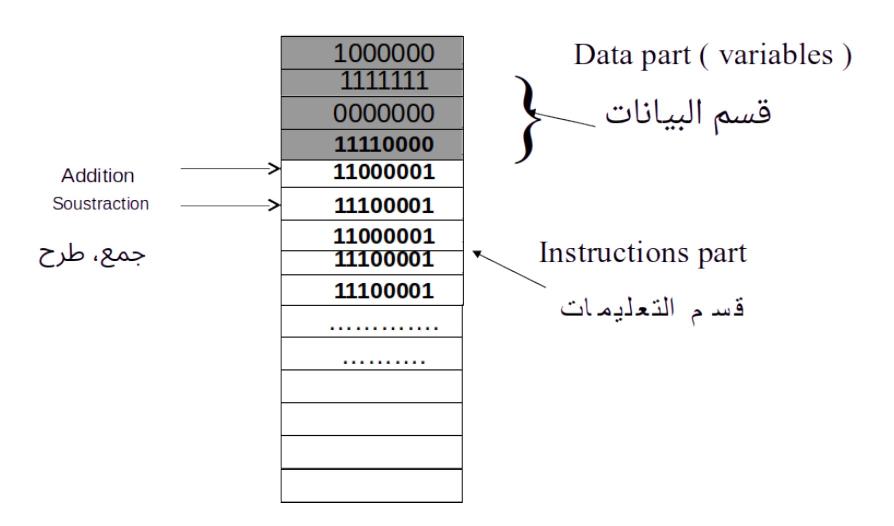


Figure 5.2: Program Structure in Main Memory بنية البرنامج في الذاكرة المركزية

5.2.1.1 Central Processing Unit (CPU) الوحدة المركزية

The Central Processing Unit (CPU), also called the processor or microprocessor, is responsible for executing programs. The CPU consists of an Arithmetic and Logic Unit (ALU) and a Control Unit (cf. figure 5.3). The ALU performs basic operations (addition, subtraction, multiplication, etc.). The Control Unit manages operations on memory (read/write) and the operations to be performed by the ALU based on the current executing instruction.

الوحدة المركزية (المعالج أو المعالج المصغّر) دورها تنفيذ البرامج (الشكل 5.3)، وتتكون من وحدة الحساب والمنطق التي تنفذ العمليات الأساسية مثل الجمع والطرح والضرب، ووحدة التحكم التي تحكم في العمليات على الذاكرة والعمليات التي تجزها وحدة الحساب والمنطق حسب التعليمة قيد التنفيذ.

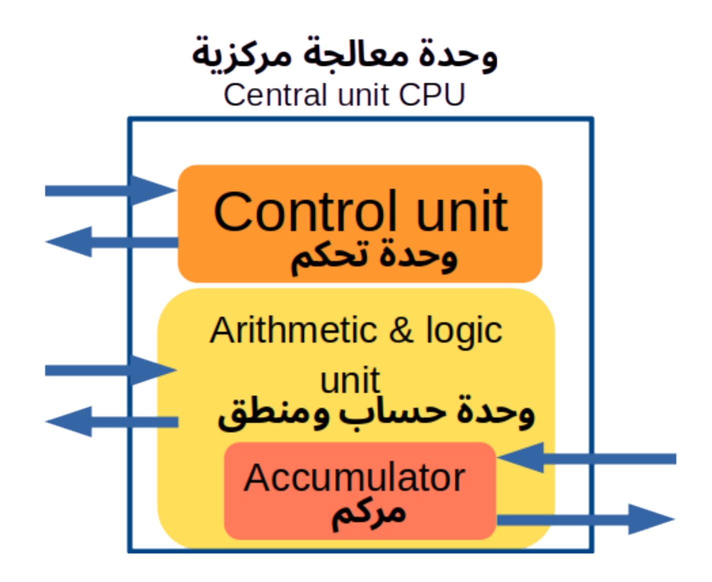


Figure 5.3: Central Processing Unit الوحدة المركزية

5.2.1.2 Arithmetic and Logic Unit (ALU) وحدة الحساب والمنطق

The ALU performs basic operations such as addition, subtraction, multiplication, and logic operations. It includes the Accumulator Register (ACC), which stores data at the beginning of the operation and the result at the end. It also has a status register with indicators such as carry, sign, overflow, and

zero.
وحدة الحساب والمنطق تحسب عمليات الجمع والطرح والضرب والعمليات المنطقية. تتكون من مركم ACC يحفظ البيانات في بداية العملية ويحفظ النتيجة في النهاية. وفيها أيضا سجل حالة يشير إلى حالة تنفيذ العملية، ويتألف من مؤشرات أو أعلام مثل عَلَم Flag الاحتفاظ، علم الإشارة (سالب أم لا)،علم الطفح، وعلم الصفر.

C0	C1	C2	Code	Result نتيجة	Explanation	شرح
0	0	0	ADD	$A + (B + Cin)$	Carry Cout = 1 if there is a carry Carry in Cin	يصبح الاحتفاظ الناتج Cout = 1 إذا نتج احتفاظ Cin هو الاحتفاظ الداخل
0	0	1	SUB	$A - (B + Cin)$	$Cout = 1$ if there is a carry	Cout = 1 إذا كان احتفاظ
0	1	0	MUL	$A * B$	$Cout = 0$	
0	1	1	DIV	A/B	$Cout = 0$	
1	0	0	EQ	1 if $A == B$ else 0	$Cout = 0$	
1	0	1	CMP	1 if $A < B$ else 0	$Cout = 0$	
1	1	0	LSH	$A << B$	A is shifted left by (B and Cin) Carry is the leftmost bit shifted out of A	A ينزاح إلى اليسار بواسطة B و Cin والبت الخارج يخرج في Cout
1	1	1	RSH	A >> B	A is shifted right by B and Cin Carry is the rightmost bit shifted out of A	A ينزاح إلى اليمين بواسطة B و Cin والبت الخارج يخرج في Cout

5.2.1.3 Control Unit

وحدة التحكم

The role of the Control Unit (or Control Unit) is to:

- Coordinate the work of all other units (ALU, memory, etc.).
- Ensure synchronization among them.

It ensures:

- Searching (reading) for instructions and data from memory.
- Decoding the instruction and executing the current instruction while preparing the next instruction.

دور وحدة التحكم:

- تنسيق عمل الوحدات الأخرى (وحدة الحساب والمنطق، الذاكرة، وما إلى ذلك).
- ضمان التزامن بينها.

تضمن التالي:

- البحث (قراءة) عن التعليمة والبيانات من الذاكرة.
- فك تشفير التعليمة وتنفيذ التعليمة الحالية ثم التحضير للتعليمة التالية.

The Control Unit includes:

- An Instruction Register (IR): contains the currently executing instruction, decoded using its operation code (opcode) by a decoder.
- A Counter Register (CR) or Program Counter (PC): contains the address of the next instruction

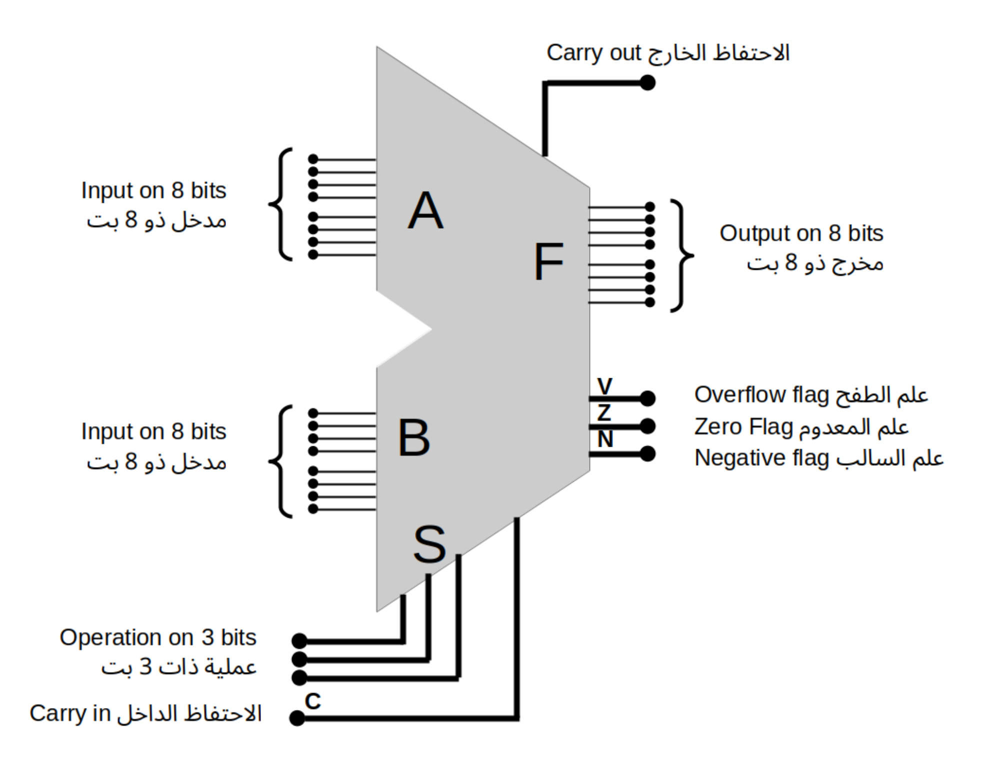


Figure 5.4: Arithmetic and Logic Unit (ALU) وحدة الحساب والمنطق

to execute (points to the next instruction). Initially, it contains the address of the first instruction of the program to be executed.

- A sequencer: organizes (synchronizes) the execution of instructions according to the clock's rhythm, generating the necessary signals for instruction execution.

وحدة التحكم فيها:

- سجل التعليمة (IR): يحوي التعليمة التي تنفذ حاليا، يفُكك المفكك (decoder) التعليمة حسب رمز العملية (opcode).
- سجل يُسمى عداد الترتيب (CR) أو عداد البرنامج (PC): يحوي عنوان التعليمة التالية التي ستُنفّذ (يشير إلى التعليمة التالية). عند البداية، يحتوي على عنوان أول تعليمة من البرنامج المراد تنفيذه.
- منظم التسلسل: ينظم (يزامن) تنفيذ التعليمات وفقًا لإيقاع الساعة، ويولد الإشارات الضرورية لتنفيذ التعليمة.

Note

- The microprocessor may contain other registers in addition to CR, IR, and ACC.
- These registers are considered as internal memory (working registers) of the microprocessor.
- These registers are faster than main memory, but the number of these registers is limited.
- Generally, these registers are used to save data before executing an operation.
- Typically, the size of a working register is equal to the size of a memory word.

ملاحظة:

- قد يحوي المعالج المصغر على سجلات أخرى بالإضافة إلى CR، IR، و ACC.

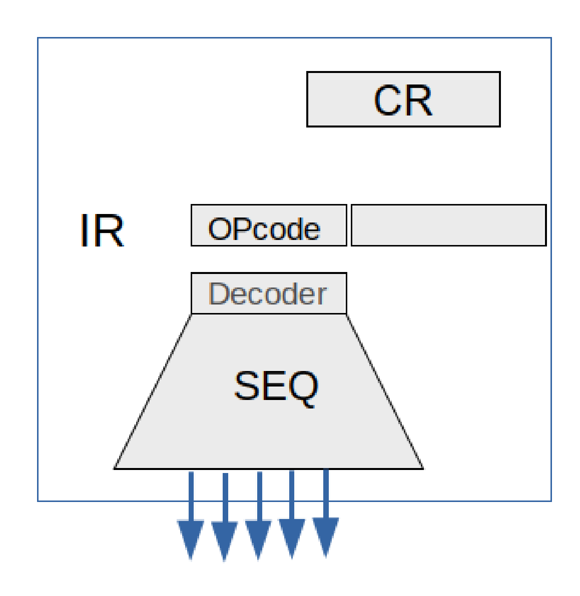


Figure 5.5: Control Unit وحدة التحكم

- تُعدُّ هذه السجلات ذاكرة داخلية (سجلات عمل) للمعالج المصغر.

- هذه السجلات أسرع من الذاكرة المركزية، ولكن معدودة.

- عادةً ما تُستخدم هذه السجلات لحفظ البيانات قبل تنفيذ عملية ما.

- يساوي حجم سجل العمل حجم كلمة الذاكرة.

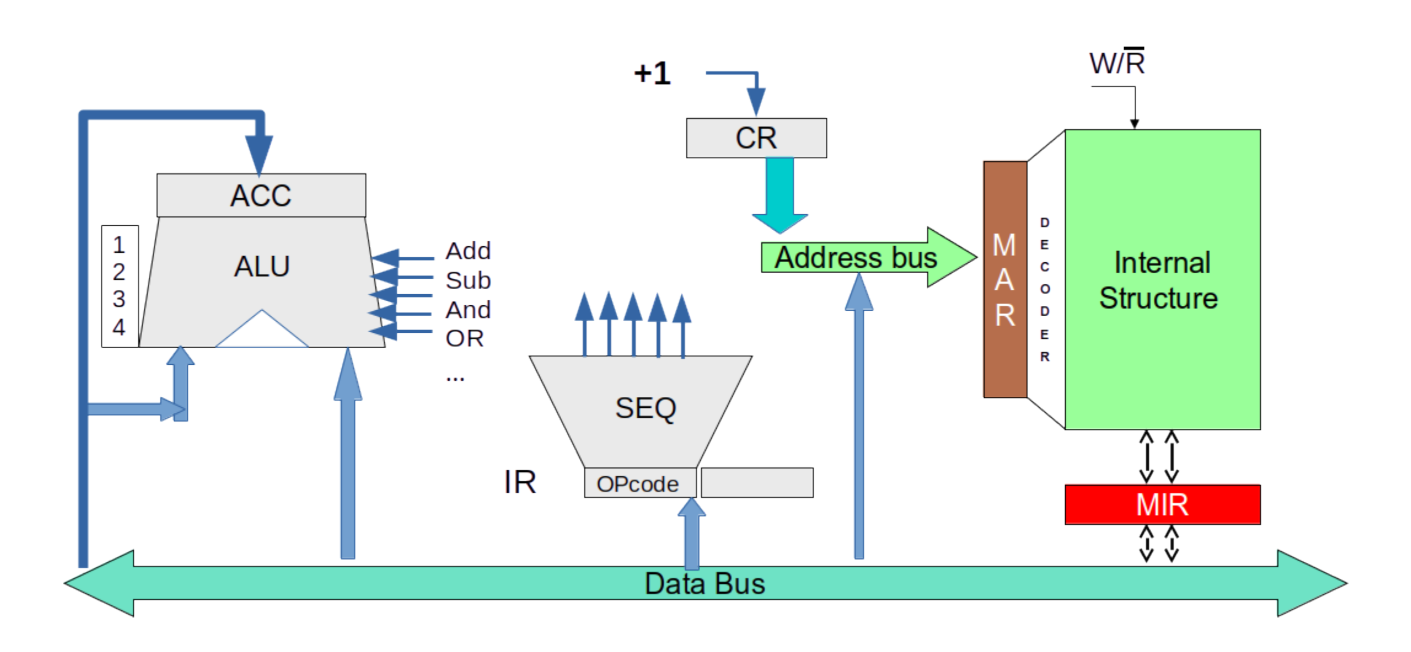


Figure 5.6: Detailed Diagram of a Machine مخطط مفصل لآلة

5.2.1.4 Instruction Set

طقم التعليمات

Every microprocessor has a limited number of instructions it can execute. These instructions are called the instruction set. The instruction set describes the set of elementary operations that the microprocessor can perform. Instructions can be classified into 4 categories:

- Assignment Instructions: They transfer data between registers and memory.
- Write: Register → Memory.
- Read: Memory → Register.
- Arithmetic and Logic Instructions (AND, OR, ADD, ...).
- Branch Instructions (conditional and unconditional).
- Input/Output Instructions.

لكل معالج تعليمات معدودة يقدر على تنفيذها تشكّل طقم التعليمات. أصناف التعليمات أربعة:

- تعليمات الإسناد: تقوم بنقل البيانات بين السجلات والذاكرة.
- كتابة: سجل → ذاكرة
- قراءة: ذاكرة → سجل
- تعليمات الحساب والمنطق
- تعليمات التفرع (الشرطي وغير الشرطي)
- تعليمات الإدخال/الإخراج

5.2.1.5 Instruction Encoding

ترميز التعليمة

Instructions and their operands (data) are stored in memory.
The size of an instruction (number of bits needed to represent it in memory) depends on the type of instruction and the type of operand.
The instruction is divided into two parts:

- Operation Code (Opcode): A code on N bits indicating which instruction.
- Operand Field: Contains the data or the reference (address) to the data.

التعليمة وعواملها (المعطيات) محفوظة في الذاكرة، وحجمها (عدد البتات اللازمة لتمثيلها) يتعلق بنوع التعليمة ونوع عواملها.
للتعليمة قسمان: رمز العملية (رمز التعليمة) هو رمز على N بت يبيّن التعليمة، وقسم العامل يحتوي على البيانات أو يشير إلى عنوانها.

Operation Code رمز العملية	Operand العامل
⟵ N bits ⟶	⟵ K bits ⟶

Part II

Exerises

تمارين

Chapter 6

Exercises تمارين

6.1 Chapter 1 exercises

تمارين الفصل الأول

01

A security lock opens based on four keys A, B, C, D. The lock operates as follow:

- $S(A, B, C, D) = 1$ if at least two keys are used.
- $S(A, B, C, D) = 0$ otherwise.
- Keys A and C cannot be used simultaneously.
- Provide the canonical disjunctive (R) and conjunctive (P) forms.
- Create the circuit.

قفل أمان ذو أربعة مفاتيح: A, B, C, D. يعمل القفل كالآتي:

- إن أُستخدم مفتاحان على الأقل $S(A, B, C, D) = 1$.
- في الحالات الأخرى $S(A, B, C, D) = 0$.
- لا يمكن استخدام المفاتيح A و C في نفس الوقت.
- أعط الشكلين القانونين الرقميين المفصول R و الموصول P.
- أنجز الدارة.

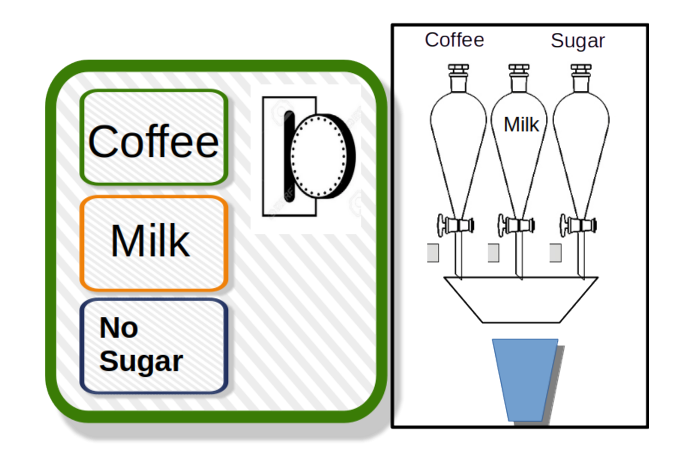
02

A beverage vending machine offers coffee, milk, coffee with milk, with or without sugar. The machine has 3 buttons (Milk, Coffee, Without Sugar) and a coin input. The machine contains three reservoirs (Coffee, Sugar, and Milk).

- Determine the logical functions that open the reservoir taps based on the buttons.
- Draw the logical diagram for beverage distribution.

آلة توزيع المشروبات تقدّم القهوة، الحليب، القهوة بالحليب، بالسكر أو بدونه.
الآلة فيها ثلاثة أزرار (حليب، قهوة، دون سكر) ومدخل للقطعة النقدية . الآلة في داخلها ثلاثة خزانات للقهوة والسكر والحليب،

- حدد الدوال المنطقية التي تفتح صنابير الخزانات بناءً على الأزرار.
- أنجز المخطط المنطقي لتوزيع المشروبات.



03

The DIV circuit calculates the Euclidean division of two 2-bit numbers (quotient and remainder).

- Division by zero is prohibited.
- Create the circuit.

الدارة DIV تحسب القسمة الإقليدية لعددين من 2 بتين (الناتج والباقي).

- القسمة على الصفر ممنوعة.
- أنجز الدارة.

$$\begin{array}{c|c} CD & \underline{AB} \\ R_1R_0 & Q_1Q_0 \end{array}$$

04

1. Create circuit C1, which adds two bits.
2. Can it be used to add multiple bits?
3. Create a circuit (ADD) that adds two bits with a carry input.

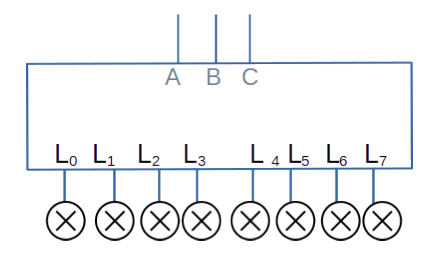
1. أنجز الدارة C1 التي تجمع حسابيا بتين اثنين.
2. هل يمكن استخدامها لجمع بتات أكثر؟
3. أنجز دارة ADD التي تجمع بتين اثنين مع مدخل احتفاظ.

05 Use ADD circuits to create a 4-bit binary adder.

استخدم دارات ADD لإنشاء جامع ثنائي على 4 بتات.

06 Create a circuit C6 that controls 8 lamps and lights up only one lamp at a time according to its number.

أنجز دارة C6 تتحكم في8 مصابيح، وتشعل مصباحا واحدا فقط في المرة حسب رقمها.



07

1. Build a NOT gate using a NAND gate.
2. Build an AND gate using NOT-AND gates.

1. صمّم البوابة ``لا" بواسطة بوابة نفي الوصل ``لا و".
2. صمّم بوابة الوصل ``و" بواسطة بوابة نفي الوصل ``لا و" -LR. NAND

08

$$f1 = a.\bar{b} + \bar{a}.b + \bar{a}.c.d$$

1. Create the circuit for the function $f1$ using only NOR and NAND gates.
2. Create the circuit for the function $f1$ using only NOR gates.

1. أنجز دارة الدالة $f1$ باستعمال بوابات نفي الوصل NAND فقط.
2. أنجز دارة الدالة $f1$ باستعمال بوابات **نفي الفصل** NOR فقط.

6.1.1 Additional Exercises

09

We want to create a logic circuit M1 that calculates the product of two two-bits numbers $((AB \times CD)_2)$.
Create the circuit using logic gates.

نريد تصميم دارة M1 تضرب عددين من بتين لكل منهما $(AB \times CD)_2$.
أنجز الدارة بالبوابات المنطقية.



10

We want to build a comparator for two numbers of 2 bits each: A_1A_0 and B_1B_0. The output should have 3 outputS:

- Greater G $= 1$ if $A_1A_0 > B_1B_0$, else 0.
- Lesser L $= 1$ if $A_1A_0 < B_1B_0$, else 0.
- Equal E $= 1$ if $A_1A_0 = B_1B_0$, else 0.

Create the circuit using NAND gates.

نريد صنع مقارن بين عددين من 2 بت لكل واحد، A_1A_0 و B_1B_0. وتعطي ثلاث مخارج :

- أكبر G = 1 إذا $A_1A_0 > B_1B_0$, وإلا 0.
- أصغر L = 1 إذا $A_1A_0 < B_1B_0$, وإلا 0.
- مساوٍ E = 1 إذا $A_1A_0 = B_1B_0$, وإلا 0.

أنجز الدارة بواسطة بوابات نفي الفصل NAND.

11 The following figure represents a reservoir powered by two valves V1 and V2. Three levels are distinguished: Safety, Medium, High.

- When the liquid level is less than or equal to Safety, both V1 and V2 are open.
- When the liquid level is less than or equal to Medium but greater than Safety, only V1 is open.
- When the liquid level is higher than Medium but lower than High, only V2 is open.
- When the liquid level reaches High, both valves are closed.

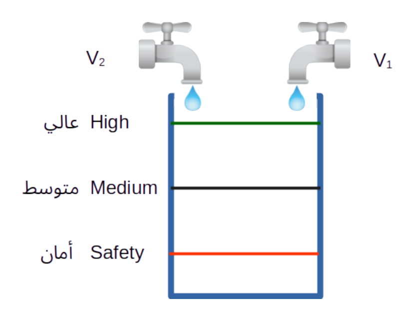


Figure 6.1: Diagram of Exercise 11

Question: Provide the logical equations for the opening of V1 and V2 based on the liquid level.

الشكل يوضح خزانا يزوّد بالماء من صمامين V1 و V2 ،
للخزان ثلاث مستويات مستوى الآمن، مستوى متوسط مستوى عالٍ.

حين يكون السائل أقل من مستوى الأمن أو يساويه، يفتح الصمامان V1 و V2.

حين يكون السائل أقل من المستوى المتوسط وأعلى مستوى الأمن يفتح الصمام V1 فقط.

حين يكون السائل أعلى من المتوسط وأقل من المستوى العالي، يفتح V2 فقط. حين يصل السائل إلى المستوى العالي يقفل الصمامان.

السؤال : أعط الدوال المنطقية التي تتحكم في فتح الصمامين بدلالة مستوى السائل.

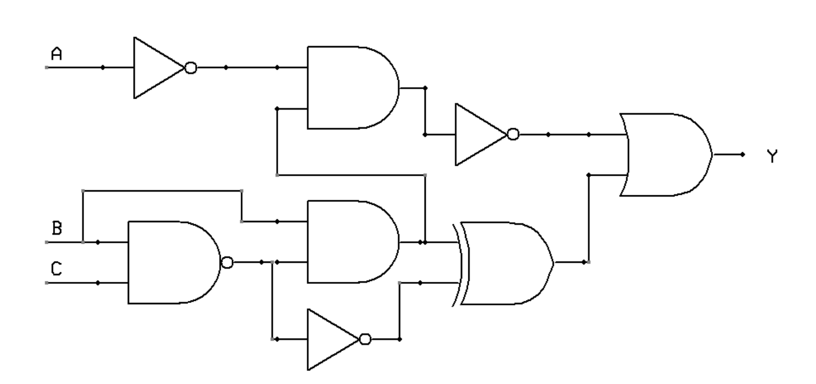
12

Consider the diagram in the following figure

1. Provide the Y equation.
2. Represent Y using only 2-input NAND gates.

إليك الشكل الآتي

1. أعط عبارة Y.
2. مثل الدالة باستعمال بوابات NAND ذات مدخلين فقط.



13 Create the circuit that performs the two's complement of a four-bit binary number.

أنجز الدارة التي تعطي المتمم لاثنين لعدد ثنائي ذي 4 بتات

14 Create a circuit that converts an 8-bit binary number to two's complement.

أنجز دارة تحوّل عددا ثنائيا إلى المتمم إلى 2 على 8 بت.

15

A jury composed of 4 members asks a question to a player. Each jury member sets their switch to “1” when they think the player’s answer is correct (favorable opinion) and “0” otherwise (unfavorable opinion). We process the response in such a way as to set:

- A success variable (S=1) when the majority of the jury members’ decisions are favorable.
- A failure variable (F=1) when the majority of the jury members’ decisions are unfavorable.
- An equality variable (N=1) when there are as many favorable opinions as unfavorable opinions.

1 Deduce a truth table for the problem.

2 Provide equations for S, F.

3 Deduce the equation for N.

لجنة تحكيم ذات أربعة أعضاء يسألون لاعباً. كل عضو يضع الزر على 1 إذا قدّر أن الإجابة صحيحة، ويضعها على صفر إذا قدّر أنها خطأ. ونعالج آراء الحكام كما يلي:

- متغير للنجاح S=1 إذا كان قرار أغلبية الحكام مقبولا.
- متغير للفشل F=1 إذا كان قرار أغلبية الحكام غير مقبول.
- متغير للتساوي N=1 إذا كانت قرارات القبول مساوية لقرارات عدم القبول.

1 استنتج جدولا للحقيقة للمسألة.

2 أعط معادلات S و F.

3 استنتج معادلة N.

16

The board of directors of a company consists of four members: the director and his three deputies A, B, C. Decisions during meetings are made by majority vote. Each person has a switch to vote, which they press in case of agreement with the project submitted to the vote. In case of a tie in the number of votes, the director’s vote counts double.

1 Create a logical device for displaying the voting result on lamp R.

2 Provide the logical equation for R.

3 Create the logical diagram of the R output.

مجلس إدارة شركة ذو أربعة أعضاء : المدير وثلاثة نواب A, B, C, D.
تؤخذ القرارات بالأغلبية في الاجتماعات، كل عضو له زر للتصويت على أي مشروع يعرض. في حال التساوي يحتسب صوت المدير مرتين.

1 صمّم دارة منطقية لعرض نتيجة التصويت بواسطة مصباح R.

2 أعط معادلة R.

3 ثم أنجز المخطط.

17

1 Provide the disjunctive and conjunctive canonical forms and the numeric forms R and P of the functions defined by:

a. $F_1(A,B,C) = 1$ if the number of variables set to 1 is even.

b. $F_2(A,B,C) = 1$ if at least two variables are set to 0.

c. $F_3(A,B,C) = 1$ if the number $(ABC)_2$ is odd.

2 Create the diagrams of functions F1, F2, F3.

1 أعط الأشكال القانونية المنفصلة والمتصلة والأشكال الرقمية للدوال الآتية:

a. الدالة $F_1(A,B,C) = 1$ إذا عدد المتغيرات المساوية لـ1 زوجي.

b. الدالة $F_2(A,B,C) = 1$ إذا انعدم متغيران على الأقل.

c. الدالة $F_3(A,B,C) = 1$ إذا العدد $(ABC)_2$ فردي.

2 أنجز مخططات الدوال السابقة.

6.1.2 Practical Work

عمل تطبيقي

7-segment displays are a type of display commonly found in calculators and digital watches. Characters (numbers, and some letters for hexadecimal display) are written by turning on or off segments, usually seven. When all seven segments are lit, the digit 8 is displayed. In a 7-segment display, the segments are typically designated by letters from A to G.
Create the circuit that displays a number in hexadecimal on a 7-segment display (use the circuit with 8 inputs). Simulate the circuit using the "Multimedia Logic" software.

Work required:

1. Problem description.
2. Truth table and simplified equations.
3. Circuit and simulation using the software.

العارض ذو القطع السبعة نوع من العارضات يستعمل في الساعات الرقية والحاسبات، يعرض الأرقام وبعض الحروف مثل الستعشرية، بإشعال القطع المناسبة، فمثلا إشعال كل القطع يعطي الرقم ثمانية. يرمز للقطع عادة بالحروف من A إلى G.
تصميم دارة تسمح بعرض عدد ستعشري على عارض ذي 7 قطع (استعمل الدارة ذات 8 مداخل)، اعمل محاكاة على برنامج "Multimedia logic".

المطلوب

1. وصف المسألة.
2. جدول الحقيقة والمعادلات المبسطة.
3. المخطط والمحاكاة بالبرنامج.

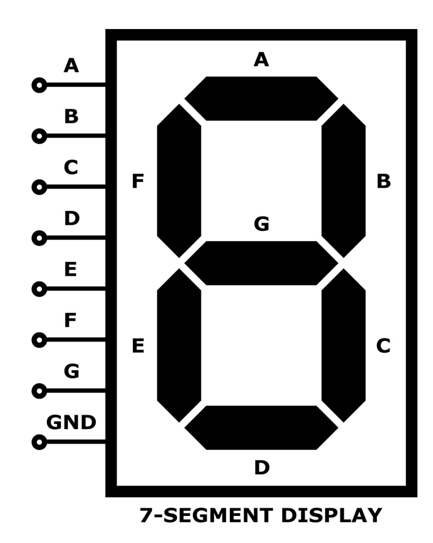


Figure 6.2: Diagram of a 7-segment display

6.2 Chapter 2 exercise تمارين الفصل الثاني

01

Realize a 4-input multiplexer.

اصنع مجمّعا ب4 مداخل.

02

Create the half-adder using a minimum of 4-input multiplexers.

اصنع جامعا بسيطا بواسطة أقل عدد من المجمعات ذات 4 مداخل.

03

Create the full adder using a minimum of 8-input multiplexers.

اصنع جامعا كاملا بواسطة أقل عدد من المجمعات ذات 8 مداخل

04

Create a full adder using binary 3-to-8 decoders with a minimum of logic gates.

اصنع جامعا كاملا بواسطة أقل عدد من مفككات الترميز ذات 3 مداخل و 8 مخارج وأقل ما يمكن من البوابات المنطقية.

05

Consider a 4-bit binary information $(i_3i_2i_1i_0)$.
Provide the circuit that counts the number of "1"s in the input information using only 1-bit full adders?
Example: If the input information $(i_3i_2i_1i_0) = (0110)$, then the output is the binary value 2 (010) since there are 2 bits set to 1 in the input information.

لدينا معلومة ثنائية على 4 بتات $(i_3i_2i_1i_0)$، أعط الدارة التي تعدّ الواحدات في المعلومة المُدخلة، باستعمال دارات الجمع الكاملة ذات 1 بت فقط.
مثال : إذا كانت المعلومة المُدخلة $(i_3i_2i_1i_0) = (10110)$، فنحصل في المخرج على العدد 2 بالثنائي 010 لأن لدينا بتين يساويان الواحد.

06

Perform the multiplication of two positive 4-bit numbers, by using a minimum of 1-bit full adders and a minimum of logic gates.

أنجز دارة لضرب عددين موجبين، من 4 بتات لكل منهما، باستعمال أقل عدد من دارات الجمع لعددين (كل عدد ذو 4 بتات)، وأقل عدد من البوابات المنطقية.

07

The ROT5 code rotates a binary number by adding 5 in binary without carry. $ROT5(0000) = 0101$ $ROT5(1111) = 0100$.

1. Create the binary to ROT5 conversion circuit.
2. Propose a ROT5 schema using a 16-to-4 encoder and a 4-to-16 decoder.

الترميز ROT5 يدوّر العدد بإضافة 5 دون احتفاظ، $ROT5(0000) = 0101$، و $ROT(1111) = 0100$

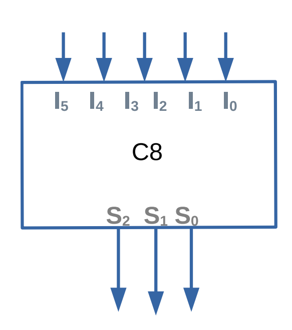
1. أنشئ دارة الترميز ROT5 .
2. ثم اقترح تصميما للدارة بواسطة مرمّز 16 إلى 4 و مفكك من 4 إلى 16.

6.2.1 Additional Exercises

تمارين للتعمّق

08 Using only full adders, create the circuit "C8" shown in the following figure, which determines the number $(S_2S_1S_0)_2$ of "1" bits in the input information $(I_5I_4I_3I_2I_1I_0)$.

باستعمال دارات الجمع الكامل، أنجز الدارة C8 في الشكل المقابل، التي تحسب العدد $(S2S1S0)_2$ من البتات التي تساوي 1، في المعلومة المُدخلة $(I_5I_4I_3I_2I_1I_0)$.



09 Build a logical circuit capable of comparing two 3-bit numbers: $A_0A_1A_2$ and $B_0B_1B_2$. The output should be 1 if $A_0A_1A_2 = B_0B_1B_2$, otherwise 0.

أنجز دارة منطقية تقارن بين عددين من ثلاثة بتات لكل واحد، $A_0A_1A_2$ و $B_0B_1B_2$. وتعطي 1 إذا $A_0A_1A_2 = B_0B_1B_2$، وإلا 0.

10

Consider the function $f(a,b,c,d) = 1$ if $(abcd)_2$ has an even number of "0"s and represents a decimal digit, and $f = 0$ if $(abcd)_2$ has an odd number of "0"s and represents a decimal digit. Create this function using:

1. a 16-to-1 multiplexer.
2. an 8-to-1 multiplexer and a minimum of gates.
3. 4-to-1 multiplexers without logic gates.

لتكن الدالة $f(a,b,c,d) = 1$ إذا إحتوى العدد $(abcd)_2$ على عدد زوجي من الأصفار ويمثل رقما في النظام العشري، و $f = 0$ إذا احتوى العدد المدخل على عدد فردي من الأصفار ويمثل رقما في النظام العشري، أنجز هذه الدالة بواسطة :

1. مجمع واحد فقط ذي 16 مدخلا إلى مخرج واحد.
2. مجمع واحد فقط ذي 8 إلى 1، وأقل عدد من البوابات المنطقية.
3. مجمعات ذات 4 إلى 1 ودون بوابات منطقية.

11 The circuit that detects multiples of 3 between 0 and 15 using a multiplexer.

أنشئ دارة تكشف مضاعفات 3 بين 0 و 15 بواسطة مجمّع واحد.

12 Create the logical circuit that calculates the product of two 2-bit numbers, using only logical circuits.

صمّم دارة تحسب جداء عددين في كل منهما 2 بت، بواسطة الدارات المنطقية فقط.

13 Using a decoder, create the circuit that can determine if a 4-bit binary number is greater than 10.

بواسطة مفكك الترميز، أنشئ دارة تكشف إن كان العدد أكبر من 10.

14

Let HS be the half-subtractor that subtracts two bits, and FS be the full subtractor that subtracts two bits with carry.

دارة الطرح البسيط HS تطرح بتين اثنين، أما الطرح الكامل FS فيطرح بتين مع السلف.

1. Create both circuits using logical gates.
2. Create both circuits using multiplexers.
3. Create both circuits using decoders.

1. أنجز الدارتين بواسطة البوابات المنطقية.
2. أنجز الدارتين بواسطة المجمعات.
3. أنجز الدارتين بواسطة مفككات الترميز.

15

We want to create a circuit that determines the non-prime numbers between 0 and 15.

نريد تصميم دارة تكشف الأعداد غير الأولية بين 0 و 15 :

1. Provide the truth table.
2. Create the circuit using a single multiplexer.
3. Create the same circuit with a decoder and a minimum of logic gates.

1. أعط جدول الحقيقة.
2. أنشئ الدارة بواسطة مجمّع واحد.
3. أنشئها بمفكك الترميز وأقل عدد من البوابات المنطقية.

16 Create a circuit that determines if a 4-bit number is not a multiple of 3, using a multiplexer (truth table, diagram using a multiplexer).

أنجز دارة تبين إن كان عدد ذو 4 بت غير مضاعف ل3، بواسطة مجمّع، (جدول الحقيقة ومخطط بواسطة مجمّع).

6.3 Chapter 3 exercises

تمارين الفصل الثالث

01

1 Design an RS flip-flop using only NAND gates.

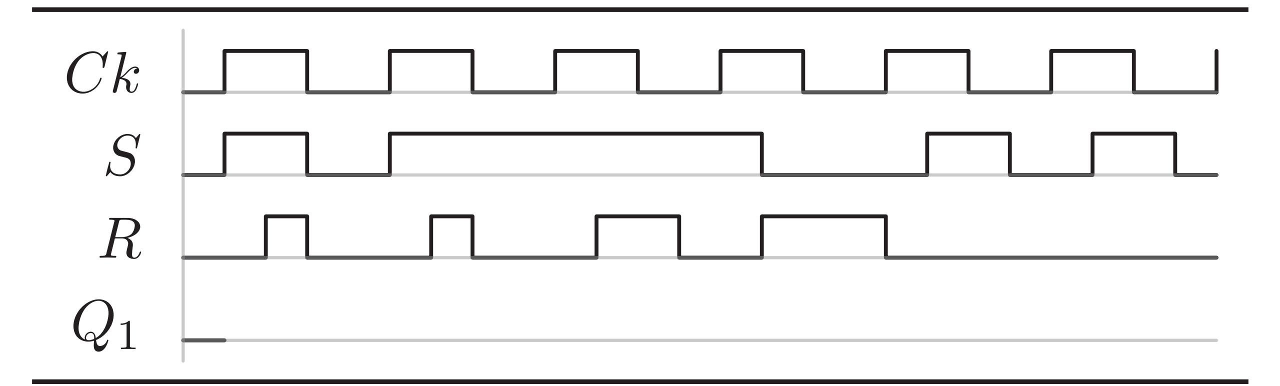
2 Complete the timing diagram according to the following cases:

- RS is asynchronous.
- RS is synchronized on the rising edge.
- RS is synchronized on the falling edge.

صمم قلابا RS بواسطة بوابات NAND فقط.

أكمل المخطط الزمني حسب الحالات الآتية:

- القلاب غير متزامن.
- القلاب متزامن عند الجبهة الصاعدة.
- القلاب متزامن عند الجبهة النازلة.



02

Consider the circuit below

إليك التركيب الآتي:

1 Provide its truth table.

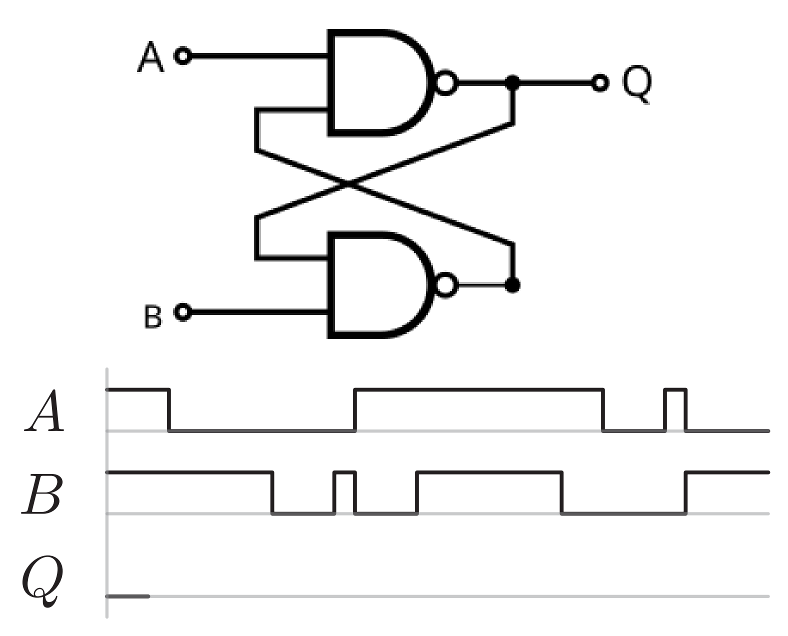
2 What logical circuit do you recognize?

3 Complete the following timing diagram.

1 أعط جدول الحقيقة.

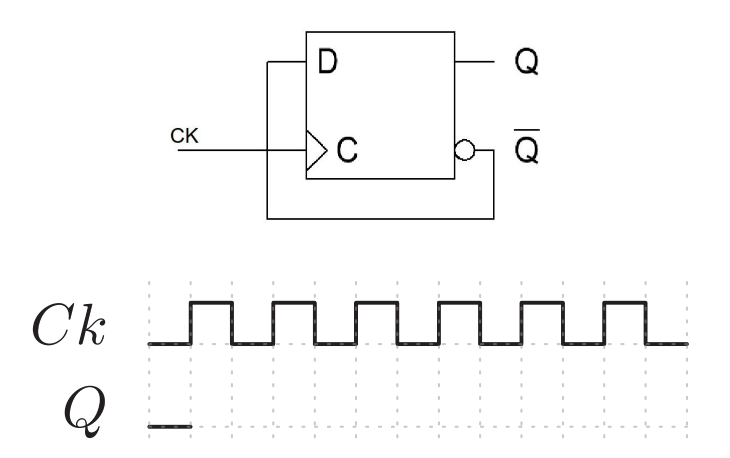
2 تعرّف على الدارة.

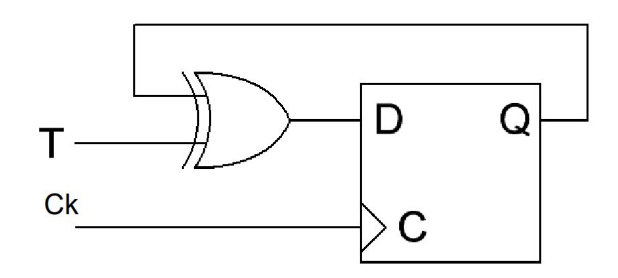
3 أكمل المخطط الزمني.



03 Consider the circuit below, then complete the following timing diagram:

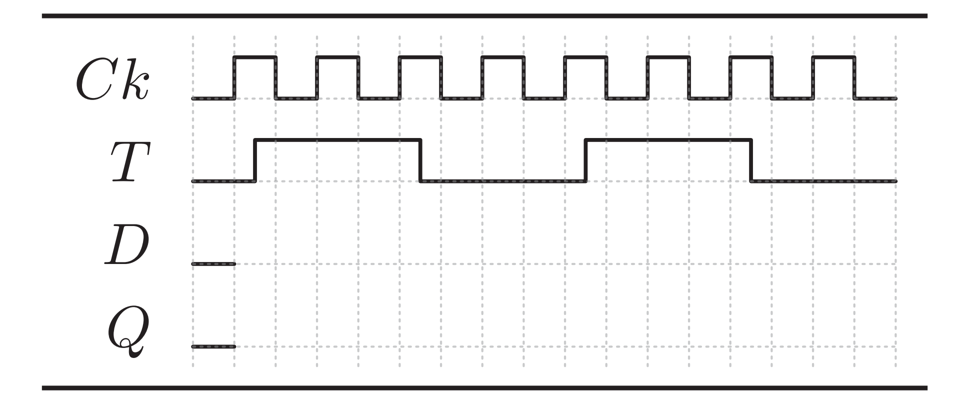
تفحّص التركيب الآتي في الشكل، أكمل المخطط الزمني الآتي:





04 Fill in the timing diagram based on the following circuit:

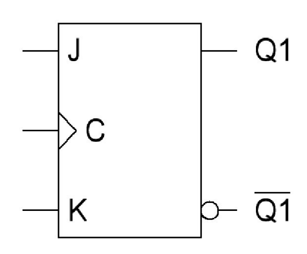
أكمل المخطط الزمني

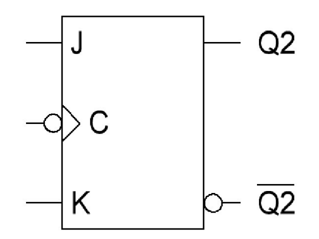


Ck
T
D
Q

05 Consider the two JK flip-flops below:

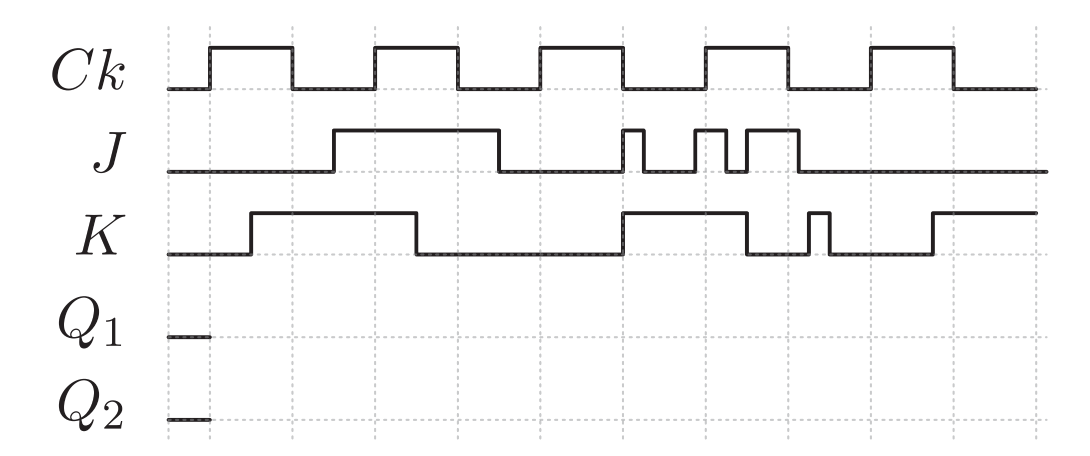
إليك القلابين ج.ك الآتيين:





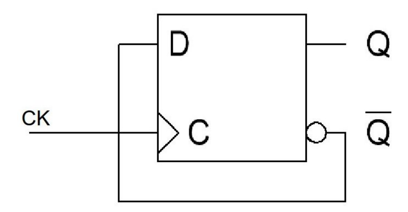
Recall the truth table for a JK flip-flop synchronized on the rising edge. Fill in the following timing diagram:

ذكِّر بجدول الحقيقة لقلاب ج.ك متزامن على الجبهة الصاعدة ثم أكمل المخطط الزمني



06 For the following figure, provide an equivalent circuit using a JK flip-flop for the

أعط تركيبا مكافئا بواسطة قلاب ج. ك للمخطط التالي:



07 Based on the circuit in Figure 6.3, complete the following timing diagram:

من الشكل 6.3، أكمل المخطط الزمني

N.B.: $V_{cc} = 1$

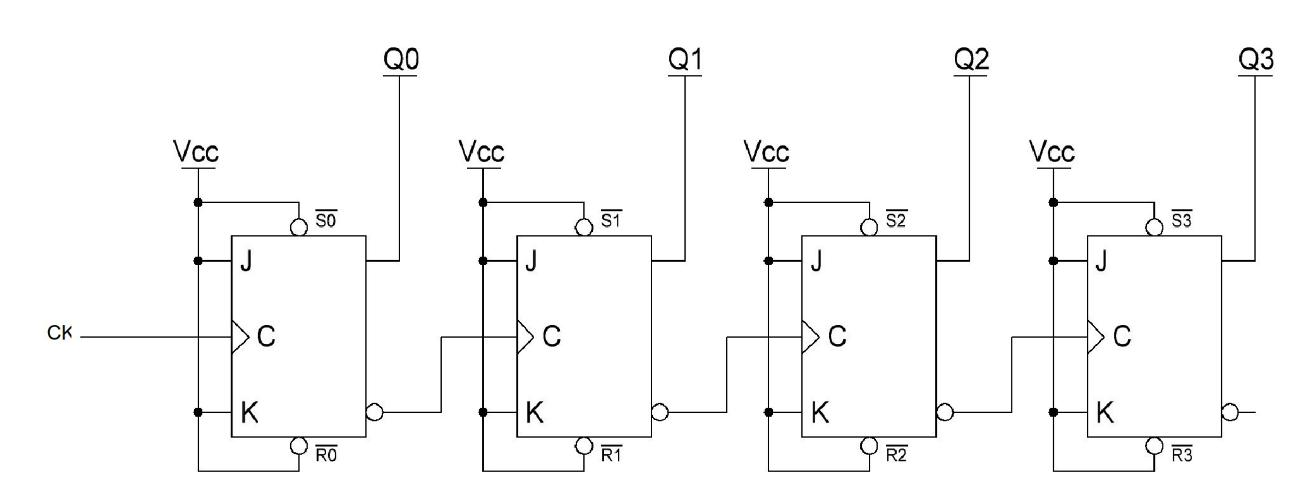
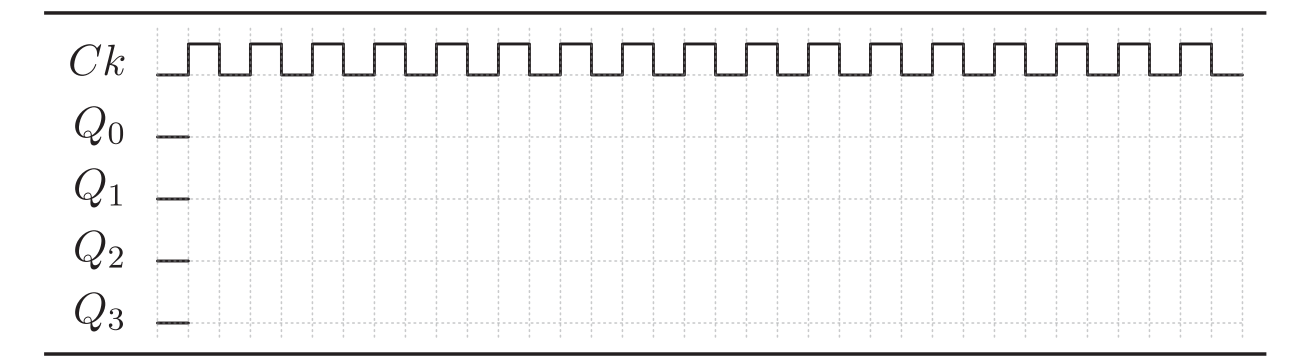


Figure 6.3: Circuit #1 for Exercise 7 التركيب الأول للتمرين



2. What does the circuit in Figure 6.3 achieve? ماذا يعمل هذا التركيب
3. We slightly modify the circuit in Figure 6.3 to obtain the circuit in Figure 6.4. Explain what the circuit in Figure 6.4 achieves, with reasoning.
بتعديل طفيف للتركيب في الشكل 6.3، نحصل على الشكل 6.4، اشرح ماذا يعمل هذا التركيب الجديد.

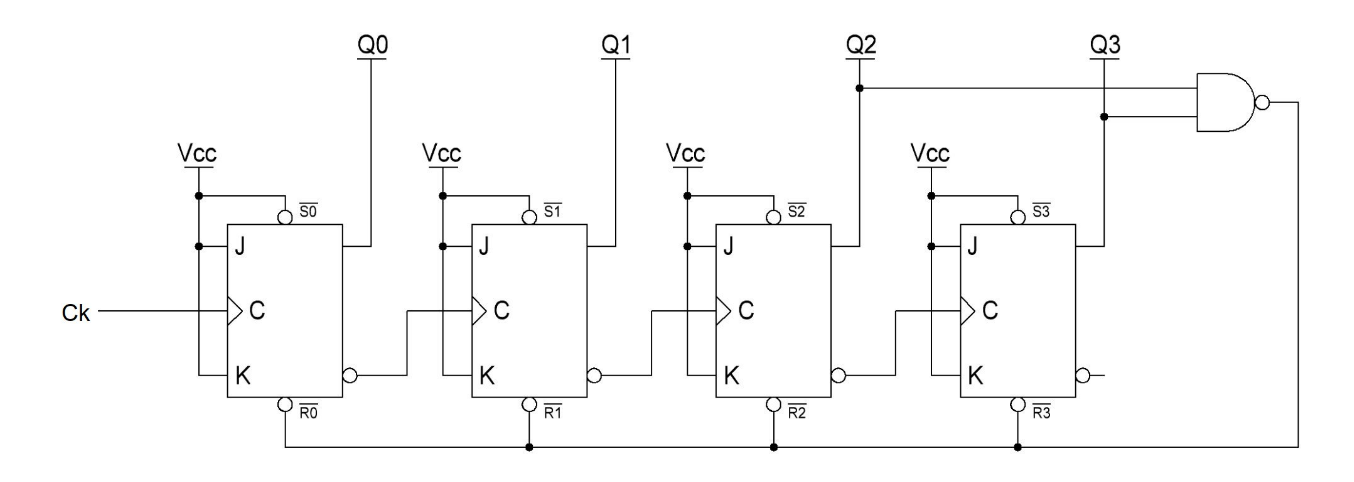


Figure 6.4: Circuit #2 for Exercise 7 التركيب الثاني للتمرين

08 Based on the circuit in Figure 6.5, draw the timing diagram for the variables Q0, Q1, Q2, Q3 over 17 clock cycles, knowing that Q0, Q1, Q2, Q3 start from 0.
أرسم مخططا زمنيا حسب الشكل رقم 3، لمتغيرات Q0, Q1, Q2, Q3 على 17 دورا للساعة علما أن Q0, Q1, Q2, Q3 تنطلق من الصفر.

1. What does the circuit in Figure 6.5 achieve? ماذا يعمل التركيب في الشكل 6.5؟

2. We slightly modify the circuit in Figure 6.5 to obtain the circuit in Figure 6.6. Explain what the circuit in Figure 6.6 achieves with reasoning.
بتعديل طفيف للشكل 6.5، نحصل على التركيب في الشكل 6.6 ، اشرح ماذا يعمل هذا التركيب

6.3.1 Additional Exercises تمارين للتعمّق

09 Consider the circuit below :

1. Assuming that input S is always set to 1, what does this circuit do?

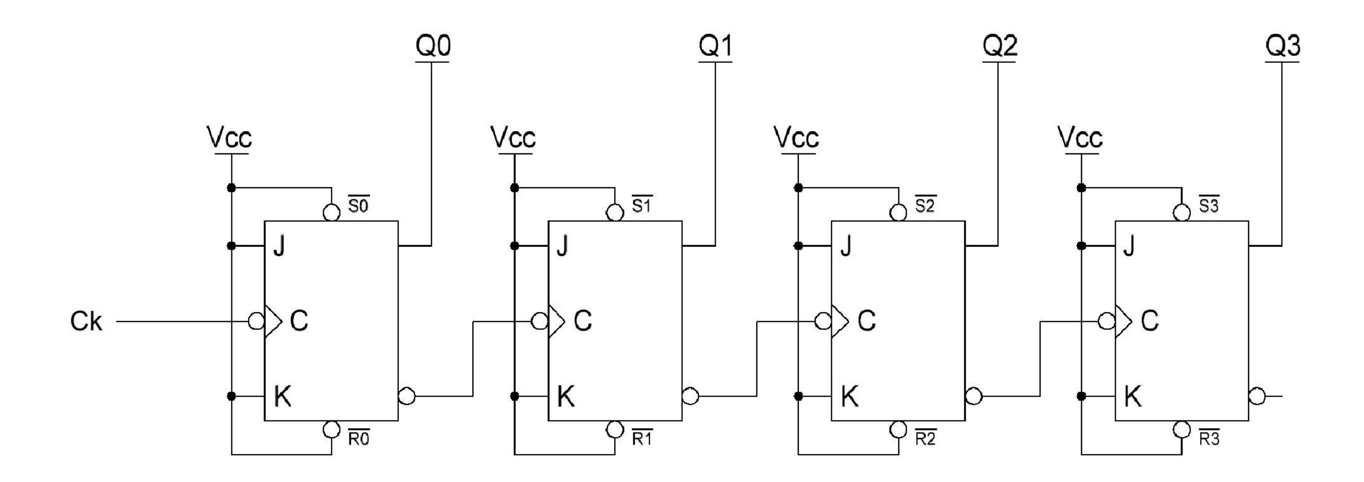


Figure 6.5: Circuit #1 for Exercise 8 التركيب الأول للتمرين

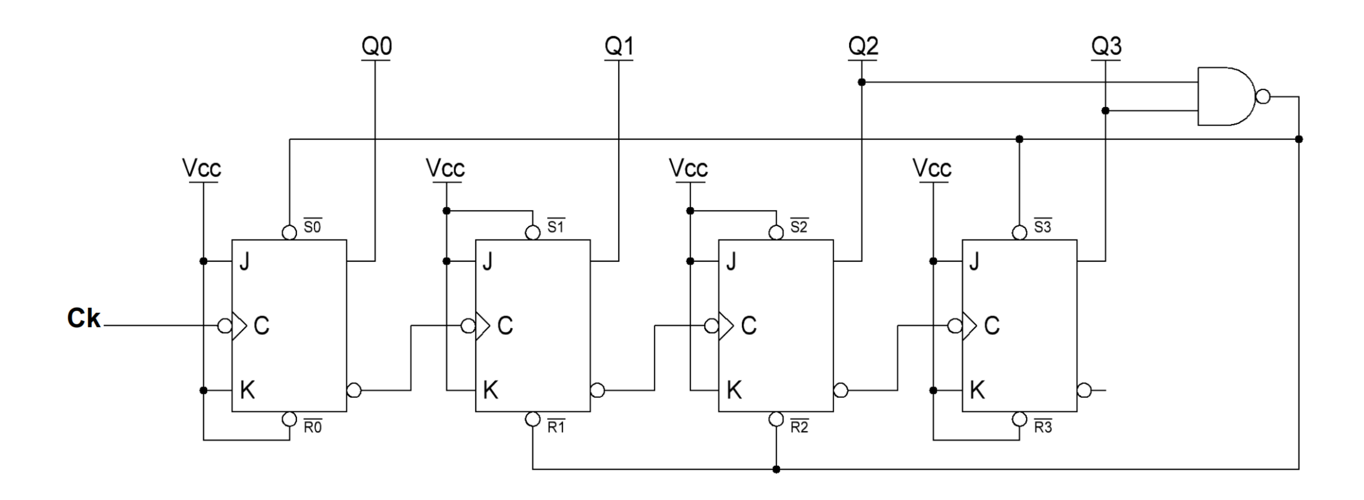


Figure 6.6: Circuit #2 for Exercise 8 المخطط الثاني للتمرين

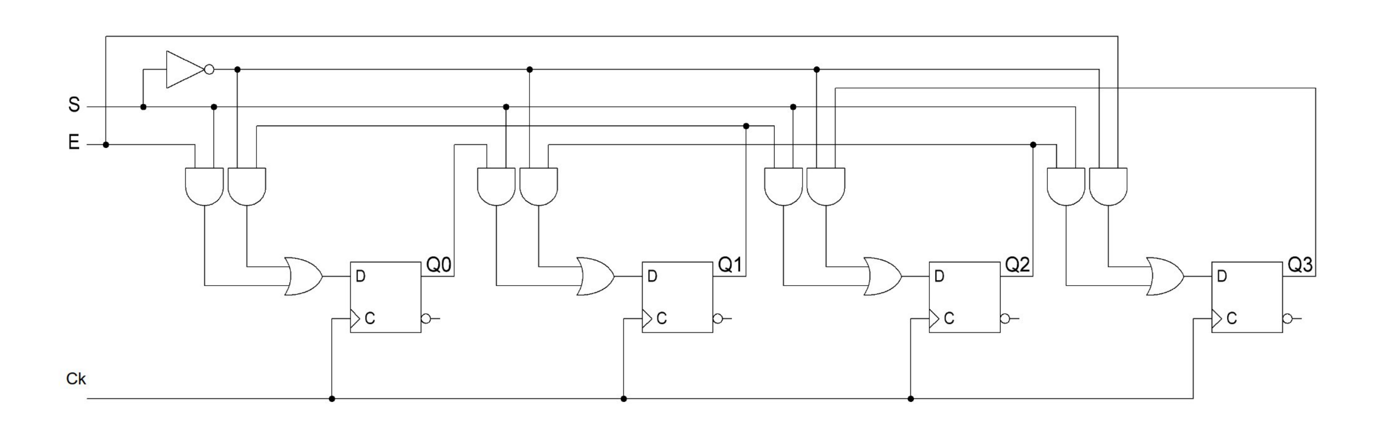


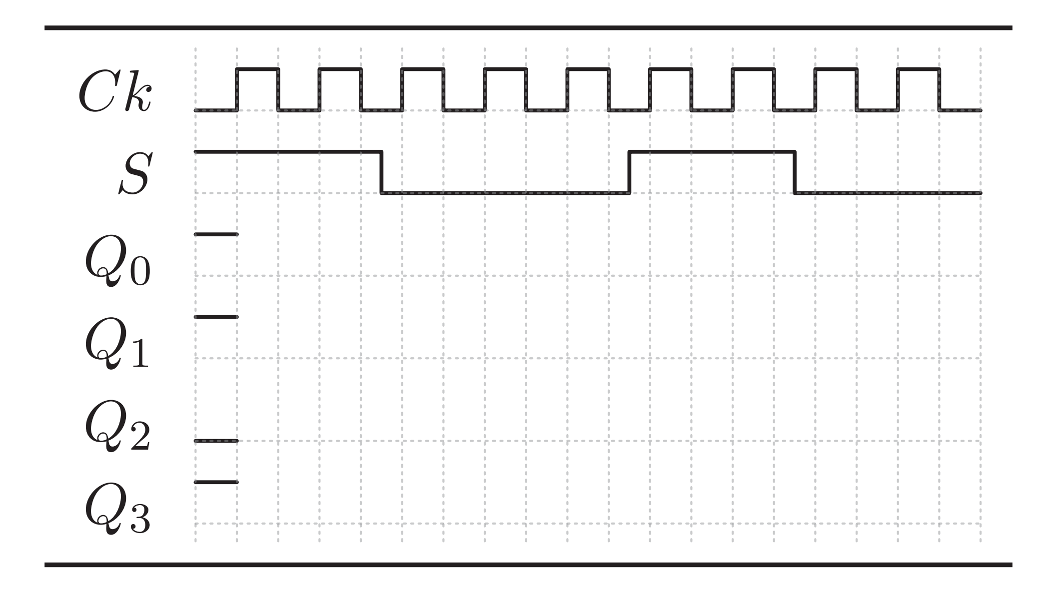
Figure 6.7: Circuit for Exercise 9 تركيب للتمرين

2 Assuming that input S is always set to 0, what does this circuit do?

3 Assuming that input E is always set to 0, fill in the following timing diagram:

إليك التركيب الآتي:

- بفرض S=1 ، ماذا يعمل هذا التركيب؟
- بفرض S = 0 ، ماذا يعمل هذا التركيب؟
- بفرض E=0 أكمل المخطط الزمني الآتي



10

We want to create, in a single circuit, a modulo-16 up-/down counter. This circuit should have two operating modes, one for counting up and the other for counting down, selected by an input S according to the following conditions:

- S = 0: counting up mode.
- S = 1: counting down mode.

You have at your disposal four JK flip-flops synchronized on the rising edge and all the necessary logic gates.

1 Design a modulo-16 up counter.

2 Design a modulo-16 down counter.

3 Design a modulo-16 up/down counter.

نريد تصميم دارة واحدة للعد التصاعدي والتنازلي بترديد 16. ينبغي أن يكون للتركيب نمطان للعمل، واحد للعد التصاعدي وآخر للتنازلي، ونختار النمط حسب المدخل S.

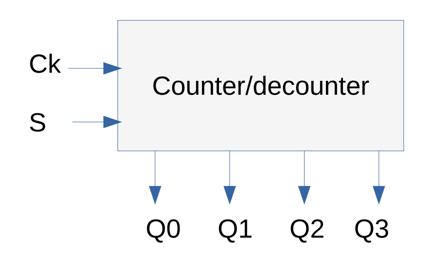
- S = 0: نمط تصاعدي.
- S = 1: نمط تنازلي

لديك أربعة قلابات ج.ك متزامنة على الجبهة الصاعدة، وما تحتاج إليه من بوابات منطقية.

1 صمم عدادا تصاعديا بترديد 16.

2 صمم عدادا تنازليا بترديد 16.

3 صمم عدادا تصاعديا تنازليا بترديد 16.



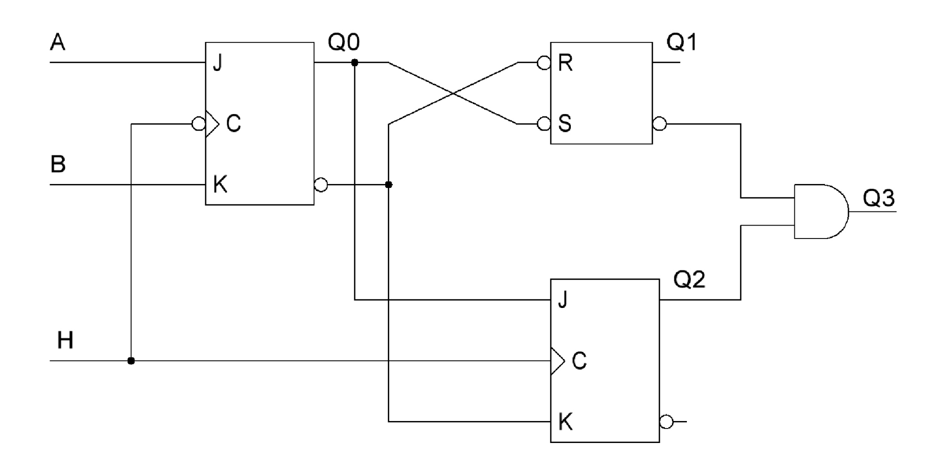


Figure 6.8: Circuit for Exercise 11 تركيب للتمرين

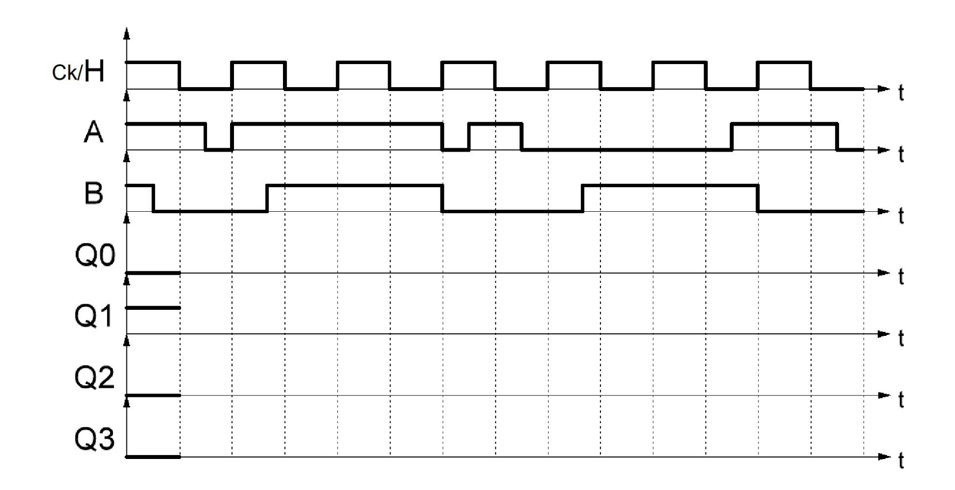


Figure 6.9: Timing Diagram for Circuit of Exercise 11 المخطط الزمني للتمرين

11 Fill in the timing diagram based on the following circuit

12 Based on the following circuit, plot the timing diagram for the variables J0, K0, J1, K1, Q0, Q1, for a duration of 5 clock cycles, knowing that Q0 and Q1 start from 0.
بدلالة المخطط التالي، ارسم مخططا زمنيا للمتغيرات $J0, K0, J1, K1, Q0, Q1$ خلال 5 أدوار للساعة علما أن $Q0, Q1$ تنطلق من الصفر.

13 A modulo 16 even counter counts 0, 2, 4, 6, 8, 10, 12, 14, 0, 2, and so on.
عداد زوجي بترديد 16 يعدّ من 0, 2, 4, 6, 8, 10, 12, 14, 0, 2...

1. Provide the state table of the counter — أعط جدول حالات العداد.
2. What do you notice? — ماذا تلاحظ
3. Implement the circuit using JK flip-flops. — أنجز المخطط بواسطة قلابات ج,ك

14 Consider the following 5-bit modulo 32 counter circuit.

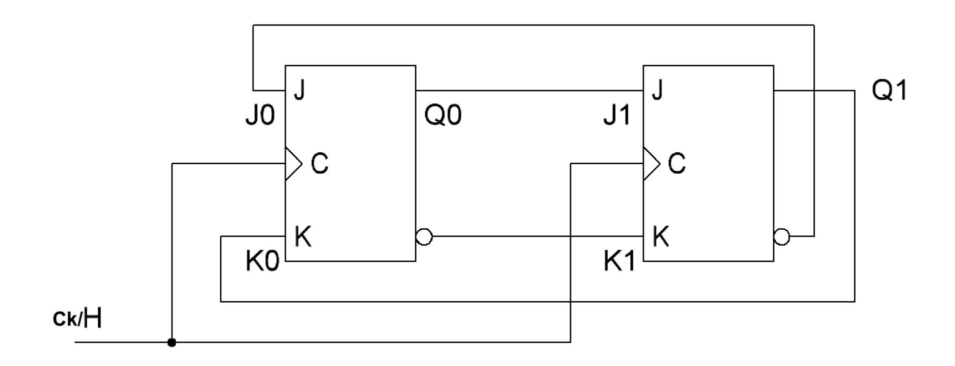


Figure 6.10: Circuit for Exercise 12 تركيب للتمرين

إليك دارة العداد الآتي ذي 5 بت بترديد 32، المدخل reset يسمح بتصفير العداد.

The Reset input allows resetting the counter to zero, Propose a diagram that allows using the CPT circuit to count from 0 to 23.

اقترح مخططا باستعمال الدارة CPT للعد من 0 إلى 23.

We want to use the CPT circuit to trigger an alarm every 30 seconds.

نريد استعمال الدارة CPT لإطلاق جرس إنذار كل 30 ثانية.

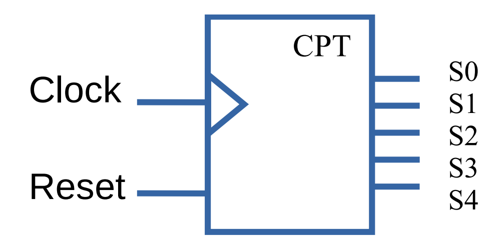


Figure 6.11: Circuit for Exercise 14 تركيب للتمرين

15 Draw the timing diagram based on the following circuit, for the variables Q, Q', Ha, Hb, during 8 clock cycles. Q starts at 0.

N.B.: $V_{cc} = 1$

أرسم المخطط الزمني للمتغيرات Q, Q', Ha, Hb خلال 8 أدوار للساعة، علما أن Q تنطلق من 0.

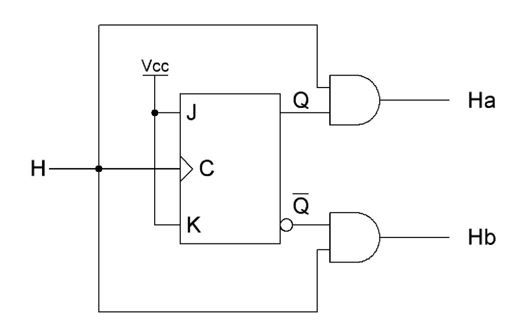


Figure 6.12: Circuit for Exercise 15 تركيب للتمرين

6.4 Chapters 4 and 5 exercises تمارين الفصل الرابع والخامس

01 Provide the basic architecture of a mobile phone according to the Von Neumann architecture.
ارسم مخطط بنية هاتف جوّال حسب معمارية فون نيومن.

02

1. What is the address size needed to address a 4 GB memory?
2. If a 32-bit address is sufficient for addressing 4 GB, why doesn't a 32-bit Windows operating system recognize a 4 GB RAM?
3. What size can be addressed with a 64-bit address?

1. ما حجم عنوان الذاكرة لعنونة ذاكرة ذات 4 جيجابايت؟
2. إذا يكفي عنوان ذو 32 بت لعنونة 4 جيجابايت، لماذا لا يتعرف نظام وندوز 32 بت على ذاكرة حية ذات 4 جيجابايت.
3. ما حجم الذاكرة التي يمكن عنونتها بعنوان ذي 64 بت.

03 Create a memory of size 8K x 12 (word size is 12 bits) using modules of size 2048 words of 4 bits.
أنجز ذاكرة ذات 8 كيلو × 12 (حجم الكلمة 12 بت)، باستعمال علب ذاكرة ذات 2048 كلمة ذات 4 بتات.

04 **(Modular Memory)** Consider a 4 KB memory divided into 4 modules. Provide the diagram for this memory using modules of 512 words of 8 bits each.
(الذاكرة المقسمة) لتكن ذاكرة سعتها 4 كيلوبايت. هذه الذاكرة مقسّمة إلى أربعة أقسام. أعط مخططا للذاكرة باستعمال صندوق ذاكرة ذات 512 كلمة، كل كلمة ذات 8 بتات.

05 **(Interleaved Memories)** Create a memory with a capacity of 512 words of 8 bits using modules of 64 words of 8 bits with an interleaving degree of 4.
(ذاكرات متشابكة) أنجز ذاكرة سعتها 512 كلمة ذات 8 بتات بواسطة صناديق ذاكرة ذات 64 كلمة، كل كلمة ذات 8 بتات بدرجة تشبيك 4.

06 **(Interleaved Modular Memories)** Create a memory of 128 KB (word size is 8 bits) organized into four interleaved modules with an interleaving degree of D=4 (interleaving occurs within the modules), using circuits (modules) of 4 KB words of 4 bits each.
(ذاكرات مقسمة متشابكة): أنجز ذاكرة سعتها 128 كيلوبايت (حجم الكلمة 8 بتات) منظمة في 4 أقسام متشابكة بدرجة تشابك D=4، (التشابك يجري في داخل الأقسام)، باستعمال دارات ذاكرة (صناديق) ذات 4 كيلو كلمة، كل كلمة من 4 بتات.

6.4.1 Additional Exercises للتعمّق

07 Provide the basic architecture of a calculator according to the Von Neumann architecture.
ارسم مخطط بنية آلة حاسبة حسب معمارية فون نيومن.

08 What is the difference between the ALU and the control unit?

ما الفرق بين وحدة الحساب والمنطق، ووحدة التحكم؟

09

Classify memories based on the following characteristics:

1. Memory capacity.
2. Volatility.
3. Access mode (read/write).
4. Dead/alive.
5. Technology.
6. Internal/external.

صنّف الذاكرات حسب المعايير الآتية:

1. حجم الذاكرة.
2. الديمومة والزوال
3. نمط الوصول إلى المعلومة (قراءة/كتابة)
4. حية/ميتة
5. تقنية التصنيع
6. داخلية/خارجية

10 Provide the basic architecture of a digital demo (satellite receiver) according to the Von Neumann architecture.

ارسم مخطط معمارية جهاز استقبال رقمي (استقبال قمر صناعي) حسب معمارية فون نيومن.

11 Consider a 4 KB memory divided into 4 modules. Provide the diagram for this memory using modules of 512 words of 4 bits each.

لتكن ذاكرة سعتها 4 كيلو بايت، مقسّمة إلى أربعة أقسام. ارسم مخطط الذاكرة باستعمال صناديق ذاكرة ذات 512 كلمة ذات 4 بتات.

12 Create a memory with a capacity of 512 words of 8 bits using modules of 64 words of 4 bits with an interleaving degree of 4.

أنجز ذاكرة سعتها 512 كلمة ذات 8 بتات باستعمال صناديق ذاكرة ذات 64 كلمة ذات 4 بتات، بدرجة تشبيك تساوي 4.

Chapter 7

Exercises solutions حلول التمارين

7.1 Chapter 1 exercises تمارين الفصل الأول

01

A security lock opens based on four keys A, B, C, D. The lock operates as follow:

- $S(A, B, C, D) = 1$ if at least two keys are used.
- $S(A, B, C, D) = 0$ otherwise.
- Keys A and C cannot be used simultaneously.
- Provide the canonical disjunctive (R) and conjunctive (P) forms.
- Create the circuit.

قفل أمان ذو أربعة مفاتيح: A, B, C, D. يعمل القفل كالآتي:

- إن أُستخدم مفتاحان على الأقل $S(A, B, C, D) = 1$.
- في الحالات الأخرى $S(A, B, C, D) = 0$.
- لا يمكن استخدام المفاتيح A و C في نفس الوقت.
- أعط الشكلين القانونين الرقميين المفصول R و الموصول P.
- أنجز الدارة.

1 Definition of Inputs and Outputs تعريف المداخل والمخارج

- InputS:

  → Keys A, B, C, D: "used" denoted 1 "not used" denoted 0

- Output

  → Lock S: "open" denoted 1 "closed" denoted 0

2 Truth Table

	A	B	C	D	S
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	0	0
3	0	0	1	1	1
4	0	1	0	0	0
5	0	1	0	1	1
6	0	1	1	0	1
7	0	1	1	1	1
8	1	0	0	0	0
9	1	0	0	1	1
10	1	0	1	0	X
11	1	0	1	1	X
12	1	1	0	0	1
13	1	1	0	1	1
14	1	1	1	0	X
15	1	1	1	1	X

3 Numeric Canonical Forms

The first numeric canonical form

$S(a, b, c, d) = \sum[3, 5, 6, 7, 9, 12, 13]$

2nd numeric canonical form

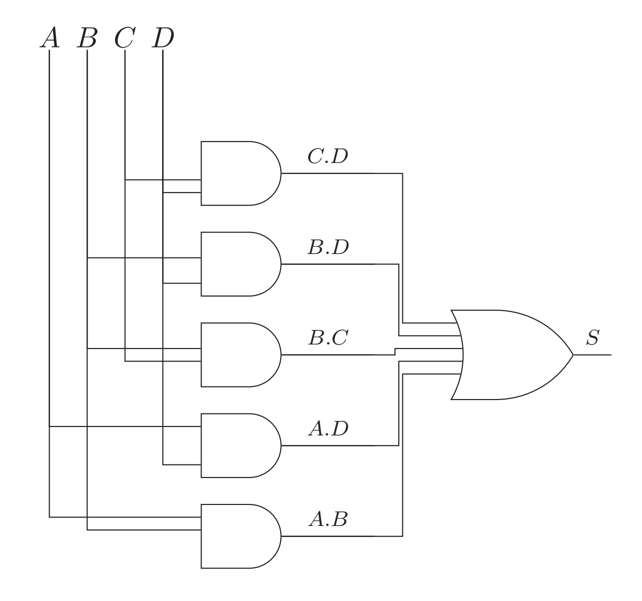
$S(a, b, c, d) = \prod[0, 1, 2, 4, 8]$

4 **Karnaugh Map**

ab \ cd	00	01	11	10
00	0	0	1	0
01	0	1	1	1
11	1	1	X	X
10	0	1	X	X

The function $S = a.b.\bar{c} + a.\bar{c}.d + \bar{a}.b.c + \bar{a}.b.d + \bar{a}.c.d$

5 Function logic diagram:



02

A beverage vending machine offers coffee, milk, coffee with milk, with or without sugar. The machine has 3 buttons (Milk, Coffee, Without Sugar) and a coin input. The machine contains three reservoirs (Coffee, Sugar, and Milk).

- Determine the logical functions that open the reservoir taps based on the buttons.
- Draw the logical diagram for beverage distribution.

آلة توزيع المشروبات تقدّم القهوة، الحليب، القهوة بالحليب، بالسكر أو بدونه.
الآلة فيها ثلاثة أزرار (حليب، قهوة، دون سكر) ومدخل للقطعة النقدية . الآلة في داخلها ثلاثة خزانات للقهوة والسكر والحليب،

- حدد الدوال المنطقية التي تفتح صنابير الخزانات بناءً على الأزرار.
- أنجز المخطط المنطقي لتوزيع المشروبات.

1 Definition of inputs and outputs

- InputS:
  - → Coin M: “Inserted” denoted 1 “Not inserted” denoted 0
  - → Coffee Button C: “Pressed” denoted 1 “Not pressed” denoted 0
  - → Milk Button L: “Pressed” denoted 1 “Not pressed” denoted 0
  - → Sugar-Free Button SS: “Pressed” denoted 1 “Not pressed” denoted 0
- Outputs
  - → Coffee tap Ca; “Open” denoted 1 “Closed” denoted 0
  - → Milk tap La; “Open” denoted 1 “Closed” denoted 0
  - → Sugar tap Su; “Open” denoted 1 “Closed” denoted 0

2 Truth Table

	M	C	L	Ss	Ca	La	Su
0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0
2	0	0	1	0	0	0	0
3	0	0	1	1	0	0	0
4	0	1	0	0	0	0	0
5	0	1	0	1	0	0	0
6	0	1	1	0	0	0	0
7	0	1	1	1	0	0	0
8	1	0	0	0	0	0	0
9	1	0	0	1	0	0	0
10	1	0	1	0	0	1	1
11	1	0	1	1	0	1	0
12	1	1	0	0	1	0	1
13	1	1	0	1	1	0	0
14	1	1	1	0	1	1	1
15	1	1	1	1	1	1	0

3 Numerical canonical forms of the functions

- $Ca(M, C, L, Ss) = \sum[12, 13, 14, 15]$
- $La(M, C, L, Ss) = \sum[10, 11, 14, 15]$
- $Su(M, C, L, Ss) = \sum[10, 12, 14]$

The function Ca

MC \ L.Ss	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	1	1	1	1
10	0	0	0	0

The simplified function Ca $= M.C$

The function La

MC \ L.Ss	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	0	0	1	1
10	0	0	1	1

The simplified function $La = M.L$.

The function Su

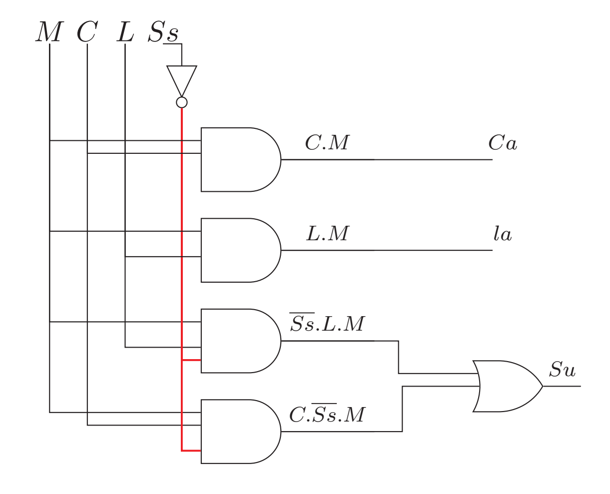
MC \ L.Ss	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	1	0	0	1
10	0	0	0	1

The simplified function Su $= M.C.\bar{S}s + M.L.\bar{S}s$

4 Function logic diagram:

Simplified functions

- $Ca = M.C$
- $La = M.L$
- $Su = M.C.\bar{S}s + M.L.\bar{S}s$



03

The DIV circuit calculates the Euclidean division of two 2-bit numbers (quotient and remainder).

- Division by zero is prohibited.
- Create the circuit.

الدارة DIV تحسب القسمة الإقليدية لعددين من 2 بتين (الناتج والباقي).

- القسمة على الصفر ممنوعة.
- أنجز الدارة.

$$\begin{array}{c|c} CD & AB \\ \cline{2-2} R_1R_0 & Q_1Q_0 \end{array}$$

- Definition of inputs and outputs
  - → Inputs:
    - ∗ Two bits for the divisor: AB
    - ∗ Two bits for the dividenD: CD
  - → Outputs
    - ∗ Two bits for the quotientQ_1Q_0
    - ∗ Two bits for the remainder R_1R_0

- تعريف المداخل والمخارج
  - → المداخل:
    - ∗ بتين اثنين للقاسم: AB
    - ∗ بتين اثنين للمقسوم: CD
  - → المخارج
    - ∗ بتين اثنين للحاصل Q_1Q_0
    - ∗ بتين اثنين للباقي R_1R_0

Truth Table جدول الحقيقة

N°	A	B	C	D	Q_1	Q_0	R_1	R_0
0	0	0	0	0	X	X	X	X
1	0	0	0	1	X	X	X	X
2	0	0	1	0	X	X	X	X
3	0	0	1	1	X	X	X	X
4	0	1	0	0	0	0	0	0
5	0	1	0	1	0	1	0	0
6	0	1	1	0	1	0	0	0
7	0	1	1	1	1	1	0	0
8	1	0	0	0	0	0	0	0
9	1	0	0	1	0	0	0	1
10	1	0	1	0	0	1	0	0
11	1	0	1	1	0	1	0	1
12	1	1	0	0	0	0	0	0
13	1	1	0	1	0	0	0	1
14	1	1	1	0	0	0	1	0
15	1	1	1	1	0	1	0	0

Canonical Forms الأشكال القانونية

- First Canonical Form: الشكل القانوني الأول

  → Q1(A, B, C, D) = $\bar{A}.B.C.\bar{D} + \bar{A}.B.C.D$

  → Q0(A, B, C, D) = $\bar{A}.B.\bar{C}.D + \bar{A}.B.C.D + A.\bar{B}.C.\bar{D} + A.\bar{B}.C.D + A.B.C.D$

  → R1(A, B, C, D) = $A.B.C.\bar{D}$

  → R0(A, B, C, D) = $A.\bar{B}.\bar{C}.D + A.\bar{B}.C.D + A.B.\bar{C}.D$

- Second Canonical Form: الشكل القانوني الثاني

  → Q1(A, B, C, D) = $(A+B+C+D).(A+B+C+\bar{D}).(A+B+\bar{C}+D).(A+B+\bar{C}+\bar{D}).(A+\bar{B}+C+D).(A+\bar{B}+C+\bar{D}).(\bar{A}+B+C+D).(\bar{A}+B+C+\bar{D}).(\bar{A}+B+\bar{C}+D).(\bar{A}+B+\bar{C}+\bar{D}).(\bar{A}+\bar{B}+C+D).(\bar{A}+\bar{B}+C+\bar{D}).(\bar{A}+\bar{B}+\bar{C}+D).(\bar{A}+\bar{B}+\bar{C}+\bar{D})$

  → Q0(A, B, C, D) = $(A+B+C+D).(A+B+C+\bar{D}).(A+B+\bar{C}+D).(A+B+\bar{C}+\bar{D}).(A+\bar{B}+C+D).(A+\bar{B}+\bar{C}+D).(\bar{A}+B+C+D).(\bar{A}+B+C+\bar{D}).(\bar{A}+\bar{B}+C+D).(\bar{A}+\bar{B}+C+\bar{D}).(\bar{A}+\bar{B}+\bar{C}+D)$

  → R1(A, B, C, D) = $(A+B+C+D).(A+B+C+\bar{D}).(A+B+\bar{C}+D).(A+B+\bar{C}+\bar{D}).(A+\bar{B}+C+D).(A+\bar{B}+C+\bar{D}).(A+\bar{B}+\bar{C}+D).(A+\bar{B}+\bar{C}+\bar{D}).(\bar{A}+B+C+D).(\bar{A}+B+C+\bar{D}).(\bar{A}+B+\bar{C}+D).(\bar{A}+B+\bar{C}+\bar{D}).(\bar{A}+\bar{B}+C+D).(\bar{A}+\bar{B}+C+\bar{D}).(\bar{A}+\bar{B}+\bar{C}+\bar{D})$

  → R0(A, B, C, D) = $(A+B+C+D).(A+B+C+\bar{D}).(A+B+\bar{C}+D).(A+B+\bar{C}+\bar{D}).(A+\bar{B}+C+D).(A+\bar{B}+C+\bar{D}).(A+\bar{B}+\bar{C}+D).(A+\bar{B}+\bar{C}+\bar{D}).(\bar{A}+B+C+D).(\bar{A}+B+\bar{C}+D).(\bar{A}+\bar{B}+C+D).(\bar{A}+\bar{B}+\bar{C}+D).(\bar{A}+\bar{B}+\bar{C}+\bar{D})$

- First Numeric Canonical Form: الشكل القانوني الرقمي الأول

  → Q1(A, B, C, D) = $\sum[6, 7]$

  → Q0(A, B, C, D) = $\sum[5, 7, 10, 11, 15]$

  → R1(A, B, C, D) = $\sum[14]$

  → R0(A, B, C, D) = $\sum[9, 11, 13]$

- Second Numeric Canonical Form: الشكل القانوني الرقمي الثاني

$\rightarrow$ Q1(A, B, C, D) $= \prod[4, 5, 8, 9, 10, 11, 12, 13, 14, 15]$

$\rightarrow$ Q0(A, B, C, D) $= \prod[4, 6, 8, 9, 12, 13, 14]$

$\rightarrow$ R1(A, B, C, D) $= \prod[4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 15]$

$\rightarrow$ R0(A, B, C, D) $= \prod[4, 5, 6, 7, 8, 10, 12, 14, 15]$

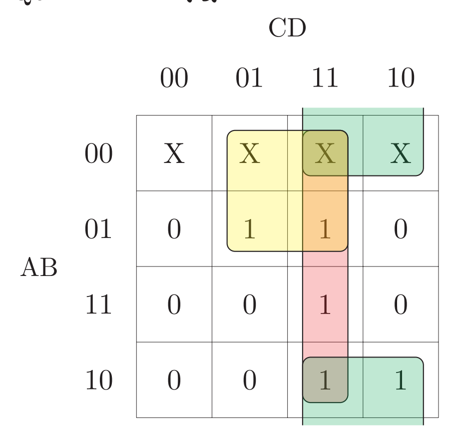
Karnaugh Maps مخطط كارنوف

- Q1 Function الدالة

AB \ CD	00	01	11	10
00	X	X	X	X
01	0	0	1	1
11	0	0	0	0
10	0	0	0	0

Simplified Form الشكل المبسط
Q1 $= \bar{a}.c$

- Q0 Function الدالة



AB \ CD	00	01	11	10
00	X	X	X	X
01	0	1	1	0
11	0	0	1	0
10	0	0	1	1

Simplified Form الشكل المبسط
Q0 $= c.d + \bar{b}.c + \bar{a}.d$

- R1 Function الدالة

AB \ CD	00	01	11	10
00	X	X	X	X
01	0	0	0	0
11	0	0	0	1
10	0	0	0	0

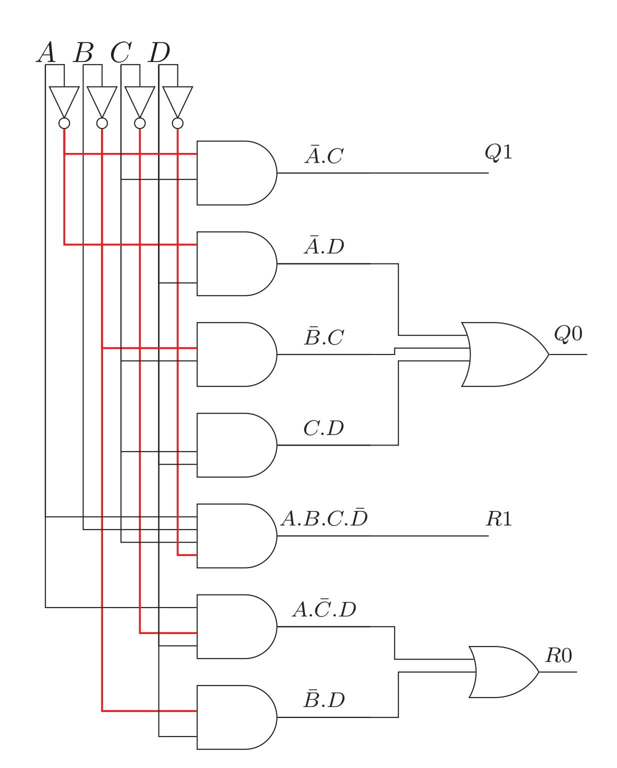
Simplified Form الشكل المبسط
R1 $= a.b.c.\bar{d}$

- R0 Function الدالة

AB \ CD	00	01	11	10
00	X	X	X	X
01	0	0	0	0
11	0	1	0	0
10	0	1	1	0

Simplified Form الشكل المبسط
R0 $= \bar{b}.d + a.\bar{c}.d$

Logic Diagrams المخططات المنطقية



Simplified forms

- Q1 $= \bar{a}.c$
- Q0 $= c.d + \bar{b}.c + \bar{a}.d$
- R1 $= a.b.c.\bar{d}$
- R0 $= \bar{b}.d + a.\bar{c}.d$

04

1 Create circuit C1, which adds two bits.

2 Can it be used to add multiple bits?

3 Create a circuit (ADD) that adds two bits with a carry input.

1 أنجز الدارة C1 التي تجمع حسابيا بتين اثنين.

2 هل يمكن استخدامها لجمع بتات أكثر؟

3 أنجز دارة ADD التي تجمع بتين اثنين مع مدخل احتفاظ.

1 Create circuit C1, which adds two bits.

- Definition of inputs and outputs

  → InputS: Two bits for addition bits A, B.

  → Outputs: Two bits for the result: Sum S and Carry C.

تعريف المداخل والمخارج

→ المداخل: بتين اثنين للجمع: AوB

→ المخارج: بتين اثنين للنتيجة فيها المجموع S والاحتفاظ C.

- Truth table

  Note in the table above that A+B represents the low-order bit while Carry represents the high-order bit.

نلاحظ أن الدالة S تمثل البت الأدنى، فيما يمثل R البت الأعلى قوة.

A	B	C	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

- Simplified forms of the function لسنا بحاجة إلى استعمال جدول كارنوف للتبسيط

  → $S = \bar{A}.B + A.\bar{B} = A \bigoplus B$

  → $C = A.B$

- Circuit diagram مخطط الدارة

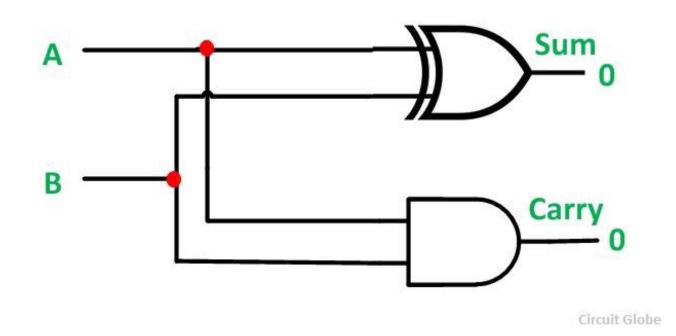


Figure 7.1: Half Adder Circuit Diagram مخطط دارة الجمع البسيط

2 Can it be used to add multiple bits?.

The half adder adds two bits in the low-order position, so we need an additional input to retain information for adding more than two bits.

تجمع دارة الجمع البسيط بتين في القوة الأدنى، لذا نحتاج إلى مدخل آخر للاحتفاظ من أجل جمع أكثر من بتين.

3 Create a circuit (ADD) that adds two bits with a carry input.

- Definition of inputs and outputs تعريف المداخل والمخارج
  - → Inputs المداخل: Two bits for addition بتين اثنين للجمع
    - * bit A: 1 0
    - * bit B: 1 0

    One bit for carry input C_{in} بت للاحتفاظ السابق
    - * bit C_{in}: 1 0
  - → Outputs المخارج

    Two bits for the result بتين اثنين للنتيجة فيها المجموع والاحتفاظ
    - * bit for sum S: 1 0
    - * bit for carry output C_{out}: 1 0

A	B	C_{in}	S	C_{out}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

- Simplified forms of the function
  - → $S = \bar{C}_{in}.(A \bigoplus B) + C_{in}.\bar{A}.\bar{B} + C_{in}.A.B$
  - → $S = \bar{C}_{in}.(A \bigoplus B) + C_{in}(\bar{A}.\bar{B} + A.B)$

    we have $(\bar{A}.\bar{B} + A.B) = \overline{(A \bigoplus B)}$
  - → $S = \bar{C}_{in}.(A \bigoplus B) + C_{in}\overline{(A \bigoplus B)}$

    so $S = C_{in} \bigoplus (A \bigoplus B)$

$\rightarrow R = \bar{A}.B.R + A\bar{B}.R + A.B.\bar{R} + A.B.R$

$\rightarrow R = R.(\bar{A}.B + A\bar{B}) + A.B.(\bar{R} + R)$

$\rightarrow R = R.(A \bigoplus B) + A.B$

- Circuit diagram مخطط الدارة

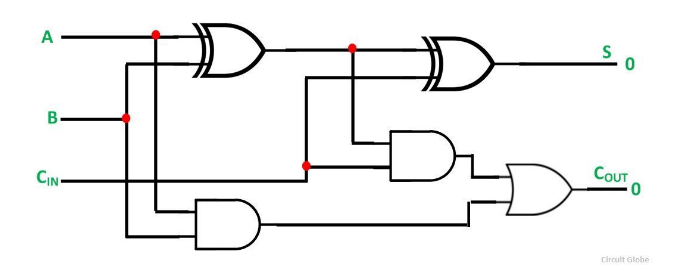
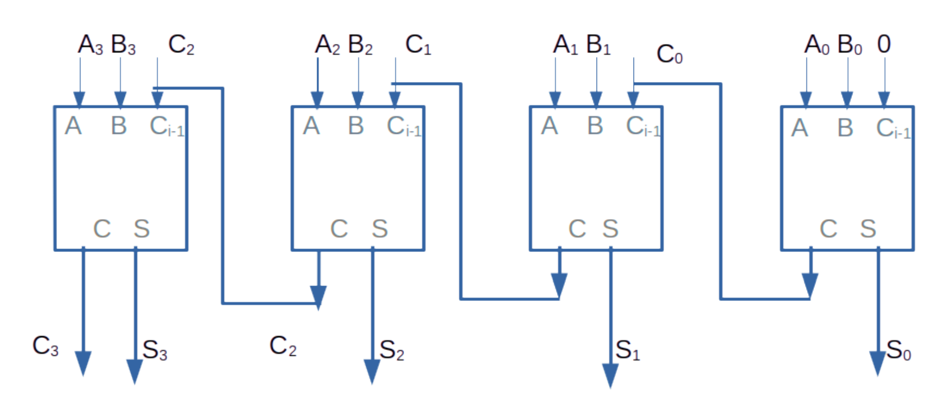


Figure 7.2: Full Adder Circuit Diagram مخطط دارة الجمع الكامل

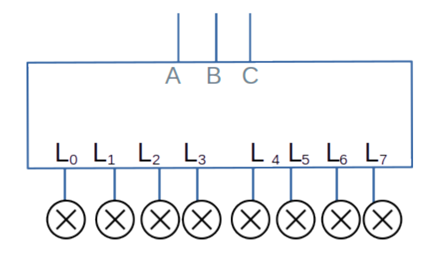
05 Use ADD circuits to create a 4-bit binary adder.

استخدم دارات ADD لإنشاء جامع ثنائي على 4 بتات.



06 Create a circuit C6 that controls 8 lamps and lights up only one lamp at a time according to its number.

أنجز دارة C6 تتحكم في8 مصابيح، وتشعل مصباحا واحدا فقط في المرة حسب رقمها.



- Definition of inputs and outputs تعريف المداخل والمخارج

  → InputS:

  * Button A, B, C: "pressed"denoted as 1 "not pressed"denoted as 0

  → Outputs:

* Lamp L0; on/off denoted 1/0 lights up in case of $(000)_2$.
* Lamp L1; on/off denoted 1/0 lights up in case of $(001)_2$.
* Lamp L2; on/off denoted 1/0 lights up in case of $(010)_2$.
* Lamp L3; on/off denoted 1/0 lights up in case of $(011)_2$.
* Lamp L4; on/off denoted 1/0 lights up in case of $(100)_2$.
* Lamp L5; on/off denoted 1/0 lights up in case of $(101)_2$.
* Lamp L6; on/off denoted 1/0 lights up in case of $(110)_2$.
* Lamp L7; on/off denoted 1/0 lights up in case of $(111)_2$.

- Truth table جدول الحقيقة

A	B	C	L0	L1	L2	L3	L4	L5	L6	L7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

- Simplified forms of the function لسنا بحاجة إلى استعمال جدول كارنوف للتبسيط

→ Lamp $L0 = \bar{A}.\bar{B}.\bar{C}$

→ Lamp $L1 = \bar{A}.\bar{B}.C$

→ Lamp $L2 = \bar{A}.B.\bar{C}$

→ Lamp $L3 = \bar{A}.B.C$

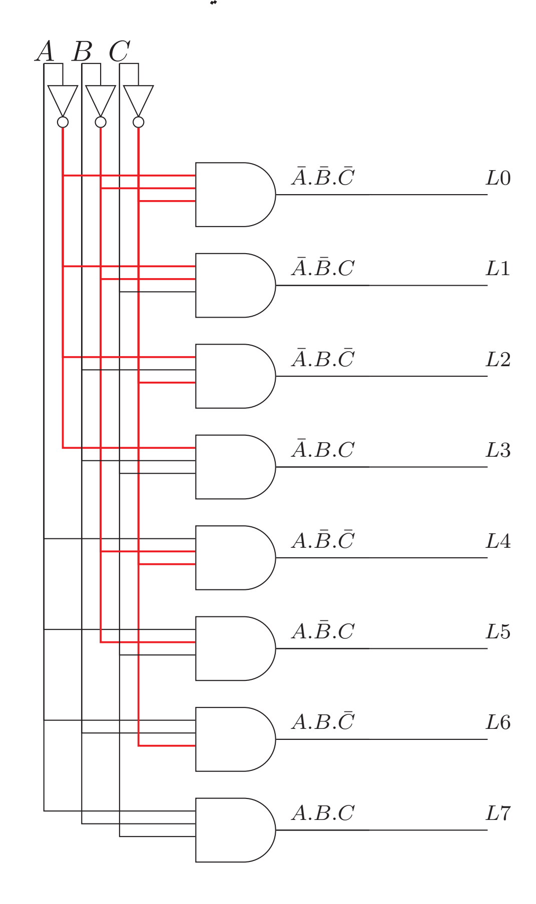
→ Lamp $L4 = A.\bar{B}.\bar{C}$

→ Lamp $L5 = A.\bar{B}.C$

→ Lamp $L6 = A.B.\bar{C}$

→ Lamp $L7 = A.B.C$

- Logic diagram مخطط منطقي



07

1 Build a NOT gate using a NAND gate.

2 Build an AND gate using NOT-AND gates.

1 صمّم البوابة ``لا" بواسطة بوابة نفي الوصل ``لا و".

2 صمّم بوابة الوصل ``و" بواسطة بوابة نفي الوصل ``لا و" -LR NAND.

1 Build a NOT gate from a NAND gate

The NAND gate $\overline{A.B}$ is denoted $\uparrow$, A NAND $B = A \uparrow B$ The NOT gate can be expressed using the NAND gate as followS:

صمّم البوابة ``لا" بواسطة بوابة ``نفي الوصل".

يرمز لنفي الوصل $\overline{A.B}$ ويرمز له $\uparrow$، A NAND $B = A \uparrow B$ يمكن التعبير عن بوابة النفي كما يلي:

$\bar{A} = \overline{A.A} = A \uparrow A$



Figure 7.3: Createation of a NOT logic gate using a NAND gate

2 Build an AND gate from NAND gates.

The AND logic gate can be expressed using the NAND gate as followS:

صمّم البوابة ``الوصل" بواسطة بوابة ``نفي الوصل":

يمكن التعبير عن بوابة الوصل كما يلي:

$A.B = \overline{\overline{A.B}} = \overline{(A \uparrow B)}$

Given that $\overline{X} = X \uparrow X$, therefore $A.B = \overline{(A \uparrow B)} = (A \uparrow B) \uparrow (A \uparrow B)$

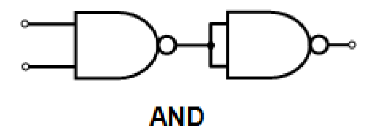


Figure 7.4: Createation of an AND logic gate using NAND gates

08

$$f1 = a.\bar{b} + \bar{a}.b + \bar{a}.c.d$$

1 Create the circuit for the function $f1$ using only NOR and NAND gates.

2 Create the circuit for the function $f1$ using only NOR gates.

1 أنجز دارة الدالة $f1$ باستعمال بوابات نفي الوصل NAND فقط.

$f1 = a.\bar{b} + \bar{a}.b + \bar{a}.c.d$

نستعمل مبرهنة ديمورغان، باستعمال خطين علويين على العبارة:

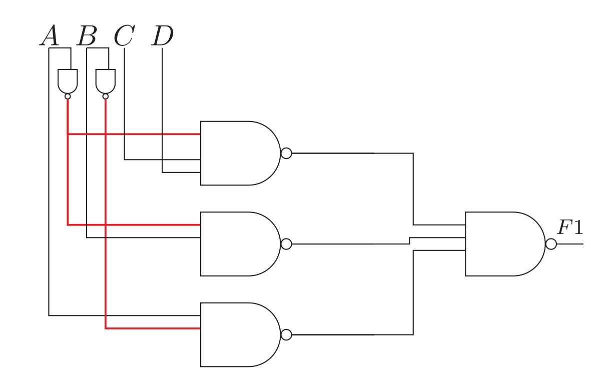
$$f1 = \overline{\overline{a.\bar{b} + \bar{a}.b + \bar{a}.c.d}}$$

نقسم الخط للتخلص من علامة +:

$$f1 = \overline{(\overline{a.\bar{b}}).(\overline{\bar{a}.b}).(\overline{\bar{a}.c.d})}$$

نستبدل كل نفي للوصل بالرمز $\uparrow$.

$$f1 = (A \uparrow (B \uparrow B)) \uparrow ((A \uparrow A) \uparrow B) \uparrow ((A \uparrow A) \uparrow C \uparrow D)$$



2 أنجز دارة الدالة $f1$ باستعمال بوابات نفي الفصل NOR فقط.

نطبق مبرهنة ديموغن،

$$f1 = a.\bar{b} + \bar{a}.b + \bar{a}.c.d$$

$$f1 = (\overline{\overline{a.\bar{b}}}) + (\overline{\overline{\bar{a}.b}}) + (\overline{\overline{\bar{a}.c.d}})$$

نطبقها مرّة أخرى للتخلص من علامة الضرب ``.".

We need to apply it again to get rid of the "." sign.

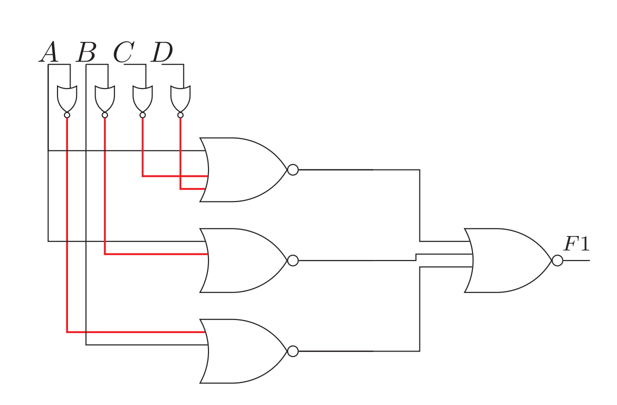
$$f1 = \overline{\overline{(\overline{\overline{a.\bar{b}}}) + (\overline{\overline{\bar{a}.b}}) + (\overline{\overline{\bar{a}.c.d}})}}$$

نستبدل كل NOR بالعامل ↓.

We replace each NOR with the symbol ↓.

$$f1 = ((A \downarrow A) \downarrow B) \downarrow (A \downarrow (B \downarrow B)) \downarrow (A \downarrow (C \downarrow C) \downarrow (D \downarrow D))$$

$$\downarrow ((A \downarrow A) \downarrow B) \downarrow (A \downarrow (B \downarrow B)) \downarrow (A \downarrow (C \downarrow C) \downarrow (D \downarrow D))$$

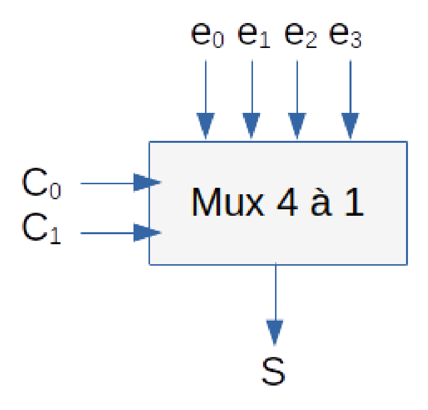


7.2 Chapter 2 exercise تمارين الفصل الثاني

01

Realize a 4-input multiplexer.

اصنع مجمّعا ب4 مداخل.





Truth table جدول الحقيقة مختصر

C1	C0		S
0	0		e0
0	1		e1
1	0		e2
1	1		e3

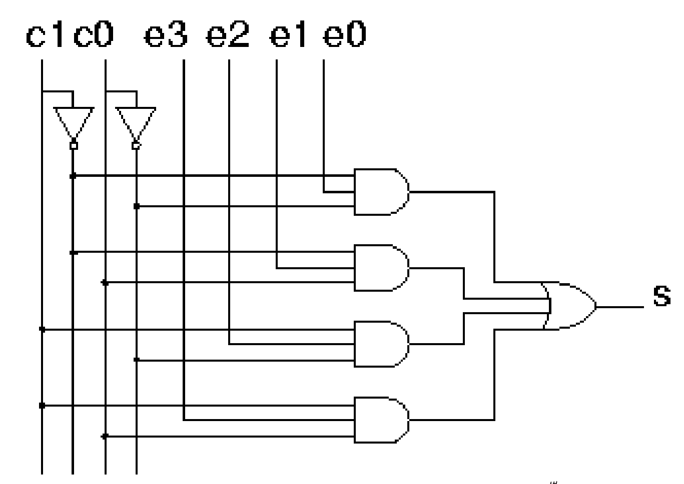
Semi-Detailed Truth table جدول مفصل بعض الشيء

c1	c0	e0	e1	e2	e3	S
0	0	0	x	x	x	0
0	0	1	x	x	x	1
0	1	x	0	x	x	0
0	1	x	1	x	x	1
1	0	x	x	0	x	0
1	0	x	x	1	x	1
1	1	x	x	x	0	0
1	1	x	x	x	1	1

The equation which gives the output as a function of the inputs can be deduced directly from the table since the output is equal to $e0$ if $\overline{c1}.\overline{c0}$, equal to $e1$ if $\overline{c1}.c0$, equal to $e2$ if $c1.\overline{c0}$ and equal to $e3$ if $c1.c0$, so:

عبارة المخرج تستنتج من الجدول مباشرة، فالمخرج يكون مساويا لـ e0 إذا كان $\overline{c1}.\overline{c0}$، ومساويا لـ e1 إذا كان $\overline{c1}.c0$، ول e2 إذا كان $c1.\overline{c0}$ ومساويا لـ e3 إذا كان $c1.c0$، ما يعني أنّ

$$S = e0.\overline{c1}.\overline{c0} + e1.\overline{c1}.c0 + e2.c1.\overline{c0} + e3.c1.c0$$



Logigram of 4-bits multiplexer. مخطط منطقي لمجمّع 4 بتات

02

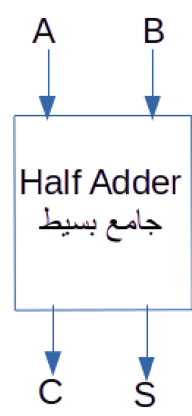
Create the half-adder using a minimum of 4-input multiplexers.

اصنع جامعا بسيطا بواسطة أقل عدد من المجمعات ذات 4 مداخل.

لحل هذه المسألة، نستحضر أولا شكل الجامع البسيط وجدول حقيقته، ثم نستذكر شكل المجمع ذي 4 مداخل وجدول حقيقته، ثم نبحث عن التطابق بينهما.

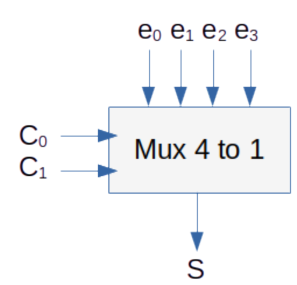
Truth table of a half adder:

A	B	C	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0



Truth table for 4-bits multiplexer جدول الحقيقة لمجمّع ذي 4 مداخل

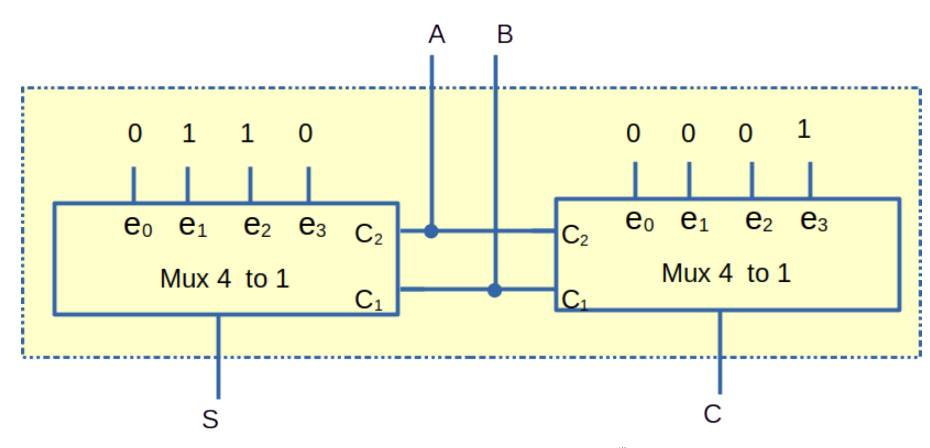
C1	C0	S_{mux}
0	0	E_0
0	1	E_1
1	0	E_2
1	1	E_3



نلاحظ أن لدارة المجمع مخرجا واحدا فقط، وأن لدارة الجمع مخرجان، لكنهما يتطابقان في عدد المداخل، لذا نقترح استعمال دارة مجمّع لكل دالة من R و S، إذا فرضنا أنّ $A = C1, B = C0$ ثم ثبتنا قيم المتغيرات e0, e1, e2, e3 حسب الدالة،

Corresponding Truth table جدول الحقيقة المطابق

A=C1	B=C0	C_{add}	S_{add}	C_{mux}	S_{mux}
0	0	0	0	$E_0 = 0$	$E_0 = 0$
0	1	0	1	$E_1 = 0$	$E_1 = 1$
1	0	0	1	$E_2 = 0$	$E_2 = 1$
1	1	1	0	$E_3 = 1$	$E_3 = 0$



A half adder built by multiplexsers مخطط جامع بسيط بواسطة مجمّعات

03

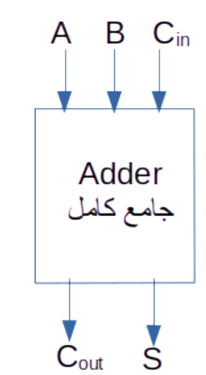
Create the full adder using a minimum of 8-input multiplexers.

اصنع جامعا كاملا بواسطة أقل عدد من المجمعات ذات 8 مداخل

لحل هذه المسألة، نستحضر أولا شكل الجامع الكامل وجدول حقيقته، ثم نستذكر شكل المجمّع ذي 8 مداخل وجدول حقيقته، ثم نبحث عن التطابق بينهما.

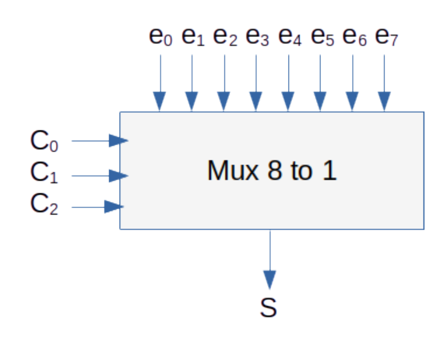
Truth table for full adder جدول الحقيقة لجامع كامل

A_i	B_i	C_{in}	C_{out}	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1



Truth table for multiplexer 8 to 1 جدول الحقيقة لمجمّع ذي 8 مداخل

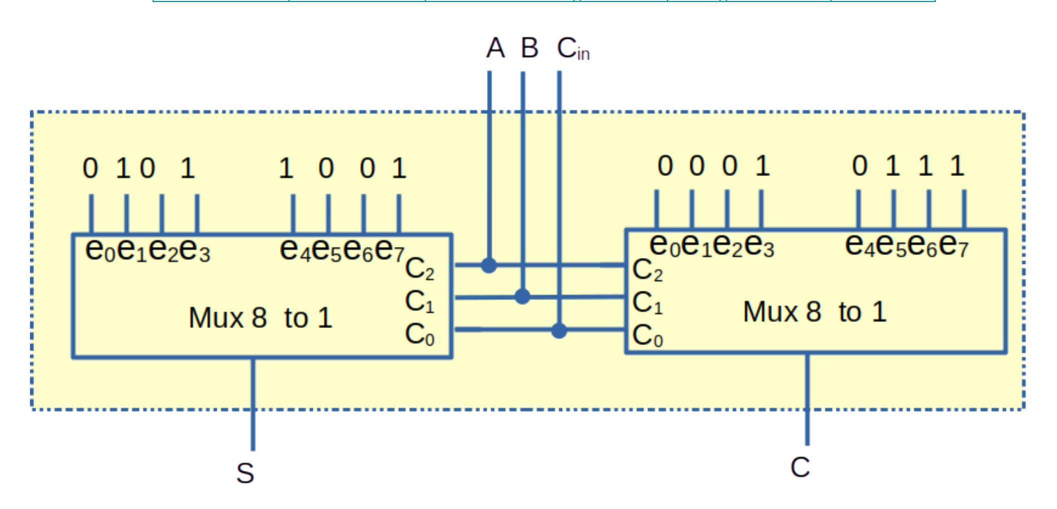
C_2	C_1	C_0	S_{mux}
0	0	0	E0
0	0	1	E1
0	1	0	E2
0	1	1	E3
1	0	0	E4
1	0	1	E5
1	1	0	E6
1	1	1	E7



نلاحظ أن لدارة المجمع مخرجا واحدا فقط، وأن لدارة الجمع مخرجان، لكنهما يتطابقان في عدد المداخل، لذا نقترح استعمال دارة مجمّع لكل دالة من C و S، إذا فرضنا أنّ $A_i = C_2, B_i = C_1, C_{in} = C_0$ ثم نثبّت قيم المتغيرات $e0, e1, e2, e3, e4, e5, e6, e7$ حسب الدالة.

Corresponding Truth table جدول الحقيقة المطابق

$A_i = C_2$	$B_i = C_1$	$C_{in} = C_0$	C_{out}	S	C_{mux}	S_{mux}
0	0	0	0	0	E0=0	E0=0
0	0	1	0	1	E1=0	E1=1
0	1	0	0	1	E2=0	E2=1
0	1	1	1	0	E3=1	E3=0
1	0	0	0	1	E4=0	E4=1
1	0	1	1	0	E5=1	E5=0
1	1	0	1	0	E6=1	E6=0
1	1	1	1	1	E7=1	E6=1



A full adder built by multiplexsers مخطط جامع كامل بواسطة مجمّعات

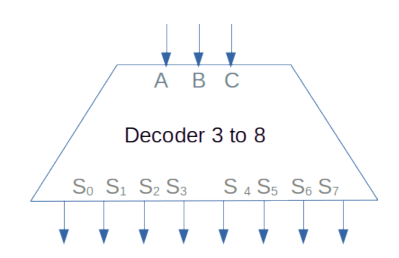
04

Create a full adder using binary 3-to-8 decoders with a minimum of logic gates.

اصنع جامعا كاملا بواسطة أقل عدد من مفككات الترميز ذات 3 مداخل و 8 مخارج وأقل ما يمكن من البوابات المنطقية.
نذكّر بجدول حقيقة ومخطط المفكك

Truth table

A	B	C	S_0	S_1	S_2	S_3	S_4	S_5	S_6	S_7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1



نطابق بين جدول المفكك وجدول الجامع الكامل:

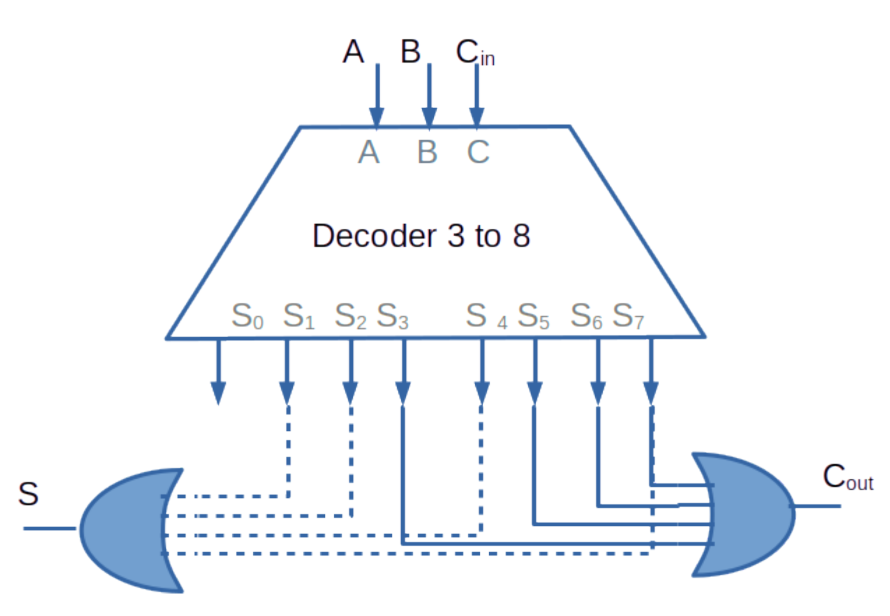
Truth table

A_i	B_i	C_{in}	C_{out}	S	C_{out}	S	S_0	S_1	S_2	S_3	S_4	S_5	S_6	S_7
0	0	0	0	0			1	0	0	0	0	0	0	0
0	0	1	0	1		S_1	0	1	0	0	0	0	0	0
0	1	0	0	1		S_2	0	0	1	0	0	0	0	0
0	1	1	1	0	S_3		0	0	0	1	0	0	0	0
1	0	0	0	1		S_4	0	0	0	0	1	0	0	0
1	0	1	1	0	S_5		0	0	0	0	0	1	0	0
1	1	0	1	0	S_6		0	0	0	0	0	0	1	0
1	1	1	1	1	S_7	S_7	0	0	0	0	0	0	0	1

نلاحظ أن دالة المجموع تساوي: $S = S_1 + S_2 + S_4 + S_7$

وأنّ دالة الاحتفاظ تساوي $C_{out} = S_3 + S_5 + S_6 + S_7$

We see that the sum $S = S_1 + S_2 + S_4 + S_7$
The carry $C_{out} = S_3 + S_5 + S_6 + S_7$



05

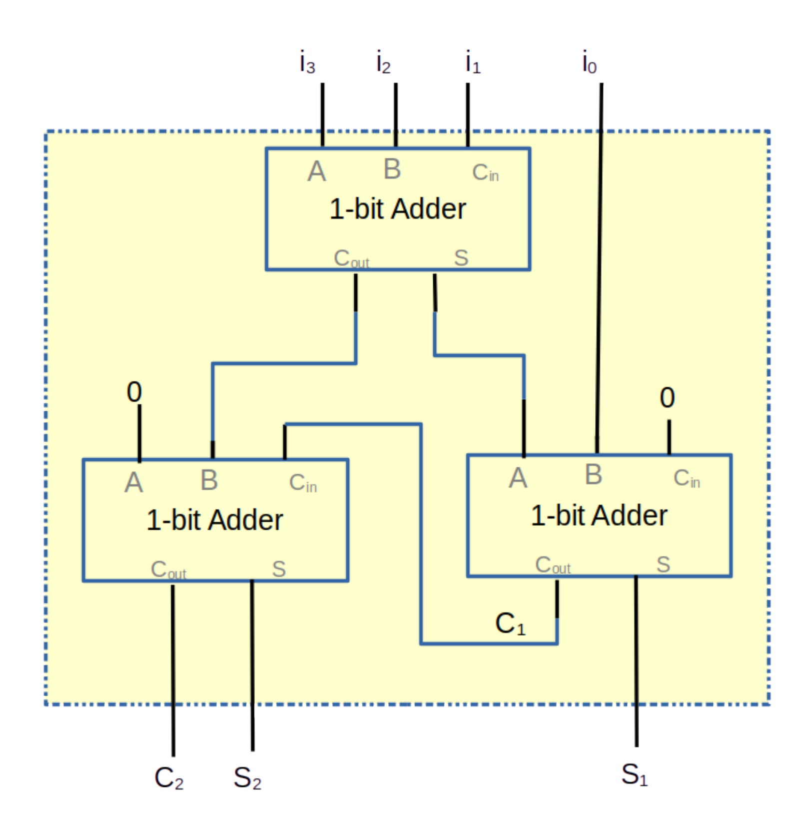
Consider a 4-bit binary information $(i_3 i_2 i_1 i_0)$.
Provide the circuit that counts the number of “1”s in the input information using only 1-bit full adders?
Example: If the input information $(i_3 i_2 i_1 i_0) = (0110)$, then the output is the binary value 2 (010) since there are 2 bits set to 1 in the input information.

لدينا معلومة ثنائية على 4 بتات $(i_3 i_2 i_1 i_0)$، أعط الدارة التي تعدّ الواحدات في المعلومة المُدخلة، باستعمال دارات الجمع الكاملة ذات 1 بت فقط.
مثال : إذا كانت المعلومة المُدخلة $(i_3 i_2 i_1 i_0) = (10110)$، فنحصل في المخرج على العدد 2 بالثنائي 010 لأن لدينا بتين يساويان الواحد.
لحساب عدد البتات التي تساوي الواحد، يمكننا جمعها، وبما أن لدينا دارة تجمع ثلاثة بتات، يمكن تجميعها كالآتي:

- جمع ثلاث بتات على حدى.
- جمع النتيجة مع البت الباقي عموديا.

$$
\begin{array}{rr}
 & I_1 \\
+ & I_2 \\
+ & I_3 \\
\hline
 & C_0 S_0
\end{array}
\quad \rightarrow \quad
\begin{array}{rr}
+ & C_0 S_0 \\
 & 0 \ \ I_0 \\
\hline
 & C_2 S_2 S_1
\end{array}
$$

Explain the calculation method شرح طريقة الحساب



Creating a one bits counter, using full adders إنجاز دارة عدد الواحدات بواسطة دارات الجمع

06

Perform the multiplication of two positive 4-bit numbers, by using a minimum of 1-bit full adders and a minimum of logic gates.

أنجز دارة لضرب عددين موجبين، من 4 بتات لكل منهما، باستعمال أقل عدد من دارات الجمع لعددين (كل عدد ذو 4 بتات)، وأقل عدد من البوابات المنطقية.

نفترض أن العدد الأول هو $(abcd)_2$ والعدد الثاني هو $(efgh)_2$ نجري العملية، كي نفهم كيف يمكننا استخدام دارة الجمع ذات 4 بتات.

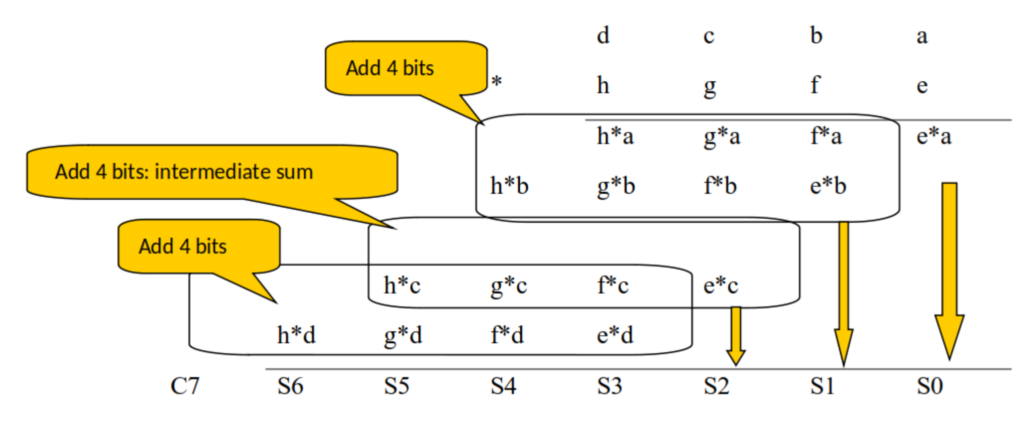


Illustration of multiplication شرح عملية الضرب

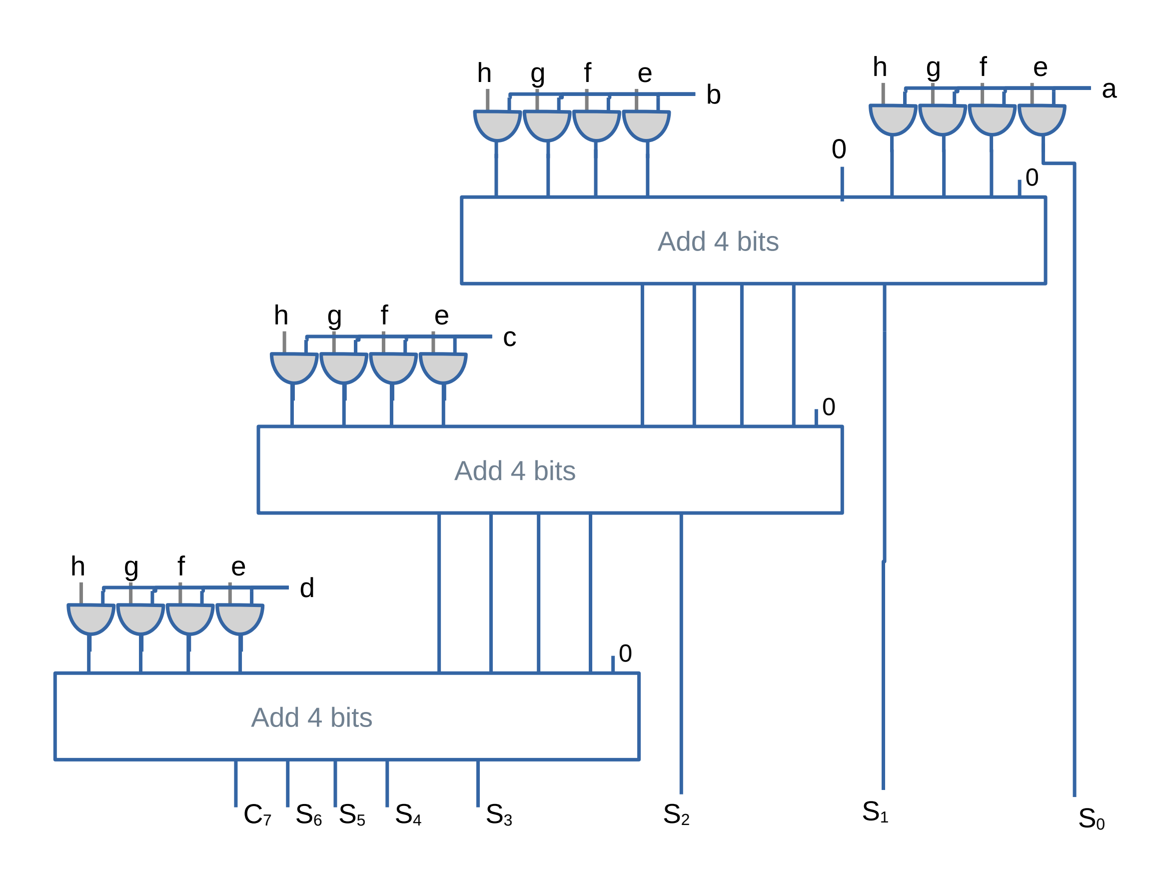


Diagram of 4bits multiplication circuit تصميم دارة ضرب 4 بتات

07

The ROT5 code rotates a binary number by adding 5 in binary without carry. $ROT5(0000) = 0101$ $ROT5(1111) = 0100$.

1 Create the binary to ROT5 conversion circuit.

2 Propose a ROT5 schema using a 16-to-4 encoder and a 4-to-16 decoder.

الترميز ROT5 يدوّر العدد بإضافة 5 دون احتفاظ، $ROT5(0000) = 0101$، و $ROT(1111) = 0100$

1 أنشئ دارة الترميز ROT5 .

2 ثم اقترح تصميما للدارة بواسطة مرمّز 16 إلى 4 و مفكك من 4 إلى 16.

1 Create the binary to ROT5 conversion circuit.

2 Truth table جدول الحقيقة

N°	A	B	C	D	F3	F2	F1	F0
0	0	0	0	0	0	1	0	1
1	0	0	0	1	0	1	1	0
2	0	0	1	0	0	1	1	1
3	0	0	1	1	1	0	0	0
4	0	1	0	0	1	0	0	1
5	0	1	0	1	1	0	1	0
6	0	1	1	0	1	0	1	1
7	0	1	1	1	1	1	0	0
8	1	0	0	0	1	1	0	1
9	1	0	0	1	1	1	1	0
10	1	0	1	0	1	1	1	1
11	1	0	1	1	0	0	0	0
12	1	1	0	0	0	0	0	1
13	1	1	0	1	0	0	1	0
14	1	1	1	0	0	0	1	1
15	1	1	1	1	0	1	0	0

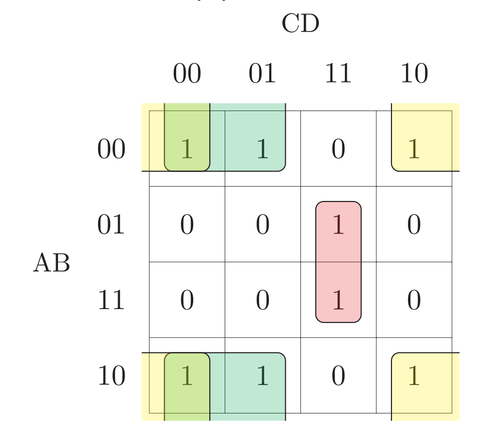
3 Karnaugh map مخطط كارنوف

- Function F3 الدالة

AB \ CD	00	01	11	10
00	0	0	1	0
01	1	1	1	1
11	0	0	0	0
10	1	1	0	1

Simplified form الشكل المبسط
$F3 = \bar{a}.b + \bar{a}.c.d + a.\bar{b}.\bar{c} + a.\bar{b}.\bar{d}$

- Function F2 الدالة



Simplified form الشكل المبسط
$F2 = b.c.d + \bar{b}.\bar{c} + \bar{b}.\bar{d}$

- Function F1 الدالة

AB \ CD	00	01	11	10
00	0	1	0	1
01	0	1	0	1
11	0	1	0	1
10	0	1	0	1

Simplified form الشكل المبسط
F1 $= c.\bar{d} + \bar{c}.d$

Function F0 الدالة

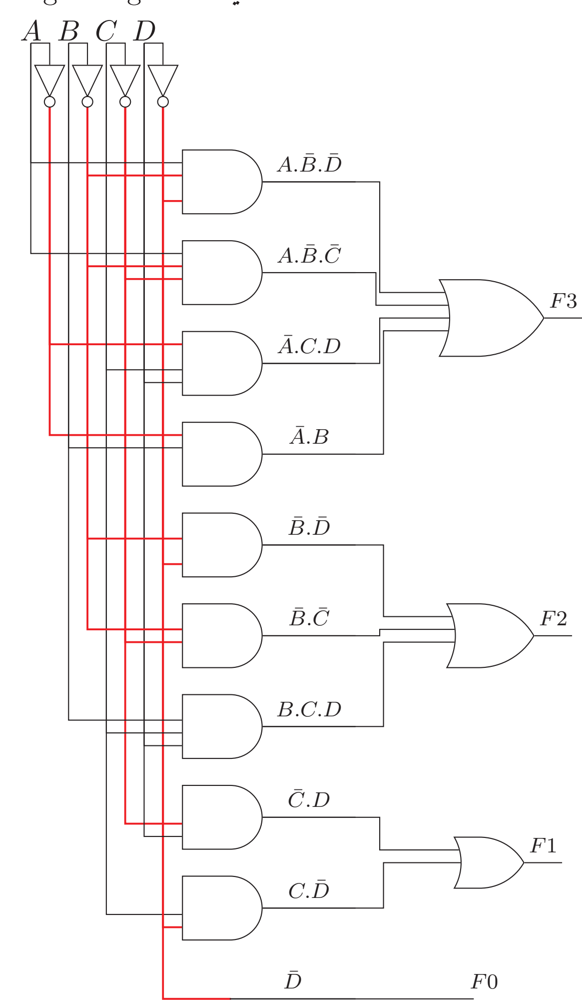
AB \ CD	00	01	11	10
00	1	0	0	1
01	1	0	0	1
11	1	0	0	1
10	1	0	0	1

Simplified form الشكل المبسط
F0 $= \bar{d}$

Simplified forms الشكل المبسط

- F3 $= \bar{a}.b + \bar{a}.c.d + a.\bar{b}.\bar{c} + a.\bar{b}.\bar{d}$
- F2 $= b.c.d + \bar{b}.\bar{c} + \bar{b}.\bar{d}$
- F1 $= c.\bar{d} + \bar{c}.d$
- F0 $= \bar{d}$

4 Logic diagrams المخططات المنطقية

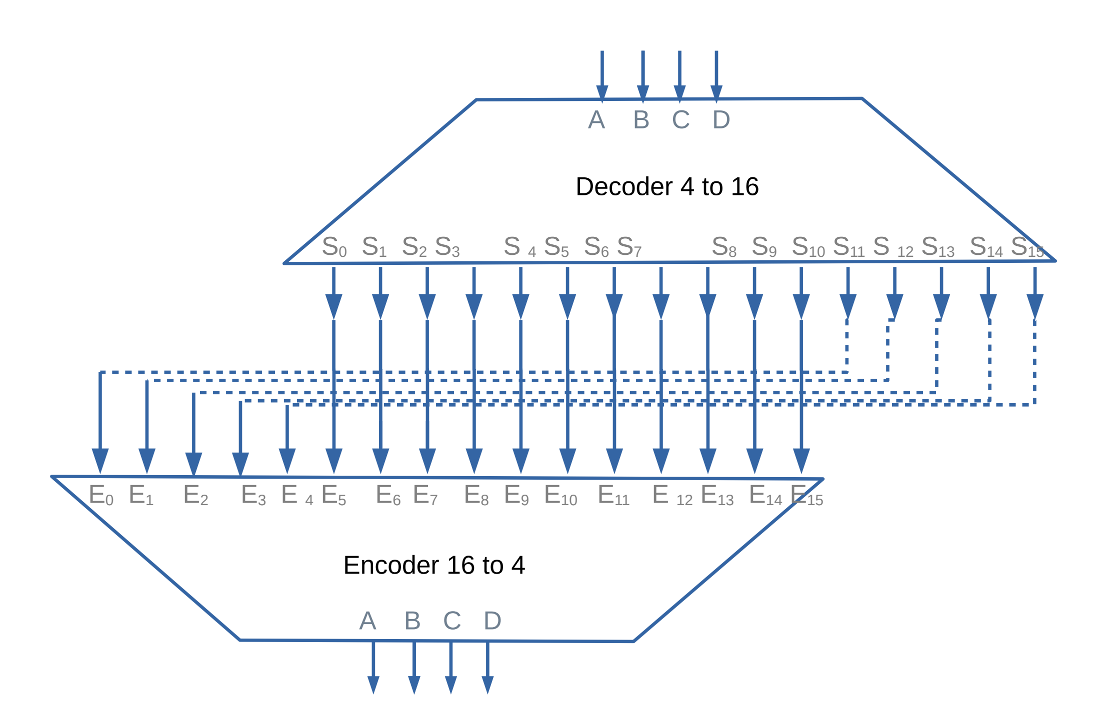


5 Propose a ROT5 schema using a 16-to-4 encoder and a 4-to-16 decoder.

نلاحظ أنّ العدد 0 يعطي 5، يعني إذا ربطنا أدخلنا العدد (0000) نحصل على العدد (0101).

المفكك يعطي من العدد 0، يشغل المخرج S0، ونحن نريد أن نحصل على 5 أي إذا شغلنا المدخل رقم 5 في المرمّز، فإنه يعطينا العدد 5 عند المخرج.

أي يمكننا ربط مخرج المفكك رقم 0 بمدخل المرمّز رقم 5، وهكذا نجعل الدارة تزيد 5 في كل مرة.
نعمل نفس الشيء بالنسبة للعدد 1، نربط مخرج المفكك رقم 1 بمدخل المرمّز رقم 6، فنحصل على العدد 6.
وهكذا دواليك للأعداد الأخرى.



A rotation circuit using a decoder and an encoder دارة الدوران بواسطة مفكك ومرمّز

01

1 Design an RS flip-flop using only NAND gates.

2 Complete the timing diagram according to the following cases:

- RS is asynchronous.
- RS is synchronized on the rising edge.
- RS is synchronized on the falling edge.

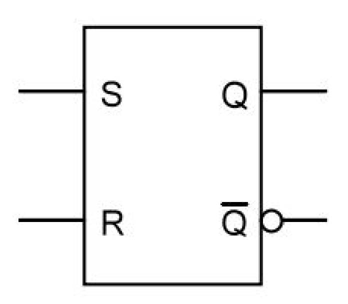
صمم قلابا RS بواسطة بوابات NAND فقط.

أكمل المخطط الزمني حسب الحالات الآتية:

- القلاب غير متزامن.
- القلاب متزامن عند الجبهة الصاعدة.
- القلاب متزامن عند الجبهة النازلة.

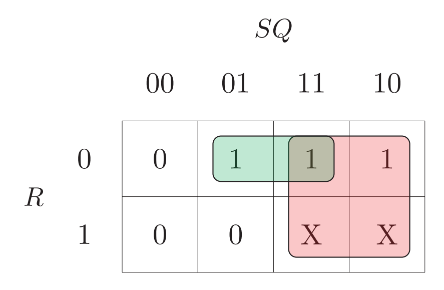
Reduced truth table جدول الحقيقة المختصر

R	S	Q_t	$\overline{Q_t}$	
0	0	Q_{t-1}	$\overline{Q_{t-1}}$	Memory state ذاكرة
0	1	1	0	Set to 1 توحيد
1	0	0	1	Reset to 0 تصفير
1	1	X	X	Forbidden ممنوع



Truth table جدول الحقيقة

R	S	Q_{t-1}	Q_t	$\overline{Q_t}$	
0	0	0	0	1	Memory state ذاكرة
0	0	1	1	0	Memory state ذاكرة
0	1	0	1	0	Set to 1 توحيد
0	1	1	1	0	Set to 1 توحيد
1	0	0	0	1	Reset to 0 تصفير
1	0	1	0	1	Reset to 0 تصفير
1	1	0	X	X	Forbidden ممنوع
1	1	1	X	X	Forbidden ممنوع



R \ SQ	00	01	11	10
0	0	1	1	1
1	0	0	X	X

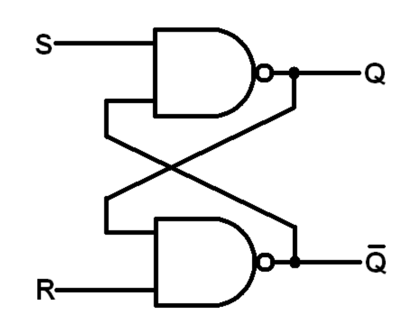
Output equations: معادلة المخارج

- $Q_t = S + \overline{R}.Q$
- $\overline{Q}_t = R + \overline{S}.Q$

Express outputs with NAND only: التعبير عن المخارج بواسطة نفي الوصل
Output equations:

- $Q_t = S + \overline{R}.Q = \overline{\overline{S + \overline{R}.Q}}$
  $= \overline{\overline{S}.\overline{\overline{R}.Q}}$
  $= \overline{S} \uparrow (\overline{R} \uparrow Q)$
  $= (S \uparrow S) \uparrow ((R \uparrow R) \uparrow Q)$
- $\overline{Q}_t = R + \overline{S}.Q$
  $= \overline{\overline{R + \overline{S}.Q}}$
  $= \overline{\overline{R}.\overline{\overline{S}.Q}}$
  $= \overline{R} \uparrow (\overline{S} \uparrow Q) = (R \uparrow R) \uparrow ((S \uparrow S) \uparrow Q)$

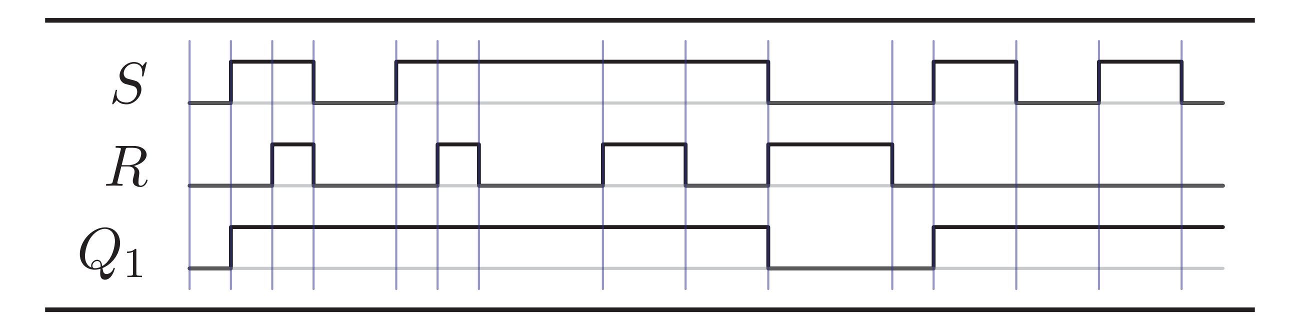
Logic diagram: المخطط المنطقي



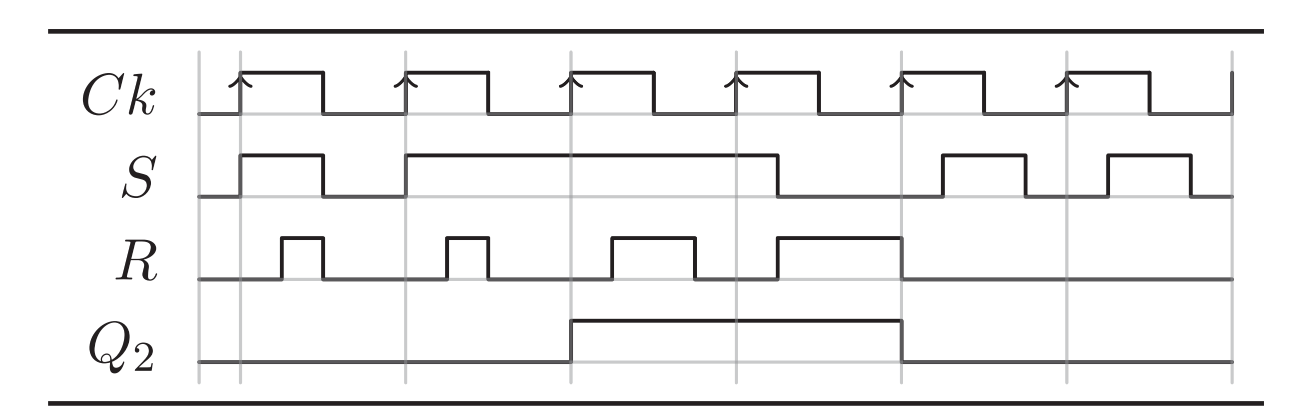
Complete the timeline according to the following cases أكمل المخطط الزمني حسب الحالات الآتية

سنحاول تقسيم العملية إلى ثلاث مخططات منفصلة: الأول بلا تزامن، الثاني تزامن على الجبهة الصاعدة، والثالث على الجبهة النازلة.

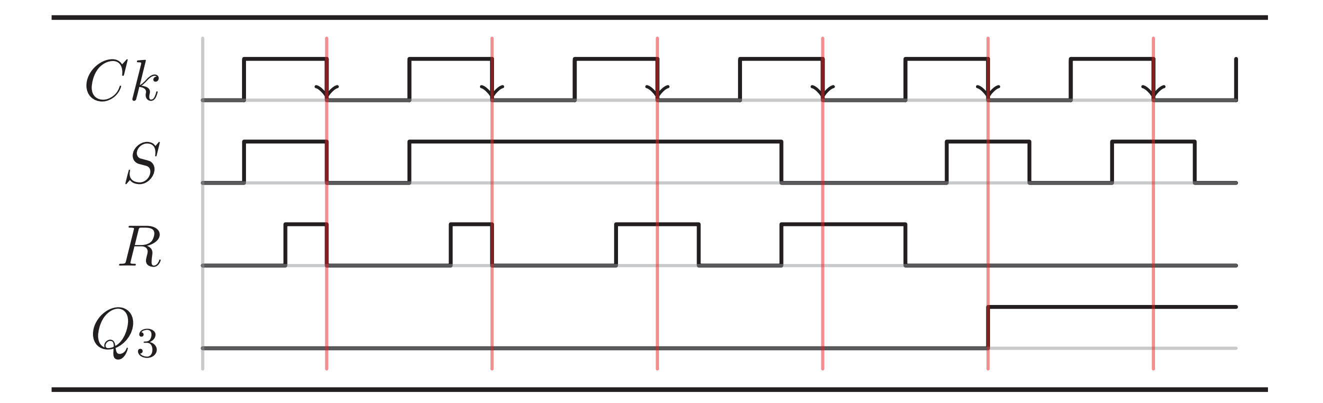
1 RS is asynchronous القلاب غير متزامن



2 RS is synchronized on the rising edge القلاب متزامن عند الجبهة الصاعدة

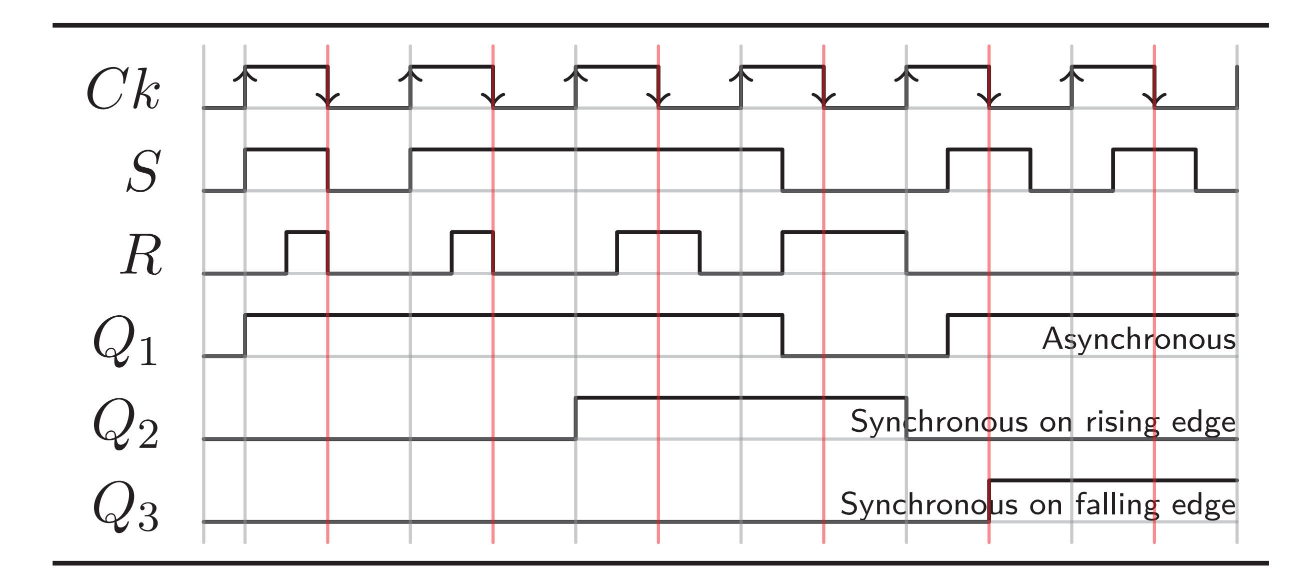


3 RS is synchronized on the falling edge القلاب متزامن عند الجبهة النازلة



Finally , we can have the chronogram of all the cases

في النهاية يمكن تجميع كل الحالات في مخطط زمني واحد



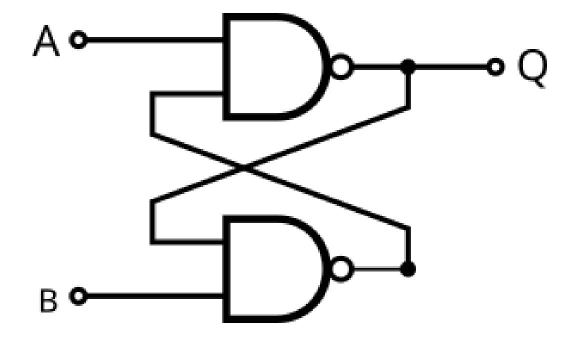
02

Consider the circuit below

إليك التركيب الآتي:

1. Provide its truth table.
2. What logical circuit do you recognize?
3. Complete the following timing diagram.

1. أعط جدول الحقيقة.
2. تعرّف على الدارة.
3. أكمل المخطط الزمني.



1 Provide its truth table

أعط جدول الحقيقة

We have

لدينا

- $Q = \overline{A.C}$
- $C = \overline{B.Q}$

a. $(A = 0, B = 0) :\Rightarrow Q = \overline{0.C} = \overline{0} = 1$
Q is independent de B,

نلاحظ أن Q مستقلة عن B

b. $(A = 0, B = 1) :\Rightarrow Q = \overline{0.C} = \overline{0} = 1$

c. $A = 1, B = 0$: $\Rightarrow Q = \overline{1.C} = \overline{C}$
$C = \overline{B.Q} = \overline{0.Q} = 1$
$\Rightarrow Q = \overline{C} = \overline{1} = 0$

d. $A = 1, B = 1$: $Q = \overline{1.C} = \overline{C}$
$C = \overline{B.Q} = \overline{1.Q} = \overline{Q}$
$\Rightarrow Q = \overline{\overline{Q}} = Q$

A	B	Q^+
0	0	1
0	1	1
1	0	0
1	1	Q

2 What logical circuit do you recognize?

تعرّف على الدارة

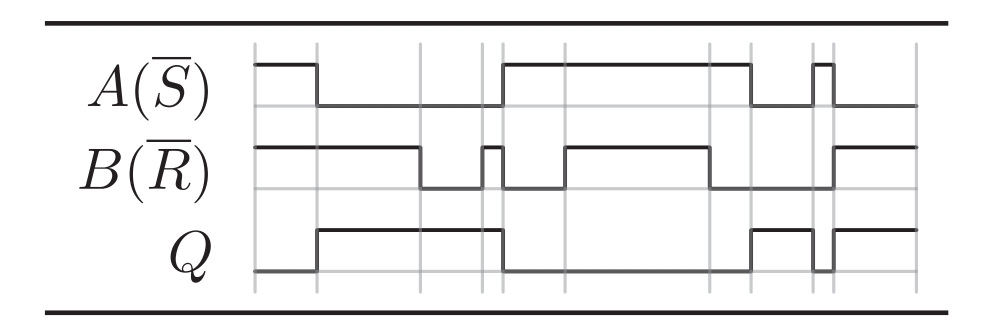
We recognize the truth table of an RS flip-flop with:

نلاحظ أن جدول الحقيقة يشبه القلاب RS باعتبار:

$A = \overline{S}$ et $B = \overline{R}$.

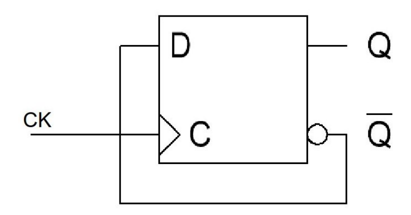
3 Complete the following timing diagram

أكمل المخطط الزمني



03 Consider the circuit below, then complete the following timing diagram:

تفحّص التركيب الآتي في الشكل، أكمل المخطط الزمني الآتي:



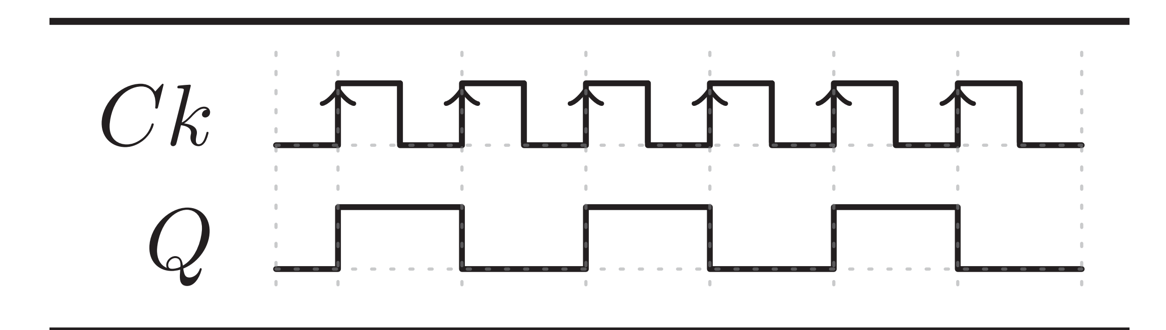
Let us recall the truth table of the flip-flop D.

نذكّر بجدول الحقيقة للقلاب د.

A	B	Q^+
0	0	1
0	1	1
1	0	0
1	1	Q

As input, we have $D = \overline{Q}$.

لدينا في المدخل $D = \overline{Q}$.

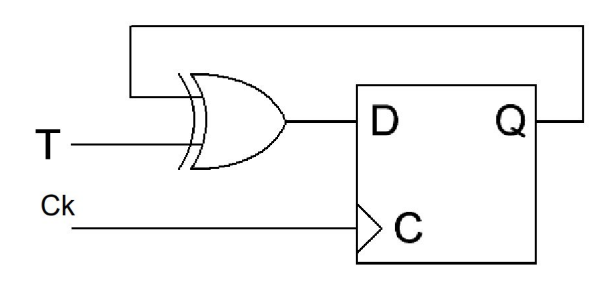


We see that the output Q makes a switch each clock cycle.

نلاحظ أنّ المخرج Q ينعكس في كل نبضة ساعة.

04 Fill in the timing diagram based on the following circuit:

أكمل المخطط الزمني



We see that the equation of D is $D = T \oplus Q$.

Let us recall the truth table of the flip-flop D.

نلاحظ أنّ معادلة D: $D = T \oplus Q$

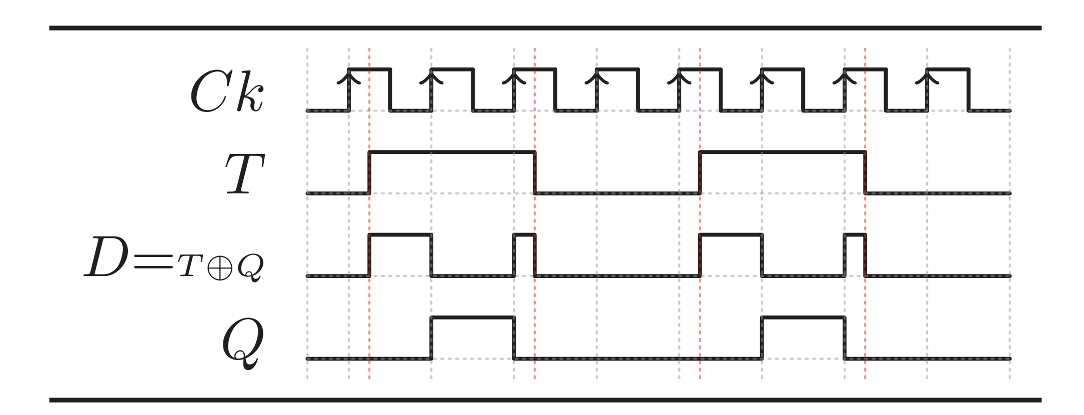
نذكر بجدول الحقيقة للقلاب د.

Ck	D	Q_t
0	X	Q_{t-1}
↑	0	0
↑	1	1

Let us also recall the XOR truth table

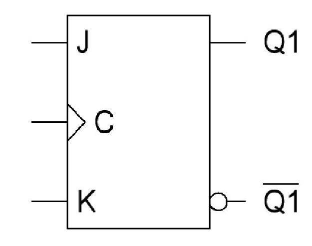
نذكر بجدول الحقيقة لعملية الوصل الإقصائي ⊕.

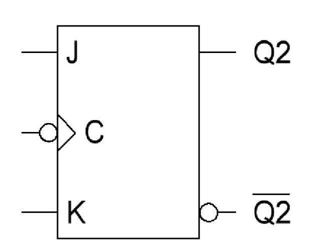
Q	T	$D = T \oplus Q$
0	0	0
0	1	1
1	0	1
1	1	0



05 Consider the two JK flip-flops below:

إليك القلابين ج.ك الآتيين:





Recall the truth table for a JK flip-flop synchronized on the rising edge. Fill in the following timing diagram:

ذكّر بجدول الحقيقة لقلاب ج.ك متزامن على الجبهة الصاعدة ثم أكمل المخطط الزمني

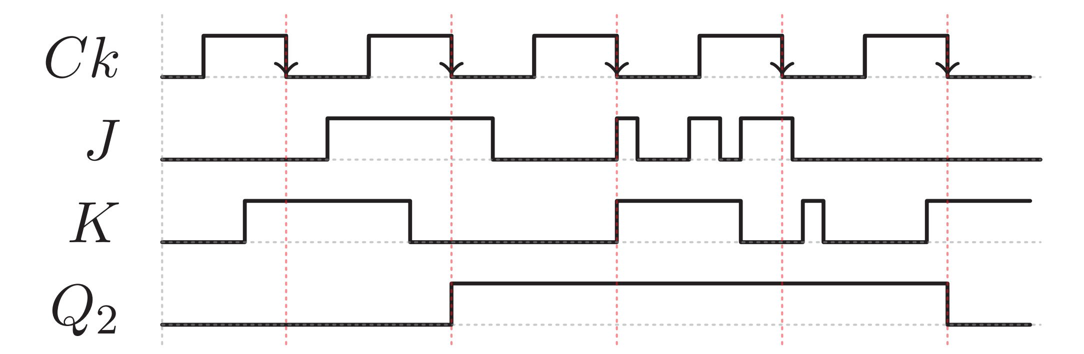
On rising edge

تزامن حسب الجبهة الصاعدة

Ck
J
K
Q_1

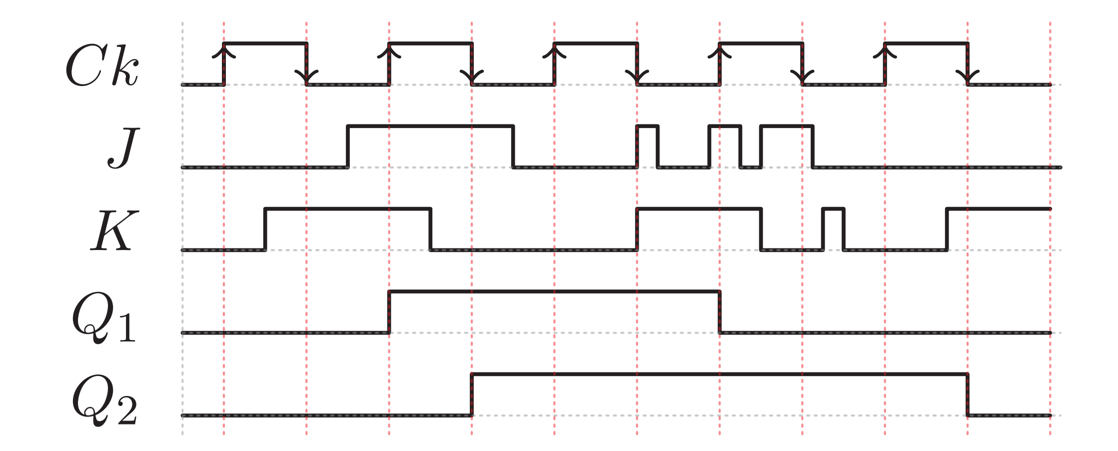
On Falling edge

تزامن حسب الجبهة الصاعدة



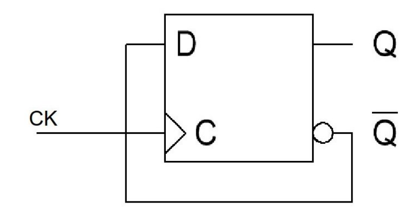
Global

المخطط الإجمالي



06 For the following figure, provide an equivalent circuit using a JK flip-flop for the

أعط تركيبا مكافئا بواسطة قلاب ج. ك للمخطط التالي:

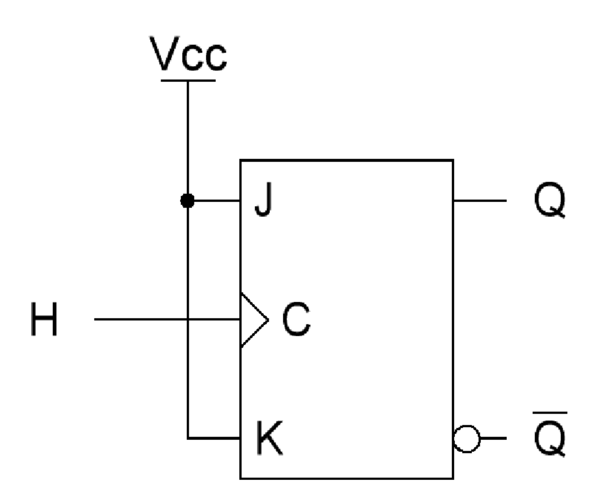


نذكّر أولا بجدول الحقيقة للقلاب ج.ك

Ck	J	K	Q_t
0	X	X	Q_{t-1}
↑	0	0	Q_{t-1}
↑	0	1	0
↑	1	0	1
↑	1	1	$\overline{Q_{t-1}}$

If we want the JK flip-flop to switch at each clock cycle, we set j=1 and k=1

إذا أردنا أن يقلب القلاب ج.ك في كل مرة، نضع ج=1 و ك=1



07 Based on the circuit in Figure 7.5, complete the following timing diagram:

من الشكل 7.5، أكمل المخطط الزمني

N.B.: $V_{cc} = 1$

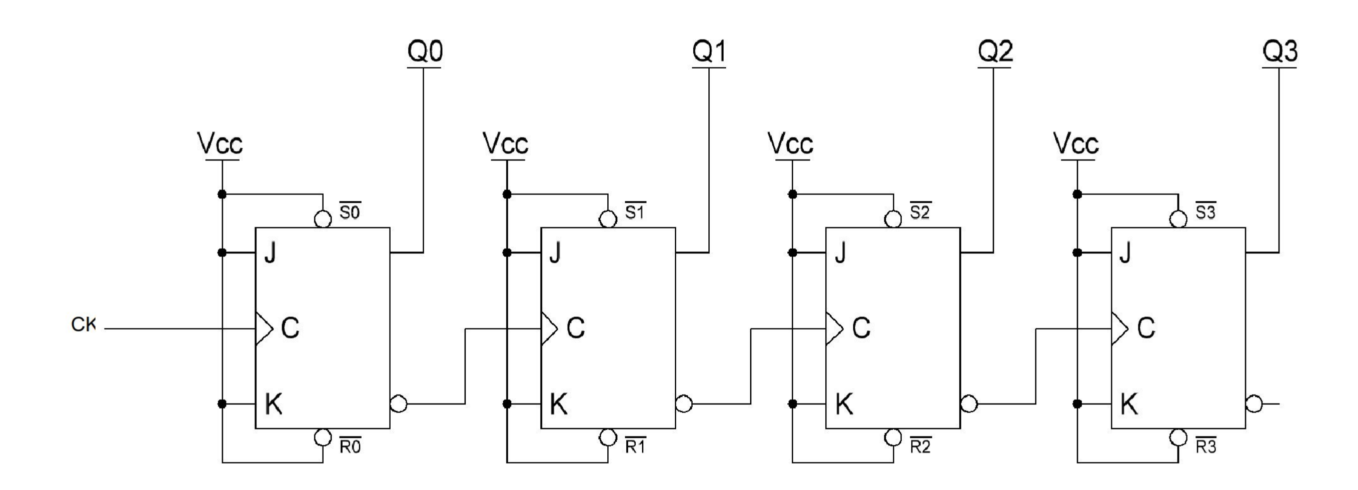


Figure 7.5: Circuit #1 for Exercise 7 التركيب الأول للتمرين 7

2. What does the circuit in Figure 7.5 achieve? ماذا يعمل هذا التركيب

3. We slightly modify the circuit in Figure 7.5 to obtain the circuit in Figure 7.6. Explain what the circuit in Figure 7.6 achieves, with reasoning.

بتعديل طفيف للتركيب في الشكل 7.5، نحصل على الشكل 7.6، اشرح ماذا يعمل هذا التركيب الجديد.

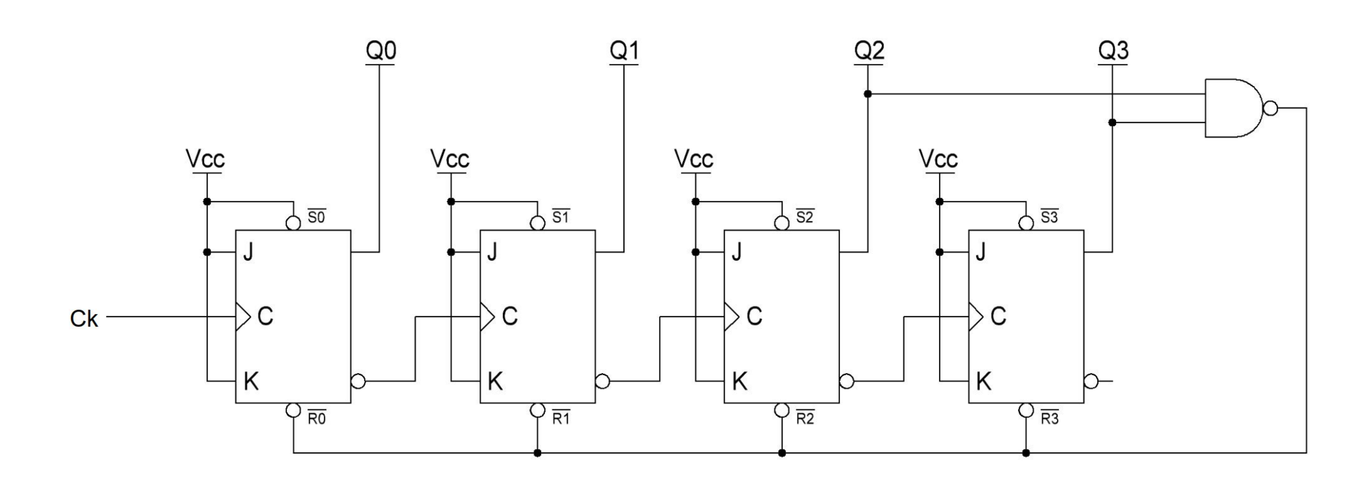
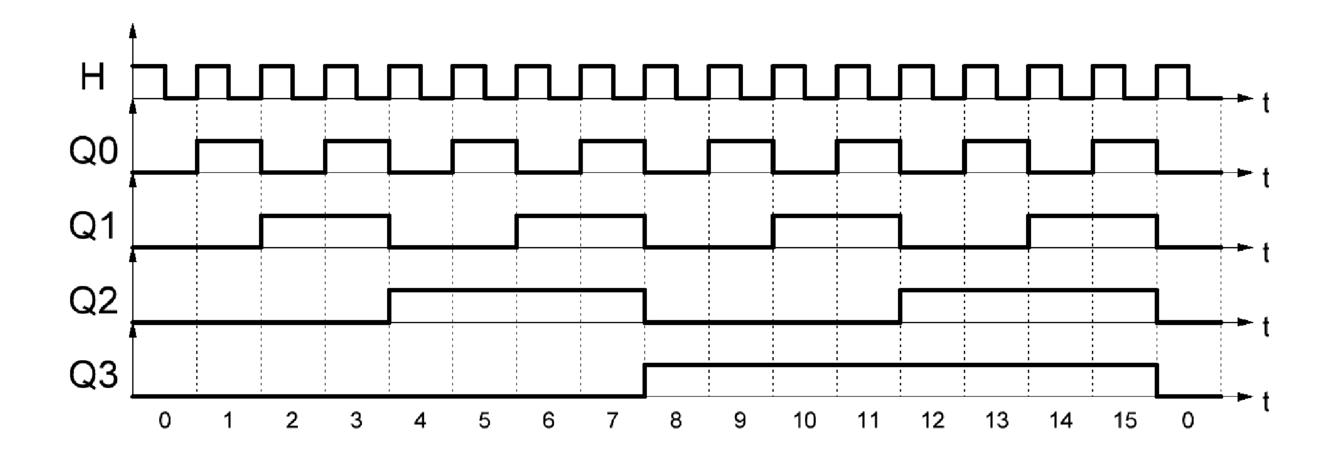


Figure 7.6: Circuit #2 for Exercise 7 التركيب الثاني للتمرين 7

1- إكمال المخطط الزمني للتركيب الأول:



2. What does the assembly of the figure achieve? 7.5 ماذا يعمل هذا التركيب؟

According to the chronogram in previous figure, this assembly is a modulo 16 counter. It counts from 0 to 15.

حسب المخطط الزمني في الشكل السابق التركيب هو عدّاد بترديد 16، يعُدّ من 0 إلى 15.

3. We slightly modify the assembly of figure 7.5 in order to obtain the assembly of figure 7.7. By explaining your reasoning, what does the assembly of figure 7.7 achieve?

بتعديل طفيف للتركيب في الشكل 7.5، نحصل على الشكل 7.7، اشرح ماذا يعمل هذا التركيب الجديد.

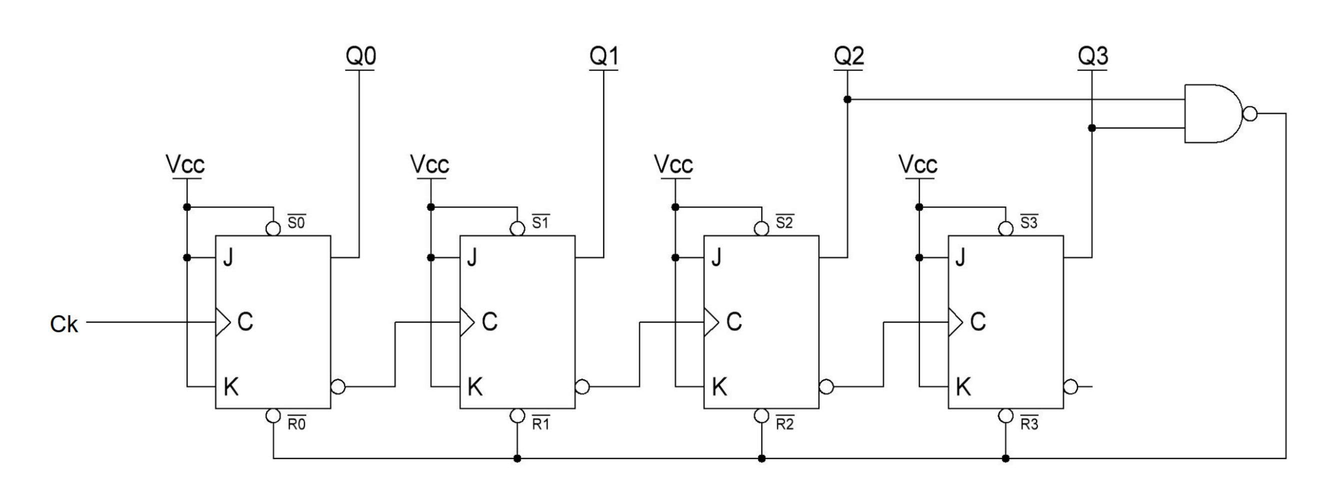


Figure 7.7: Diagram n°2 of the exercise 7 التركيب الثاني للتمرين

The NAND gate is used to detect the value 12 and replace it with the value 0.
Let M be the output of the NAND gate. As a reminder, the output of a NAND gate is 0 only when its two inputs are 1. M will therefore go to 0 when Q2 and Q3 are 1 at the same time.
Set M to 0 will cause a reset on the counter and therefore starting it again at 0.
Outputs Q2 and Q3 go to 1 for the first time on the value 12. The reset is therefore carried out when the counter reaches the value 12. This value does not remain and is immediately replaced by the value 0. M then returns to 1 and the counter starts counting again.
This assembly is a modulo 12 counter. It counts from 0 to 11.

تهدف البوابة المنطقية NAND نفي الوصل إلى كشف القيمة 12، واستبدالها بالصفر.

نسمي M ناتج بوابة NAND للتذكير، ينعدم مخرج بوابة NAND فقط عندما يكون مدخلاها عند 1. أي تنعدم M حين تكون Q2 و Q3 عند 1 في نفس الوقت.

انعدام M يسبّب إعادة تشغيل للعداد وبالتالي يرجع إلى 0.

تنتقل مخرجات Q2 و Q3 إلى 1 لأول مرة على القيمة 12.
يحدث إعادة تشغيل حين يصل العداد إلى القيمة 12. هذه القيمة لا تبقى وتُستبدل على الفور بالقيمة 0. ثم يعود M إلى 1 ويبدأ العداد في العد مرة أخرى.
إذن التركيب هو عداد بترديد 12 يعدّ من 0 إلى 11.

N°	Q3	Q2	Q1	Q0	M	
0	0	0	0	0	1	
1	0	0	0	1	1	
2	0	0	1	0	1	
3	0	0	1	1	1	
4	0	1	0	0	1	
5	0	1	0	1	1	
6	0	1	1	0	1	
7	0	1	1	1	1	
8	1	0	0	0	1	
9	1	0	0	1	1	
10	1	0	1	0	1	
11	1	0	1	1	1	
12	1	1	0	0	0	Force value to 0 فرض القيمة إلى صفر
0	0	0	0	0	1	
1	0	0	0	1	1	

08 Based on the circuit in Figure 7.8, draw the timing diagram for the variables Q0, Q1, Q2, Q3 over 17 clock cycles, knowing that Q0, Q1, Q2, Q3 start from 0.
أرسم مخططا زمنيا حسب الشكل رقم 3، لمتغيرات Q0, Q1, Q2, Q3 على 17 دورا للساعة علما أن Q0, Q1, Q2, Q3 تنطلق من الصفر.

1. What does the circuit in Figure 7.8 achieve?
ماذا يعمل التركيب في الشكل 7.8؟

2. We slightly modify the circuit in Figure 7.8 to obtain the circuit in Figure 7.9. Explain what the circuit in Figure 7.9 achieves with reasoning.
بتعديل طفيف للشكل 7.8، نحصل على التركيب في الشكل 7.9 ، اشرح ماذا يعمل هذا التركيب

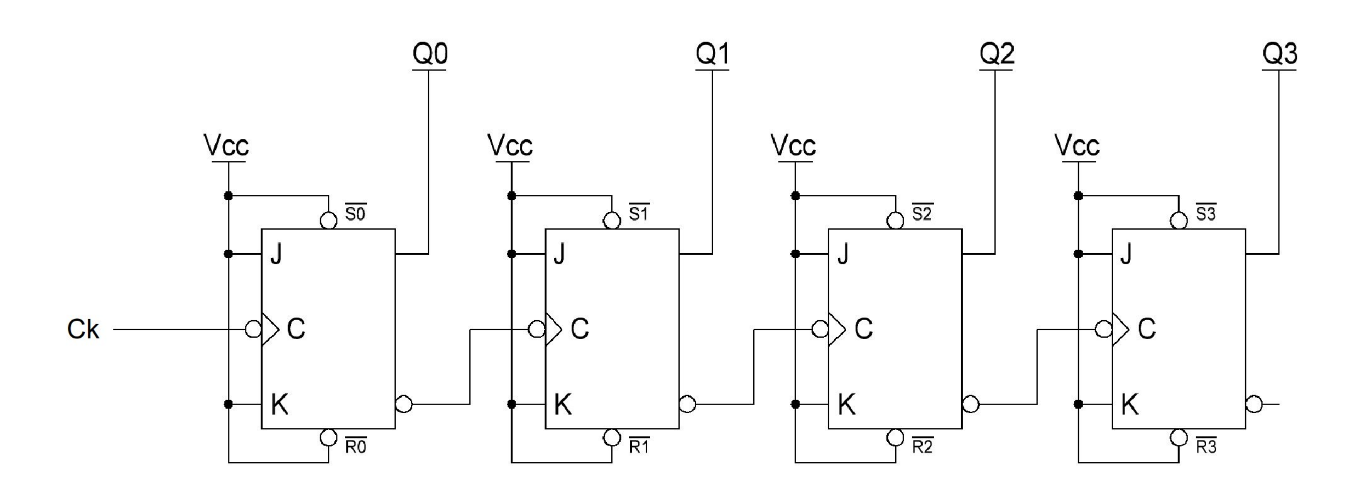


Figure 7.8: Circuit #1 for Exercise 8 التركيب الأول للتمرين 8

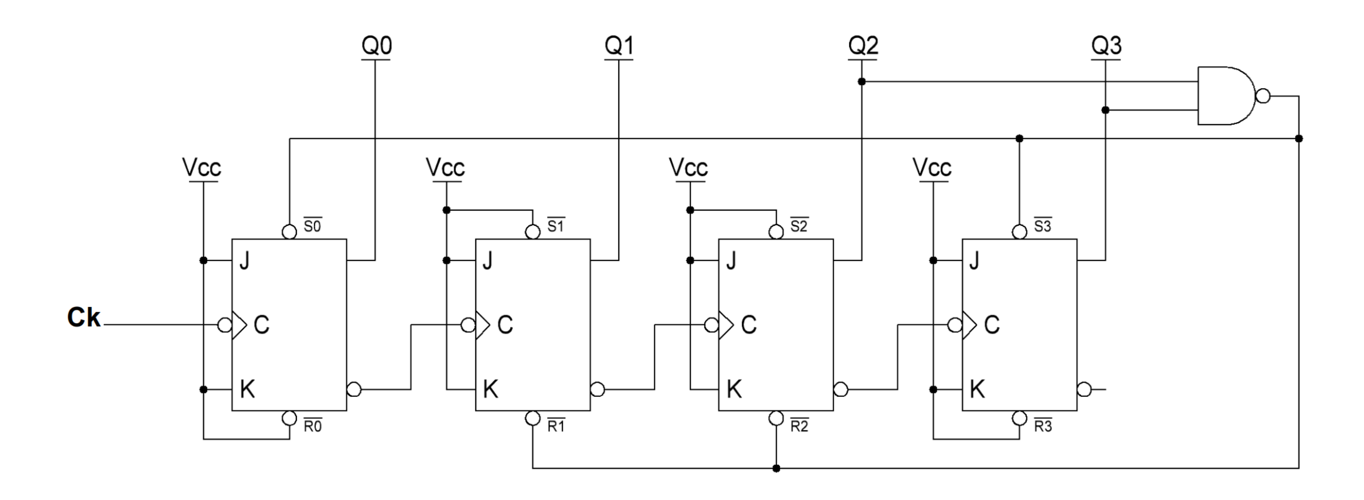


Figure 7.9: Circuit #2 for Exercise 8 المخطط الثاني للتمرين 8

1 What does the assembly of the Figure 7.10 achieve? ماذا يعمل التركيب في الشكل 7.10؟

At each clock edge, the value present on the outputs is decremented by one. This assembly is a modulo 16 countdown counter. It counts down from 15 to 0.

عند كل جبهة صاعدة للساعة ، تخفض قيمة المخرجات بمقدار واحد. هذا التركيب هو عدّاد تنازلي بترديد 16. يعدّ تنازليا من 15 إلى 0.

2 We slightly modify the assembly of figure 7.10 in order to obtain the assembly of figure 7.11. In explaining your reasoning, what does the assembly of figure 7.11 achieve?

بتعديل طفيف للشكل 7.10، نحصل على التركيب في الشكل 7.11، اشرح ماذا يعمل هذا التركيب

The NAND gate is used to detect the value 15 and replace it with the value 9. Let M be the output of the NAND gate. As a reminder, the output of a NAND gate is 0 only when its two inputs are 1. M will therefore go to 0 when Q2 and Q3 are 1 at the same time.

Going from M to 0 will cause a reset on Q1 and Q2 and a set on Q0 and Q3.

The new value present on the output of the down counter will therefore be the value ($9_{10} = (1001)_2$).

Outputs Q2 and Q3 go to 1 for the first time on the value 15. The forcing of the value 9 therefore takes place when the down counter reaches the value 15. The latter does not remain and is immediately replaced by the value 9. M then returns to 1 and the countdown counter starts counting down again.

تُستخدم بوابة NAND للكشف عن القيمة 15 واستبدالها بالقيمة 9. نفرض M ناتج بوابة NAND. للتذكير، ينعدم مخرج بوابة NAND حين يكون مدخلاها عند 1. أي، ستنعدم M حين يكون Q2 و Q3 عند 1 في نفس الوقت.

يؤدي انعدام M إلى إعادة انعدام Q1 و Q2 و يجعل Q0 و Q3 تساويان الواحد.

وبالتالي ، فإن القيمة الجديدة الموجودة في مخرج العداد التنازلي هي ($9_{10} = (1001)_2$).

تنتقل النواتج Q2 و Q3 إلى 1 لأول مرة عند القيمة 15. وبالتالي نفرض المرور إلى القيمة 9 عندما يصل العداد التنازلي إلى القيمة 15. تستبدل فورا بالقيمة 9، فيعود M إلى 1 ويبدأ العداد في العد التنازلي مرة أخرى.

Q	Q3	Q2	Q1	Q0	M	
6	0	1	1	0	1	
5	0	1	0	1	1	
4	0	1	0	0	1	
3	0	0	1	1	1	
2	0	0	1	0	1	
1	0	0	0	1	1	
0	0	0	0	0	1	
15	1	1	1	1	0	Force value to 9.فرض القيمة
9	1	0	0	1	1	
8	1	0	0	0	1	
7	0	1	1	1	1	

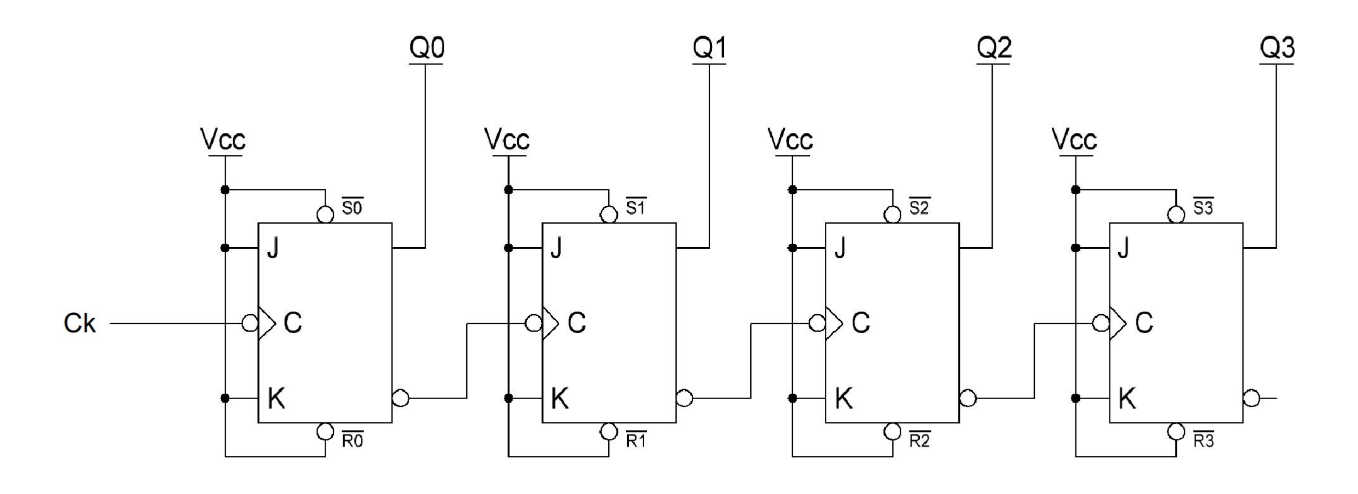


Figure 7.10: The second assembly for exercise 8 التركيب الأول للتمرين

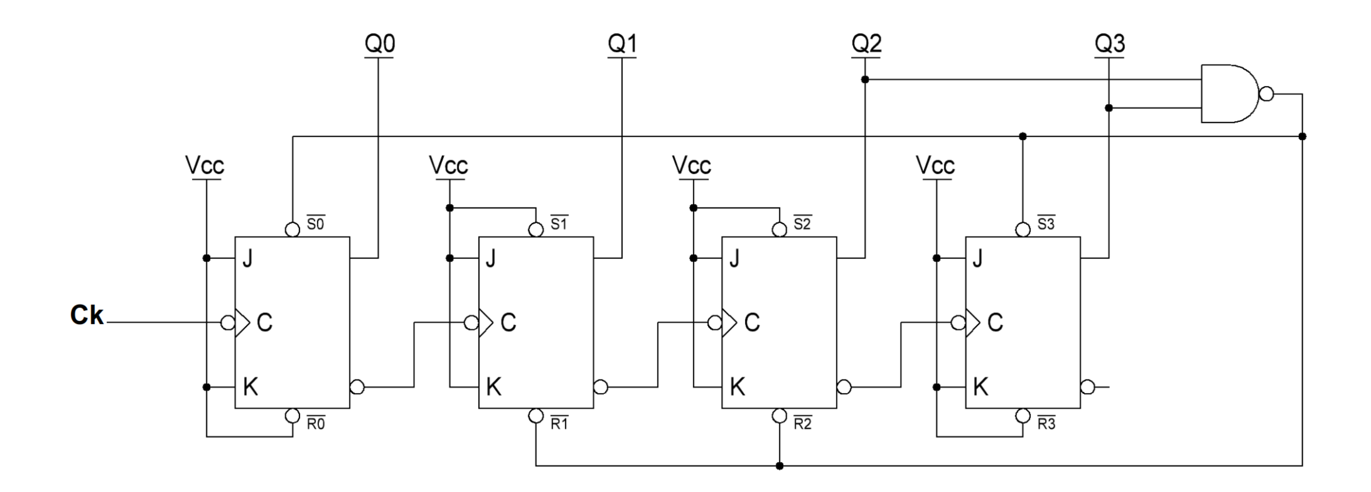


Figure 7.11: The second assembly for exercise 8 التركيب الثاني للتمرين

Part III

Tests and Exams فحوص وامتحانات

Chapter 8

Tests فحوص

8.1 Tests n°1

8.1.1 Quiz n°1

We want to design a circuit that calculates the number of zeros in a 4-bit information $(abcd)_2$.
Create the circuit:

- Inputs/outputs.
- Truth table.
- Numerical canonical forms.
- Simplification.
- Logic diagram.

نريد تصميم دارة تحسب عدد الأصفار في معلومة ذات أربعة أرقام ثنائية abcd.
أنجز الدارة

- مداخل ومخارج
- جدول الحقيقة
- الأشكال القانونية الرقمية
- التبسيط
- المخطط المنطقي

8.1.2 Quiz n°2

1. We want to design a circuit that calculates the number of "1"s in a 4-bit information $(abcd)_2$.
Create the circuit (Inputs/outputs, Truth table, canonical forms, simplification, logic diagram).
نريد تصميم دارة تحسب عدد الواحدات ``1" في معلومة ذات أربعة أرقام ثنائية $(abcd)_2$.
أنجز الدارة (مداخل ومخارج، جدول الحقيقة، الأشكال القانونية، التبسيط، المخطط المنطقي).

8.1.3 Quiz n°3

We want to design a circuit that converts a number represented in 2's complement on 4 bits to a representation in signed value on 4 bits.
Create the circuit (Inputs/outputs, Truth table, canonical forms, simplification, logic diagram)
نريد تصميم دارة تحول عددا ممثلا في المتمم إلى 2 على 4 بتات إلى تمثيل القيمة المطلقة ذات الإشارة على 4 بتات.
أنجز الدارة (مداخل ومخارج، جدول الحقيقة، الأشكال القانونية، التبسيط، المخطط المنطقي).

8.1.4 Quiz n°4

1. We want to design a circuit that converts a number represented in signed value notation on 4 bits to a representation in 2's complement on 4 bits.
Create the circuit (Inputs/outputs, Truth table, canonical forms, simplification, logic diagram).
نريد تصميم دارة تحول عددا ممثلا في القيمة المطلقة ذات الإشارة على 4 بتات إلى تمثيل المتمم إلى 2 على 4 بتات.
أنجز الدارة (مداخل ومخارج، جدول الحقيقة، الأشكال القانونية، التبسيط، المخطط المنطقي).

8.1.5 Quiz n°5

Design a circuit that converts a binary number on 4 bits to Gray code on 4 bits.
Create the circuit (Inputs/outputs, Truth table, canonical forms, simplification, logic diagrams)
نريد تصميم دارة تحول عددا ثنائيا على 4 بتات إلى ترميز غراي على 4 بتات.

أنجز الدارة (مداخل ومخارج، جدول الحقيقة، الأشكال القانونية، التبسيط، المخطط.)

8.1.6 Quiz n°6

1 We want to design a circuit that converts a binary number in Gray code on 4 bits to binary on 4 bits.

Create the circuit (Inputs/outputs, Truth table, canonical forms, simplification, logic diagram).

نريد تصميم دارة تحول عددا بترميز غراي على 4 بتات إلى عدد ثنائي على 4 بتات.

أنجز الدارة (مداخل ومخارج، جدول الحقيقة، الأشكال القانونية، التبسيط، المخطط المنطقي).

8.1.7 Quiz n°7

We want to design a circuit that converts a binary number in BCD on 4 bits to Excess-3 code on 4 bits. Implement the circuit (Inputs/outputs, Truth table, canonical forms, simplification, logic diagrams)

نريد تصميم دارة تحول عددا ثنائيا ممثلا في BCD على 4 بتات إلى تمثيل Excess3 على 4 بتات.

أنجز الدارة (مداخل ومخارج، جدول الحقيقة، الأشكال القانونية، التبسيط، المخطط).

8.1.8 Quiz n°8

1 We want to design a circuit that converts a binary number in Excess 3 notation on 4 bits to BCD code on 4 bits.

Create the circuit (Inputs/outputs, Truth table, canonical forms, simplification, logic diagram).

نريد تصميم دارة تحول عددا ثنائيا ممثلا في Excess3 على 4 بتات إلى تمثيل BCD على 4 بتات.

أنجز الدارة (مداخل ومخارج، جدول الحقيقة، الأشكال القانونية، التبسيط، المخطط المنطقي).

8.1.9 Quiz n°9

We want to create a circuit which allows us to convert a 4-bit binary number into the 4-bit $ROT(-5)$ rotation code.
Create the circuit (Inputs/outputs, Truth table, canonical forms, simplification, flowcharts)
Example:

نريد تصميم دارة تحول عددا ثنائيا على 4 بتات إلى ترميز دوران 5- على 4 بتات.
أنجز الدارة (مداخل ومخارج، جدول الحقيقة، الأشكال القانونية، التبسيط، المخطط).
مثال:

$$ROT_{-5}(0111) => (0010)$$
$$ROT_{-5}(0101) => (0000)$$
$$ROT_{-5}(0100) => (1111)$$

8.2 Tests n°2

8.2.1 Quiz n°1

We want to design a circuit that converts from BCD code to Excess-3 code.

1. Provide the truth table. — أعط جدول الحقيقة
2. Create the circuit using multiplexers only. — أنجز الدارة بواسطة مجمّعات فقط
3. Create the circuit using only a decoder and encoders. — أنجز الدارة بواسطة مرمّز واحد، ومفكك واحد فقط
4. Create the circuit using only full adders. — أنجز الدارة بواسطة دارات جمع كامل فقط

8.2.2 Quiz n°2

1. Create circuit M1 which multiplies 3 bits by 1 bit.
   - Provide the block diagram of M1.
   - Truth table.
   - Logic diagram.
2. Provide the block diagram of a full adder (ADD3) for two 3-bit numbers each.
3. Create the ADD3 using full adders for 1 bit each.
4. Consider circuit M3 which multiplies two 3-bit numbers ($ABC \times DEF$):
   - Create circuit M3 using circuits of type M1 and ADD3.
   - **Note:** The truth table is not requested.

1. أنجز الدارة M1 التي تسمح بضرب عدد به 3 بتات بعدد آخر به 1 بت.
   - أعط المخطط المصمت للدارة M1،
   - جدول الحقيقة،
   - والمخطط المنطقي.
2. أعط المخطط المصمت لدارة جمع كامل لعددين، كل منهما به 3 بتات، نسمي الدارة ADD3.
3. أنجز الدارة ADD3 بواسطة دارات جمع كامل لبت واحد.
4. لتكن الدارة M3 تضرب عددين، كل منهما له 3 بتات، ($ABC \times DEF$).
   - أنجز الدارة بواسطة دارات M1 و ADD3 فقط
   - **ملحوظة:** جدول الحقيقة غير مطلوب

8.2.3 Quiz n°3

We want to design a circuit, Comp2, which converts a number represented in signed value to two's complement on 4 bits.

1. Provide the block diagram (inputs/outputs).
2. Provide the Truth Table for conversion to one's complement.
3. Provide the Truth Table for conversion to two's complement.
4. Create the Comp2 circuit using only multiplexers.
5. Create the Comp2 circuit using a decoder and an encoder.
6. Create the circuit using full adders (1 bit) and a minimum of logic gates.

نريد تصميم دارة Comp2 تحوّل من ترميز القيمة المطلقة إلى ترميز المتمم إلى الاثنين على 4 بتات.

1. ارسم المخطط المصمت
2. أعط جدول الحقيقة للتحويل إلى المتمم إلى 1.
3. أعط جدول الحقيقة للتحويل إلى المتمم إلى 2.
4. أنجز دارة التحويل إلى المتمم إلى2 بواسطة مجمعات فقط.
5. أنجز الدارة بواسطة مفكك ترميز واحد ومرمّز واحد.
6. أنجز الدارة بواسطة دارات الجمع الكامل لبت واحد، وأقل ما يمكن من البوابات المنطقية.

8.2.4 Quiz n°4

Given a binary information on 4 bits ($i_3i_2i_1i_0$), we want to design the circuit CNT that counts the number of 0s in the input information.

1. Provide the block diagram (inputs/outputs).
2. Provide the truth table.
3. Create the CNT circuit using only multiplexers.
4. Create the CNT circuit using a decoder and an encoder.
5. We want to turn on lamps, where each lamp has a number corresponding to the number of zeros. Use the CNT circuit and a decoder to turn on the lamps.

لدينا معلومة ثنائية على 4 بتات ($i_3i_2i_1i_0$)، نريد تصميم الدارة CNT التي تحسب عدد الأصفار في المعلومة المُدخلة.

1. ارسم المخطط المصمت
2. أعط جدول الحقيقة
3. أنجز الدارة CNT بواسطة مجمعات فقط.
4. أنجز الدارة بواسطة مفكك ترميز واحد ومرمّز واحد.
5. نريد إضاءة مصابيح، كل مصباح عليه رقم يطابق عدد الأصفار، استعمل الدارة CNT ومفكك ترميز لإشعال المصابيح.

8.2.5 Quiz n°5

We want to turn on 8 lamps as follows: we turn on the lamps whose number is less than or equal to the number N provided as input.

1. Provide the block diagram (inputs/outputs).
2. Provide the truth table.
3. Create the circuit using only multiplexers.
4. Create the circuit using a decoder and an encoder.
5. Create the circuit using a decoder and a minimum of logic gates with only two inputs.

نريد إضاءة 8 مصابيح، بحيث نضيء المصابيح التي رقمها أقل من أو يساوي العدد المعطى في المدخل.

1. ارسم المخطط المصمت
2. أعط جدول الحقيقة.
3. أنجز الدارة بواسطة مجمعات فقط.
4. أنجز الدارة بواسطة مفكك ترميز واحد ومرمّز واحد.
5. أنجز الدارة بواسطة مفكك ترميز عادي وأقل ما يمكن من البوابات المنطقية ذات مدخلين.

8.3 Tests n°3

Chapter 3 Tests :

فحوص الفصل الثالث

8.3.1 Quiz n°1

1 A modulo-16 even counter counts from $0, 2, 4, 6, 8, 10, 12, 14, 0, 2, \ldots$.

- Provide the state table of the counter.
- What do you notice?
- Implement the circuit using JK flip-flops.

2 Provide the equations for J_0, K_0, J_1, K_1

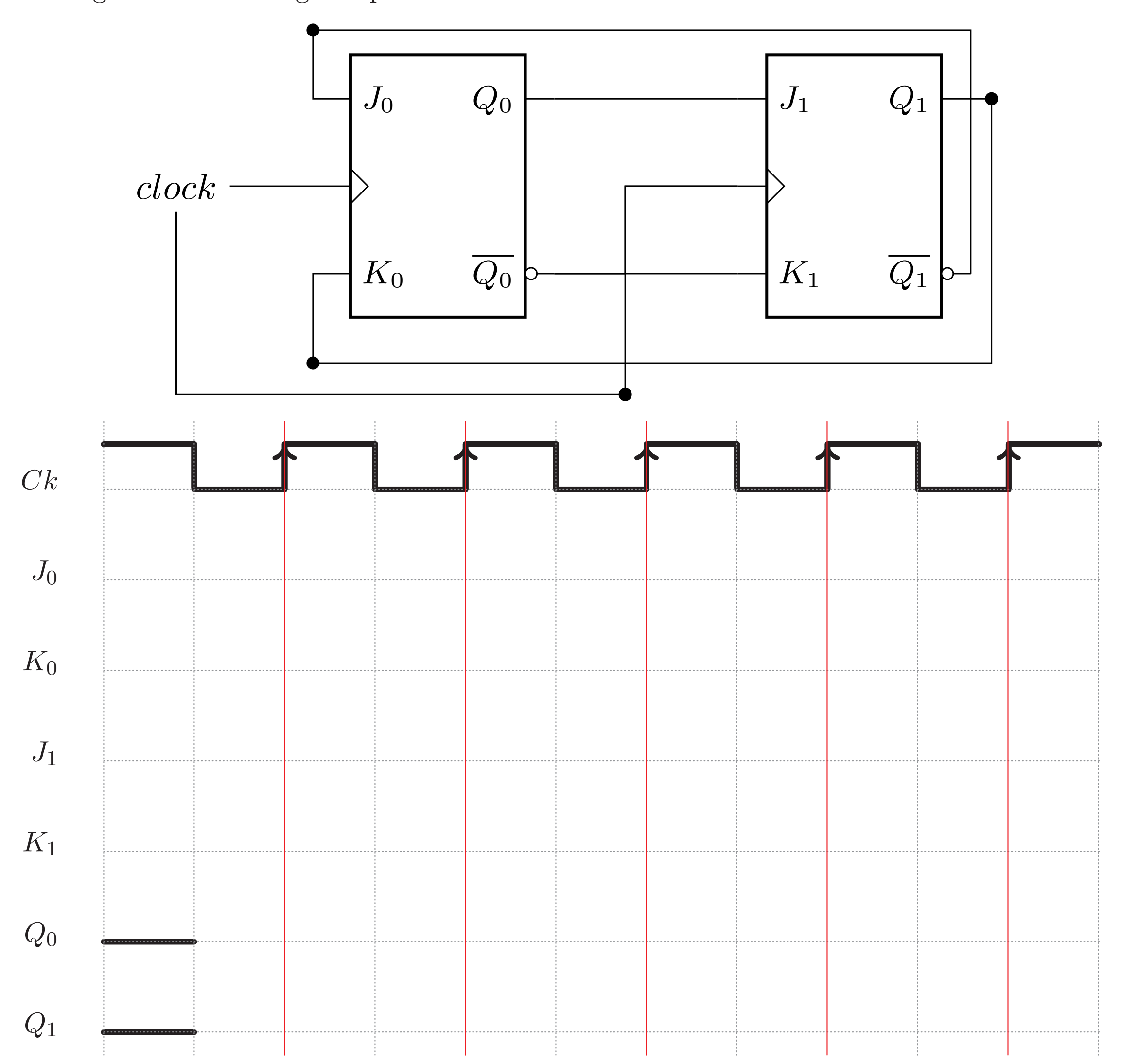
- Fill in the timing diagram according to the following setup:

1 عدّاد زوجي بترديد 16، يعدّ كما يلي $0, 2, 4, 6, 8, 10, 12, 14, 0, 2, \ldots$.

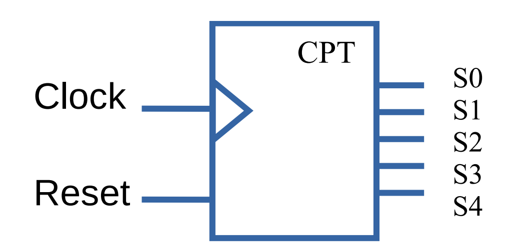
- أعط جدول الحالات للعدّاد
- ماذا تلاحظ
- أنجز الدارة بواسطة قلابات ج.ك

2 أعط معادلات J_0, K_0, J_1, K_1

- أكمل المخطط الزمني حسب التركيب الموالي



8.3.2 Quiz n°2



1 Consider the following modulo-32 5-bit counter circuit CPT:

- The Reset input resets the counter to zero.
- Propose a diagram to use the CPT circuit to count from 0 to 23.
- We want to use the CPT circuit to trigger an alarm every 30 seconds.

1 لتكن العداد الموالي على 5 بتات بترديد 32 :CPT

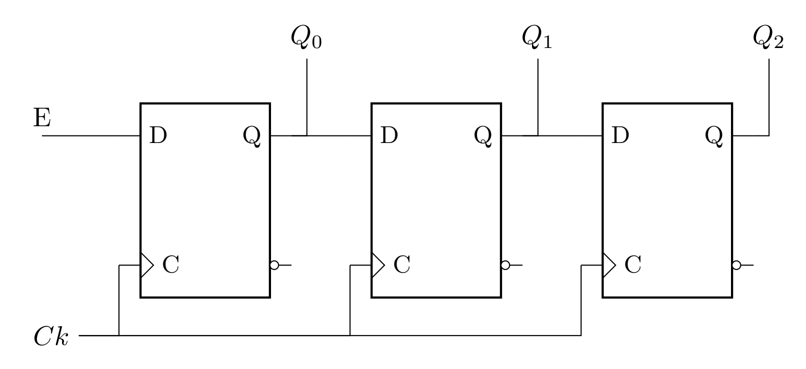
- المدخل Reset يعيد العداد إلى الصفر
- اقترح مخطط لاستعمال الدارة CPT كعداد من 0 إلى 23.
- نريد استعمال الدارة CPT لإطلاق تنبيه كل 30 ثانية من 0 إلى 23.

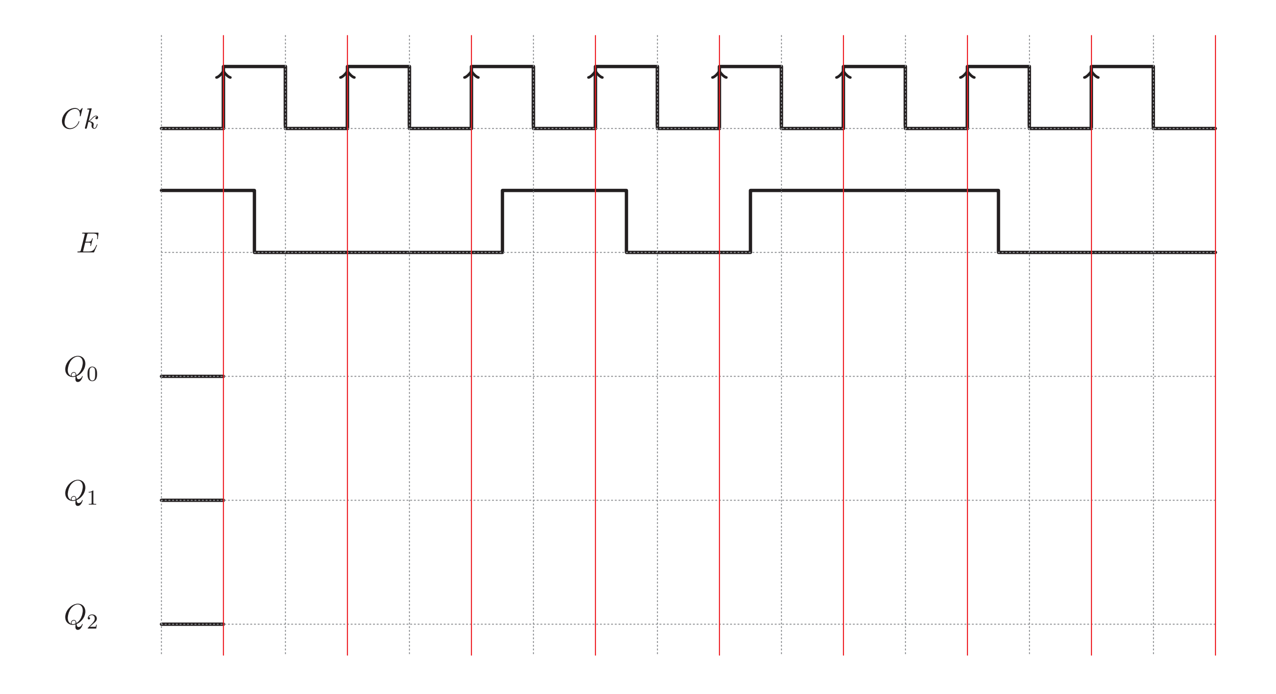
2 Fill in the timing diagram according to the following setup:

- What does this setup do?

2 أكمل المخطط الزمني حسب التركيب الموالي

- ماذا يعمل هذا التركيب؟





8.3.3 Quiz n°3

1 We want to create a modulo 24 hour counter.

- How many JK flip-flops should we use?
- Provide the clock enable equation to reset the counter to zero.
- Implement a modulo 24 counter.

1 نريد تصميم عداد للساعات بترديد 24 ساعة

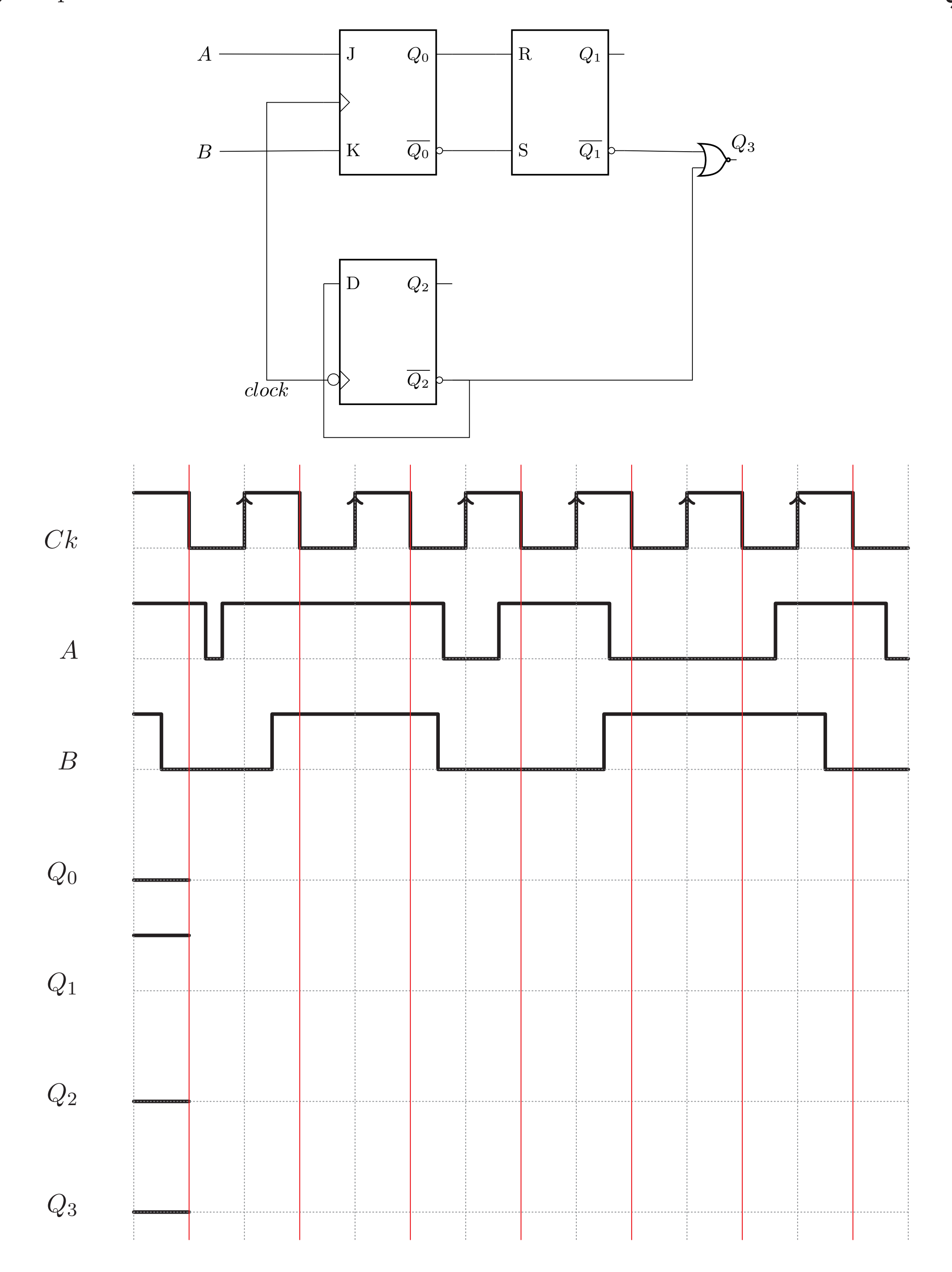
- كم يلزمنا من قلابات ج.ك؟
- أعط معادلة CL لتصفير العداد
- أنجز عدادًا بترديد 24

2 Provide the equations for $D, R, S, Q3$.

2 أعط معادلات $D, R, S, Q3$.

3 Fill in the timing diagram according to the following setup:

- أكمل المخطط الزمني حسب التركيب الموالي



8.3.4 Quiz n°4

1 A distorted counter counts from $0, 1, 2, 3, 8, 9, 10, 11, 0, 1, 2$.

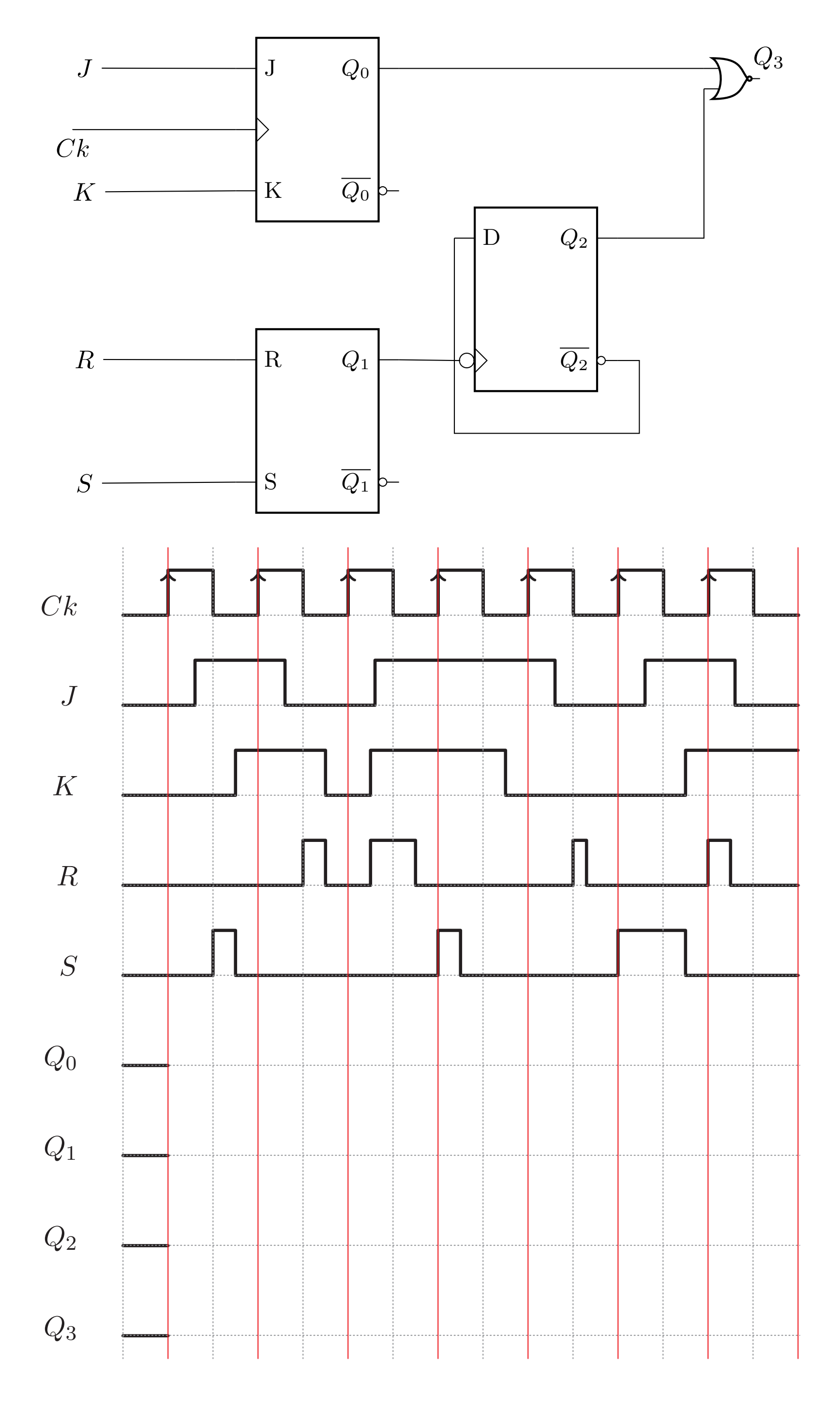
- Provide the state table of the counter.
- Create the diagram using JK flip-flops.

2 Fill in the timing diagram based on the following setup:

1 عدّاد مُشوّه، يعدّ كما يلي $0, 1, 2, 3, 8, 9, 10, 11, 0, 1, 2$

- أعط جدول الحالات للعدّاد
- أنجز الدارة بواسطة قلابات ج.ك

2 أكمل المخطط الزمني حسب التركيب الموالي



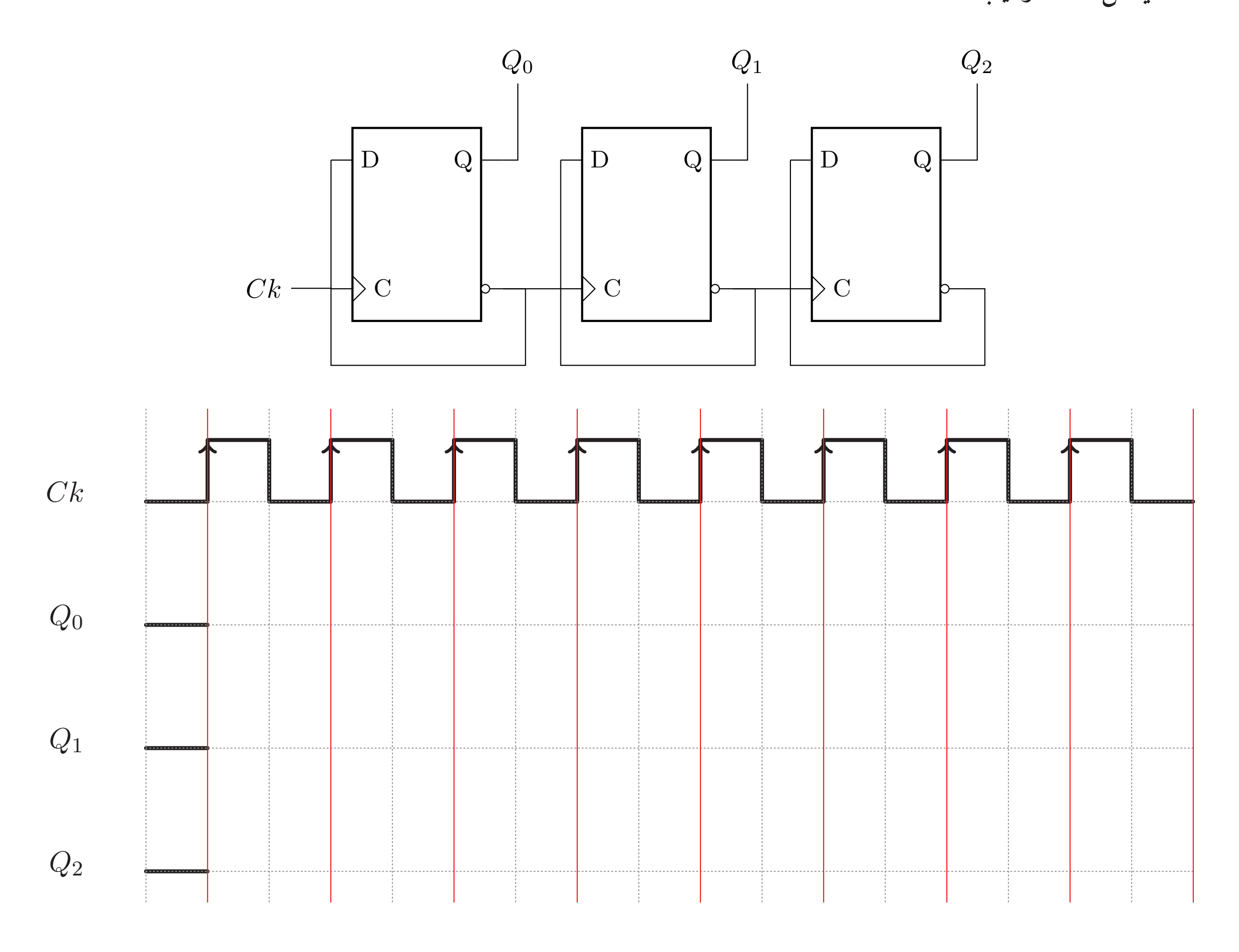
8.3.5 Quiz n°5

1. A distorted counter counts as $0, 1, 4, 5, 2, 3, 6, 7, 8, 9, 12, 13, 10, 11, 14, 15, 0, 1, \ldots$.
   - Provide the state table of the counter.
   - Construct the circuit using JK flip-flops.

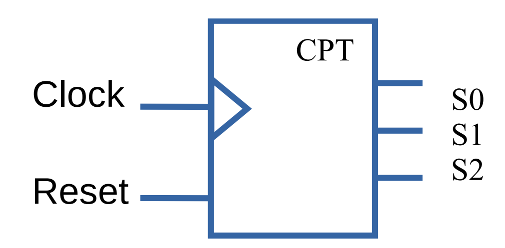
2. Fill in the timing diagram according to the following setup:
   - What does this setup do?

1. عدّاد مُشوّه، يعدّ كما يلي $0, 1, 4, 5, 2, 3, 6, 7, 8, 9, 12, 13, 10, 11, 14, 15, 0, 1,$.
   - أعط جدول الحالات للعدّاد
   - أنجز الدارة بواسطة قلابات ج.ك

2. أكمل المخطط الزمني حسب التركيب الموالي
   - ماذا يعمل هذا التركيب



8.3.6 Quiz n°6



1 We want to create a synchronized light display where the lights turn on one by one.

Construct the circuit using:

- 8 lamps
- A modulo 8 counter provided in the block diagram
- A decoder.

2 Fill in the timing diagram according to the following setup:

- What does this setup do?

1 نريد تصميم لعبة أضواء متزامنة، تضيء المصابيح واحدا واحدا.

أنجز الدارة بواسطة:

- 8 مصابيح
- عدّاد بترديد 8 معطى بالمخطط المصمت
- مفكك ترميز

2 أكمل المخطط الزمني حسب التركيب الموالي

- ماذا يعمل هذا التركيب؟

8.3.7 Quiz n°7

So let's consider the FG flip-flop, defined by the following truth table.

لدينا القلاب FG المعرّف بجدول الحقيقة

F	G	Q^+
0	0	0
0	1	$\overline{Q}$
1	0	$\overline{Q}$
1	1	1

1. Provide the complete truth table and construct the circuit using only NAND gates.

1. ارسم جدول الحقيقة الكامل وأنجز الدارة بواسطة دارات نفي الوصل NAND فقط.

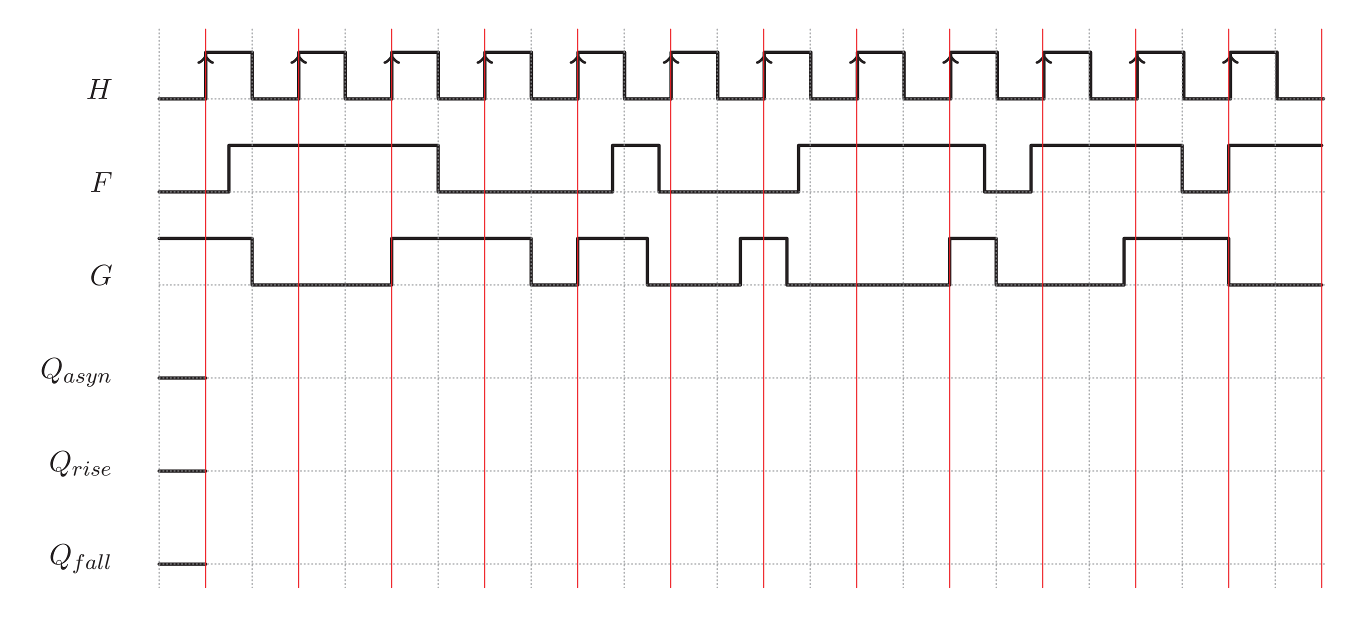
2. Complete the timing diagram according to the following cases,

   and provide the truth table for each case.

   a. FG is asynchronous.
   b. FG is synchronized to the rising edge.
   c. FG is synchronized to the falling edge.

2. أكمل المخطط الزمني حسب الحالات الآتية، وأعط جدول الحقيقة لكل حالة:

   a. القلاب غير متزامن.
   b. القلاب متزامن عند الجبهة الصاعدة.
   c. القلاب متزامن عند الجبهة النازلة.



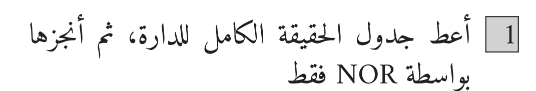
8.3.8 Quiz n°8

Consider the UV flip-flop, defined by the following truth table.

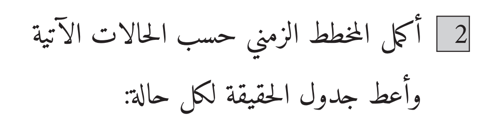
لدينا القلاب UV المعرّف بجدول الحقيقة

U	V	Q^+
0	0	Q
0	1	0
1	0	1
1	1	$\overline{Q}$

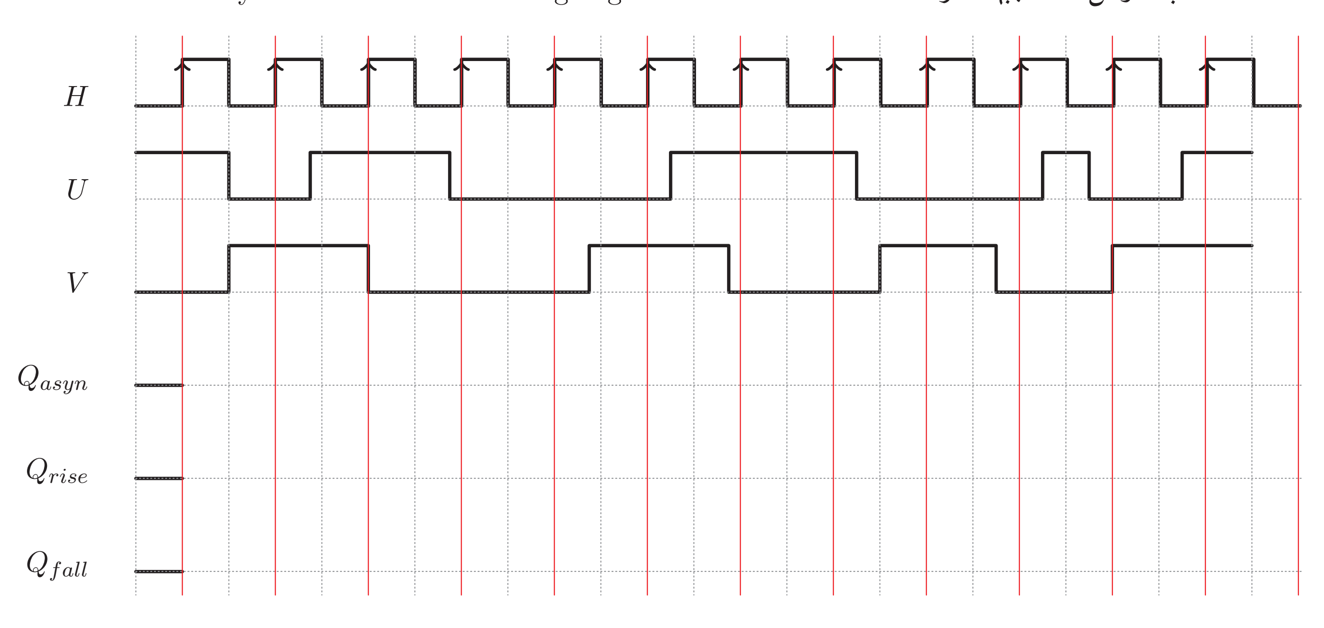
1. Provide the complete truth table and Create the circuit using only NOR gates.


أعط جدول الحقيقة الكامل للدارة، ثم أنجزها بواسطة NOR فقط

2. Complete the timing diagram according to the following cases, and provide the truth table for each case:
   a. UV is asynchronous.
   b. UV is synchronized on the rising edge.
   c. UV is synchronized on the falling edge.


أكمل المخطط الزمني حسب الحالات الآتية وأعط جدول الحقيقة لكل حالة:

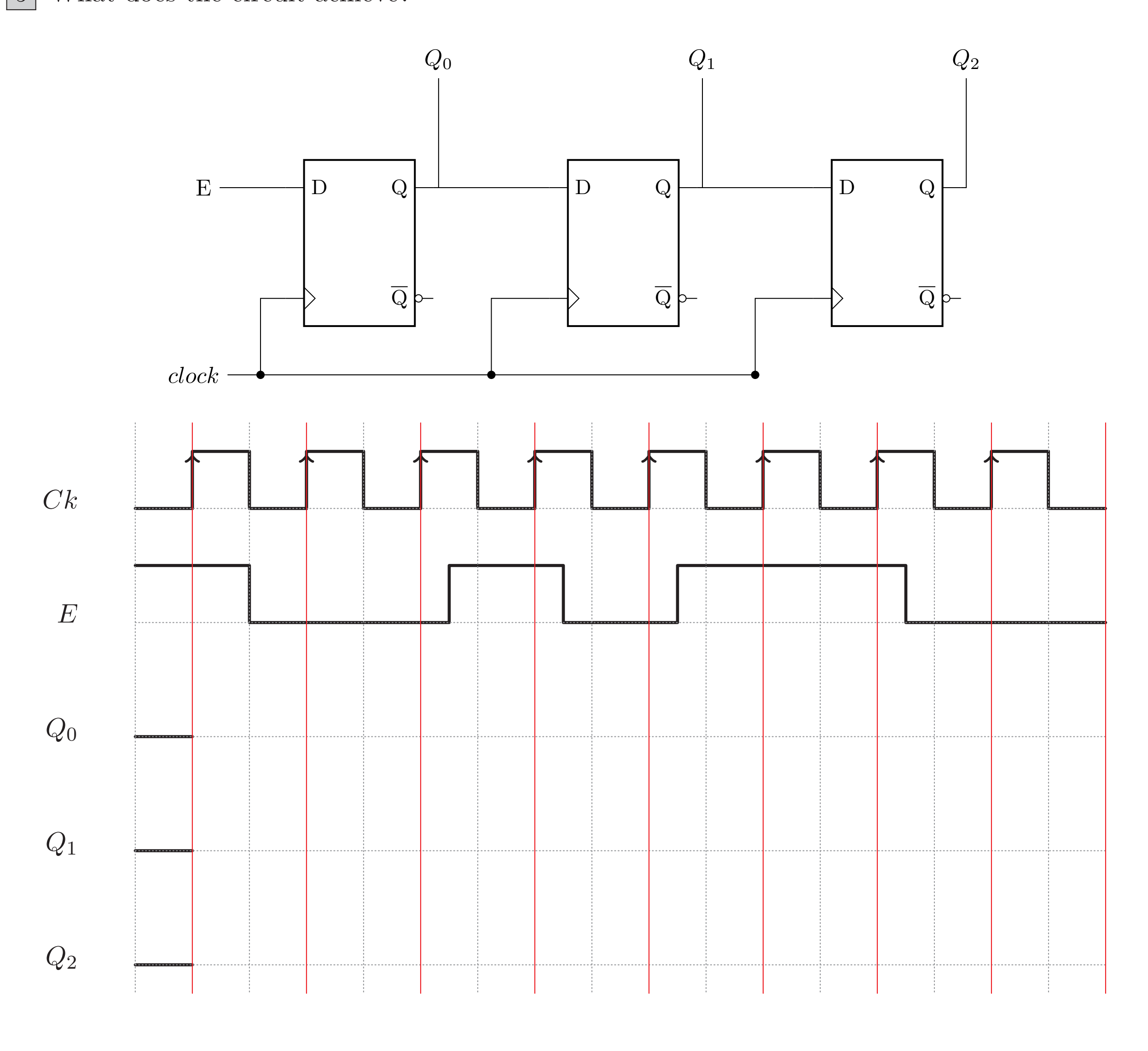
a. القلاب غير متزامن.
b. القلاب متزامن عند الجبهة الصاعدة.
c. القلاب متزامن عند الجبهة النازلة.



8.3.9 Quiz n°9

1. List the applications of flip-flops.
2. Recall the truth table of the flip-flop used in the circuit.
3. Complete the timing diagram according to the following setup:
4. Record the information ($Q_2Q_1Q_0$) at each instant.
5. What does the circuit achieve?

1. اذكر تطبيقات القلابات
2. ذكّر بجدول الحقيقة للقلاب المستعمل في التركيب المعطى
3. أكمل المخطط الزمني الآتي حسب التركيب الموضح
4. سجّل في كل لحظة المعلومة ($Q_2Q_1Q_0$)
5. ماذا يعمل هذا التركيب



8.3.10 Quiz n°10

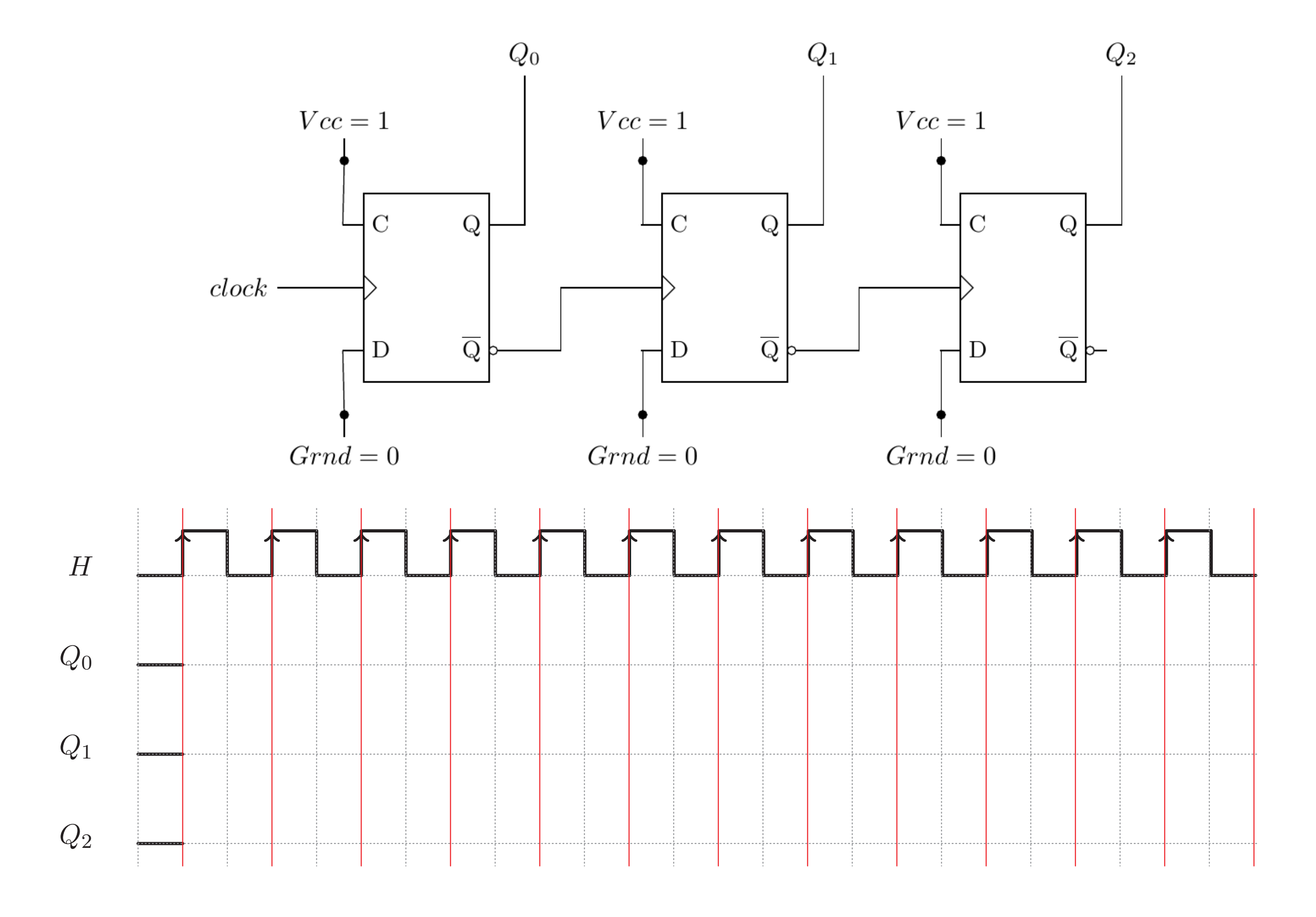
The CD flip flop, defined by the following truth table.

لدينا القلاب CD المعرّف بجدول الحقيقة

C	D	Q^+	
0	0	1	set to 1
0	1	Q	memory
1	0	$\overline{Q}$	switch
1	1	0	reset

1. Provide the complete truth table and create the circuit using only NOR gates.
2. Fill in the timing diagram based on the following setup:
3. Record the information $(Q_2Q_1Q_0)$ at each moment.
4. What does the setup achieve?

1. أعط جدول الحقيقة الكامل للدارة، ثم أنجزها بواسطة NOR فقط
2. أكمل المخطط الزمني الآتي حسب التركيب الموضح
3. سجّل في كل لحظة المعلومة $(Q_2Q_1Q_0)$
4. ماذا يعمل هذا التركيب



Chapter 9

Test Solutions

حلول الفحوص

9.1 Tests n°1

9.1.1 Quiz n°1

We want to design a circuit that calculates the number of zeros in a 4-bit information $(abcd)_2$.
Create the circuit:

- Inputs/outputs.
- Truth table.
- Numerical canonical forms.
- Simplification.
- Logic diagram.

نريد تصميم دارة تحسب عدد الأصفار في معلومة ذات أربعة أرقام ثنائية abcd.
أنجز الدارة

- مداخل ومخارج
- جدول الحقيقة
- الأشكال القانونية الرقمية
- التبسيط
- المخطط المنطقي

9.1.1.1 Correction

1 Inputs/Outputs definition تعريف المداخل والمخارج

- Inputs المداخل: the bits A, B, C, D
- Outputs المخارج:
  We use 03 output bits, such that:
  If ABCD = (0000) => Then XYZ = (100) meaning four zeros.
  If ABCD = (0011) => Then XYZ = (010) meaning two zeros.

لدينا ثلاث بتات للمخارج وذلك لأن
إذا كان ABCD = (0000) <= XYZ = (100) أي أربعة أصفار.
إذا كان ABCD = (0011) <= XYZ = (010) أي صفرين.

2 Truth table جدول الحقيقة

N°	A	B	C	D	X	Y	Z
0	0	0	0	0	1	0	0
1	0	0	0	1	0	1	1
2	0	0	1	0	0	1	1
3	0	0	1	1	0	1	0
4	0	1	0	0	0	1	1
5	0	1	0	1	0	1	0
6	0	1	1	0	0	1	0
7	0	1	1	1	0	0	1
8	1	0	0	0	0	1	1
9	1	0	0	1	0	1	0
10	1	0	1	0	0	1	0
11	1	0	1	1	0	0	1
12	1	1	0	0	0	1	0
13	1	1	0	1	0	0	1
14	1	1	1	0	0	0	1
15	1	1	1	1	0	0	0

3 Canonical forms الأشكال القانونية
First canonical form; الشكل القانوني الرقمي الأول

- $X = \sum[0]$
- $Y = \sum[1, 2, 3, 4, 5, 6, 8, 9, 10, 12]$
- $Z = \sum[1, 2, 4, 7, 8, 11, 13, 14]$

Second canonical form; الشكل القانوني الرقمي الثاني

- $X = \prod[1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15]$
- $Y = \prod[0, 7, 11, 13, 14, 15]$
- $Z = \prod[0, 3, 5, 6, 9, 10, 12, 15]$

4 Karnaugh map مخطط كارنوف

Function X الدالة

AB \ CD	00	01	11	10
00	1	0	0	0
01	0	0	0	0
11	0	0	0	0
10	0	0	0	0

Simplified form الشكل المبسط

$X = \bar{a}.\bar{b}.\bar{c}.\bar{d}$

Function Y الدالة

AB \ CD	00	01	11	10
00	0	1	1	1
01	1	1	0	1
11	1	0	0	0
10	1	1	0	1

Simplified form الشكل المبسط

$Y = a.\bar{b}.\bar{c} + b.\bar{c}.\bar{d} + \bar{a}.\bar{b}.c + \bar{a}.c.\bar{d} + \bar{b}.c.\bar{d} + \bar{b}.\bar{c}.d$

Function Z الدالة

AB \ CD	00	01	11	10
00	0	1	0	1
01	1	0	1	0
11	0	1	0	1
10	1	0	1	0

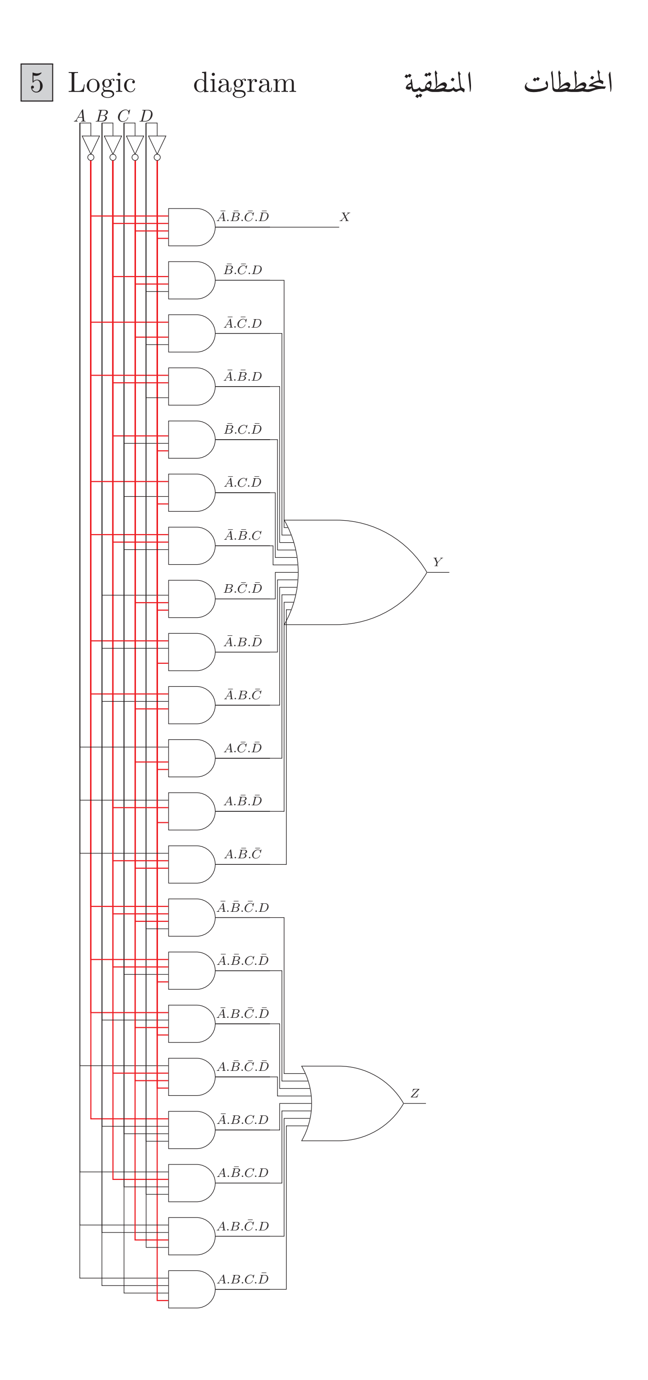
Simplified form الشكل المبسط

$Z = a.b.c.\bar{d} + a.b.\bar{c}.d + a.\bar{b}.c.d + \bar{a}.b.c.d + a.\bar{b}.\bar{c}.\bar{d} + \bar{a}.b.\bar{c}.\bar{d} + \bar{a}.\bar{b}.c.\bar{d} + \bar{a}.\bar{b}.\bar{c}.d$

Simplified forms الشكل المبسط

- $X = \bar{a}.\bar{b}.\bar{c}.\bar{d}$
- $Y = a.\bar{b}.\bar{c}+b.\bar{c}.\bar{d}+\bar{a}.\bar{b}.c+\bar{a}.c.\bar{d}+\bar{b}.c.\bar{d}+\bar{b}.\bar{c}.d$
- $Z = a.b.c.\bar{d}+a.b.\bar{c}.d+a.\bar{b}.c.d+\bar{a}.b.c.d+a.\bar{b}.\bar{c}.\bar{d}+\bar{a}.b.\bar{c}.\bar{d}+\bar{a}.\bar{b}.c.\bar{d}+\bar{a}.\bar{b}.\bar{c}.d$

5 Logic diagram المخططات المنطقية



9.1.2 Quiz n°2

1 We want to design a circuit that calculates the number of "1"s in a 4-bit information $(abcd)_2$.

Create the circuit (Inputs/outputs, Truth table, canonical forms, simplification, logic diagram).

نريد تصميم دارة تحسب عدد الواحدات ``1" في معلومة ذات أربعة أرقام ثنائية $(abcd)_2$.

أنجز الدارة (مداخل ومخارج، جدول الحقيقة، الأشكال القانونية، التبسيط، المخطط المنطقي).

Short response إجابة مختصرة

- X $= a.b.c.d$
- Y $= a.b.\bar{c} + a.c.\bar{d} + a.\bar{b}.d + a.\bar{c}.d + \bar{a}.b.d + \bar{a}.c.d$
- Z $= a.b.c.\bar{d} + a.b.\bar{c}.d + a.\bar{b}.c.d + \bar{a}.b.c.d + a.\bar{b}.\bar{c}.\bar{d} + \bar{a}.b.\bar{c}.\bar{d} + \bar{a}.\bar{b}.c.\bar{d} + \bar{a}.\bar{b}.\bar{c}.d$

9.1.3 Quiz n°3

We want to design a circuit that converts a number represented in 2's complement on 4 bits to a representation in signed value on 4 bits.
Create the circuit (Inputs/outputs, Truth table, canonical forms, simplification, logic diagram)

نريد تصميم دارة تحول عددا ممثلا في المتمم إلى 2 على 4 بتات إلى تمثيل القيمة المطلقة ذات الإشارة على 4 بتات.

أنجز الدارة (مداخل ومخارج، جدول الحقيقة، الأشكال القانونية، التبسيط، المخطط المنطقي).

9.1.3.1 Correction

1 Inputs/Outputs definition تعريف المداخل والمخارج

- Inputs المداخل: the bits A, B, C, D

  represent a number in 2's complement, with A as the sign bit:

- Outputs المخارج:

  We use 04 output bits: WXYZ, such that:

  for example: $ABCD = (0000)_{cp2} \leftarrow WXYZ = (0000)_{sva}$

  all positive numbers remain the same.

  $ABCD = (1001)_{cp2} \leftarrow WXYZ = (1111)_{sva} = (-7)_{10}$

2 Truth table جدول الحقيقة

N°	A	B	C	D	W	X	Y	Z
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	0	0	0	1	0
3	0	0	1	1	0	0	1	1
4	0	1	0	0	0	1	0	0
5	0	1	0	1	0	1	0	1
6	0	1	1	0	0	1	1	0
7	0	1	1	1	0	1	1	1
8	1	0	0	0	X	X	X	X
9	1	0	0	1	1	1	1	1
10	1	0	1	0	1	1	1	0
11	1	0	1	1	1	1	0	1
12	1	1	0	0	1	1	0	0
13	1	1	0	1	1	1	1	1
14	1	1	1	0	1	0	1	0
15	1	1	1	1	1	0	0	1

3 Canonical forms الأشكال القانونية

First canonical form; الشكل القانوني الرقمي الأول

- $W = \sum[9, 10, 11, 12, 13, 14, 15]$
- $X = \sum[4, 5, 6, 7, 9, 10, 11, 12, 13]$
- $Y = \sum[2, 3, 6, 7, 9, 10, 13, 14]$
- $Z = \sum[1, 3, 5, 7, 9, 11, 13, 15]$

Second canonical form; الشكل القانوني الرقمي الثاني

- $W = \prod[0, 1, 2, 3, 4, 5, 6, 7]$
- $X = \prod[0, 1, 2, 3, 14, 15]$
- $Y = \prod[0, 1, 4, 5, 8, 11, 12, 15]$
- $Z = \prod[0, 2, 4, 6, 8, 10, 12, 14]$

4 Karnaugh map مخطط كارنوف

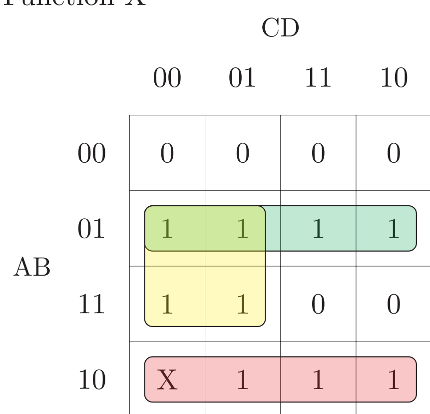
Function W

AB \ CD	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	1	1	1	1
10	X	1	1	1

Simplified form الشكل المبسط

W = a

Function X



AB \ CD	00	01	11	10
00	0	0	0	0
01	1	1	1	1
11	1	1	0	0
10	X	1	1	1

Simplified form الشكل المبسط

X = $a.\bar{b} + \bar{a}.b + b.\bar{c}$

Function Y

AB \ CD	00	01	11	10
00	0	0	1	1
01	0	0	1	1
11	0	1	0	1
10	X	1	0	1

Simplified form الشكل المبسط
Y $= \bar{a}.c + c.\bar{d} + a.\bar{c}.d$

Function Z

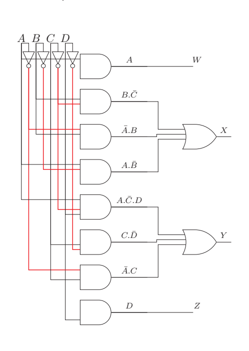
AB \ CD	00	01	11	10
00	0	1	1	0
01	0	1	1	0
11	0	1	1	0
10	X	1	1	0

Simplified form الشكل المبسط
Z $= d$

Simplified forms الشكل المبسط

- $W = a$
- $X = a.\bar{b} + \bar{a}.b + b.\bar{c}$
- $Y = \bar{a}.c + c.\bar{d} + a.\bar{c}.d$
- $Z = d$

5 Logic diagram المخططات المنطقية



9.1.4 Quiz n°4

1 We want to design a circuit that converts a number represented in signed value notation on 4 bits to a representation in 2's complement on 4 bits.

Create the circuit (Inputs/outputs, Truth table, canonical forms, simplification, logic diagram).

نريد تصميم دارة تحول عددا ممثلا في القيمة المطلقة ذات الإشارة على 4 بتات إلى تمثيل المتمم إلى 2 على 4 بتات.

أنجز الدارة (مداخل ومخارج، جدول الحقيقة، الأشكال القانونية، التبسيط، المخطط المنطقي).

Short response إجابة مختصرة

- W $= a.b + a.c + a.d$
- X $= \bar{a}.b + a.\bar{b}.c + a.\bar{b}.d + b.\bar{c}.\bar{d}$
- Y $= \bar{a}.c + c.\bar{d} + a.\bar{c}.d$
- Z $= d$

9.1.5 Quiz n°5

Design a circuit that converts a binary number on 4 bits to Gray code on 4 bits.
Create the circuit (Inputs/outputs, Truth table, canonical forms, simplification, logic diagrams)
نريد تصميم دارة تحول عددا ثنائيا على 4 بتات إلى ترميز غراي على 4 بتات.
أنجز الدارة (مداخل ومخارج، جدول الحقيقة، الأشكال القانونية، التبسيط، المخطط).

9.1.5.1 Correction

1 Inputs/Outputs definition تعريف المداخل والمخارج

- Inputs المداخل: the bits A, B, C, D
  represent a binary number
- Outputs المخارج:
  We use 04 output bits: WXYZ of Gray code, such that:
  for example:
  $ABCD = (0000)_2 \leftarrow WXYZ = (0000)_{gray}$
  $ABCD = (0001)_2 \leftarrow WXYZ = (0001)_{gray}$
  $ABCD = (0010)_2 \leftarrow WXYZ = (0011)_{gray}$

2 Truth table جدول الحقيقة

N°	A	B	C	D	W	X	Y	Z
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	0	0	0	1	1
3	0	0	1	1	0	0	1	0
4	0	1	0	0	0	1	1	0
5	0	1	0	1	0	1	1	1
6	0	1	1	0	0	1	0	1
7	0	1	1	1	0	1	0	0
8	1	0	0	0	1	1	0	0
9	1	0	0	1	1	1	0	1
10	1	0	1	0	1	1	1	1
11	1	0	1	1	1	1	1	0
12	1	1	0	0	1	0	1	0
13	1	1	0	1	1	0	1	1
14	1	1	1	0	1	0	0	1
15	1	1	1	1	1	0	0	0

3 Canonical forms الأشكال القانونية

First canonical form; الشكل القانوني الرقمي الأول

- $W = \sum[8, 9, 10, 11, 12, 13, 14, 15]$
- $X = \sum[4, 5, 6, 7, 8, 9, 10, 11]$
- $Y = \sum[2, 3, 4, 5, 10, 11, 12, 13]$
- $Z = \sum[1, 2, 5, 6, 9, 10, 13, 14]$

Second canonical form; الشكل القانوني الرقمي الثاني

- $W = \prod[0, 1, 2, 3, 4, 5, 6, 7]$
- $X = \prod[0, 1, 2, 3, 12, 13, 14, 15]$
- $Y = \prod[0, 1, 6, 7, 8, 9, 14, 15]$
- $Z = \prod[0, 3, 4, 7, 8, 11, 12, 15]$

4 Karnaugh map مخطط كارنوف

Function W مخطط كارنوف للدالة

AB \ CD	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	1	1	1	1
10	1	1	1	1

Simplified form الشكل المبسط
W = a

LFunction X مخطط كارنوف للدالة

AB \ CD	00	01	11	10
00	0	0	0	0
01	1	1	1	1
11	0	0	0	0
10	1	1	1	1

Simplified form الشكل المبسط
X = $a.\bar{b} + \bar{a}.b$

Function Y مخطط كارنوف للدالة

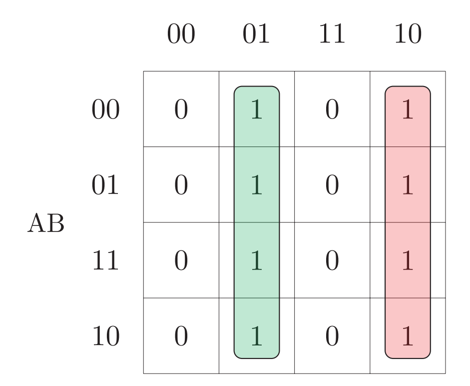
AB \ CD	00	01	11	10
00	0	0	1	1
01	1	1	0	0
11	1	1	0	0
10	0	0	1	1

Simplified form الشكل المبسط
Y $= b.\bar{c} + \bar{b}.c$

Simplified form الشكل المبسط

- $W = a$
- $X = a.\bar{b} + \bar{a}.b$
- $Y = b.\bar{c} + \bar{b}.c$
- $Z = c.\bar{d} + \bar{c}.d$

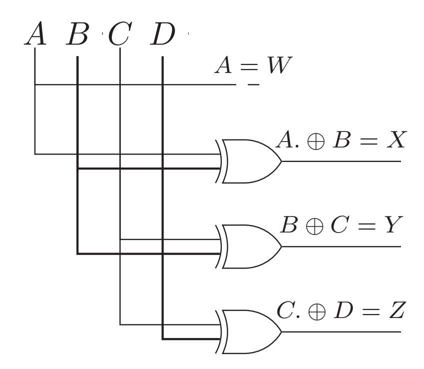
Function Z مخطط كارنوف للدالة



AB \ CD	00	01	11	10
00	0	1	0	1
01	0	1	0	1
11	0	1	0	1
10	0	1	0	1

Simplified form الشكل المبسط
Z $= c.\bar{d} + \bar{c}.d$

5 Logic diagram المخططات المنطقية



9.1.6 Quiz n°6

1 We want to design a circuit that converts a binary number in Gray code on 4 bits to binary on 4 bits.

Create the circuit (Inputs/outputs, Truth table, canonical forms, simplification, logic diagram).

نريد تصميم دارة تحول عددا بترميز غراي على 4 بتات إلى عدد ثنائي على 4 بتات.

أنجز الدارة (مداخل ومخارج، جدول الحقيقة، الأشكال القانونية، التبسيط، المخطط المنطقي).

Short response إجابة مختصرة

- W $= a$
- X $= a.\bar{b} + \bar{a}.b$
- Y $= a.b.c + a.\bar{b}.\bar{c} + \bar{a}.b.\bar{c} + \bar{a}.\bar{b}.c$
- Z $= a.b.c.\bar{d} + a.b.\bar{c}.d + a.\bar{b}.c.d + \bar{a}.b.c.d + a.\bar{b}.\bar{c}.\bar{d} + \bar{a}.b.\bar{c}.\bar{d} + \bar{a}.\bar{b}.c.\bar{d} + \bar{a}.\bar{b}.\bar{c}.d$

9.1.7 Quiz n°7

We want to design a circuit that converts a binary number in BCD on 4 bits to Excess-3 code on 4 bits. Implement the circuit (Inputs/outputs, Truth table, canonical forms, simplification, logic diagrams)

نريد تصميم دارة تحول عددا ثنائيا ممثلا في BCD على 4 بتات إلى تمثيل Excess3 على 4 بتات.

أنجز الدارة (مداخل ومخارج، جدول الحقيقة، الأشكال القانونية، التبسيط، المخطط).

9.1.7.1 Correction

1 Inputs/Outputs definition تعريف المداخل والمخارج

- Inputs المداخل: the bits A, B, C, D
  represent a number in BCD
- Outputs المخارج:
  We use 04 output bits: WXYZ of Excess-3 code, such that:
  $(WXYZ = ABCD + 11)_2$
  We notice that numbers > 9 represent forbidden cases. for example:
  $ABCD = (0000)_{bcd} \leftarrow WXYZ = (0011)_{ex3}$
  $ABCD = (0001)_{bcd} \leftarrow WXYZ = (0100)_{ex3}$
  $ABCD = (1001)_{bcd} \leftarrow WXYZ = (1100)_{ex3}$
  $ABCD = (1010)_{bcd} \leftarrow WXYZ = (XXXX)_{ex3}$
  $ABCD = (1111)_{bcd} \leftarrow WXYZ = (XXXX)_{ex3}$

2 Truth table جدول الحقيقة

N°	A	B	C	D	W	X	Y	Z
0	0	0	0	0	0	0	1	1
1	0	0	0	1	0	1	0	0
2	0	0	1	0	0	1	0	1
3	0	0	1	1	0	1	1	0
4	0	1	0	0	0	1	1	1
5	0	1	0	1	1	0	0	0
6	0	1	1	0	1	0	0	1
7	0	1	1	1	1	0	1	0
8	1	0	0	0	1	0	1	1
9	1	0	0	1	1	1	0	0
10	1	0	1	0	X	X	X	X
11	1	0	1	1	X	X	X	X
12	1	1	0	0	X	X	X	X
13	1	1	0	1	X	X	X	X
14	1	1	1	0	X	X	X	X
15	1	1	1	1	X	X	X	X

3 Canonical forms الأشكال القانونية

- $W = \sum[5, 6, 7, 8, 9]$
- $W = \prod[0, 1, 2, 3, 4, 10, 11]$
- $X = \sum[1, 2, 3, 4, 9]$
- $X = \prod[0, 5, 6, 7, 8, 13, 14, 15]$
- $Y = \sum[0, 3, 4, 7, 8]$
- $Y = \prod[1, 2, 5, 6, 9, 10, 13, 14]$
- $Z = \sum[0, 2, 4, 6, 8]$
- $Z = \prod[1, 3, 5, 7, 9, 11, 13, 15]$

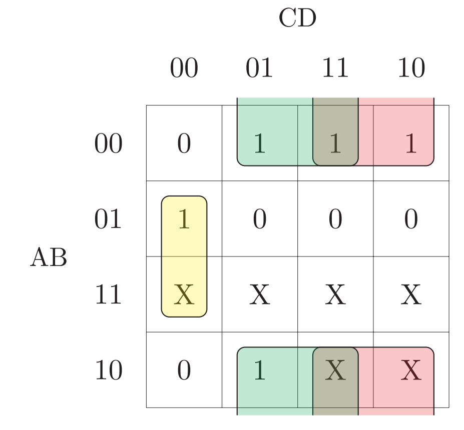
4 Karnaugh map مخطط كارنوف

Function W مخطط كارنوف للدالة

AB \ CD	00	01	11	10
00	0	0	0	0
01	0	1	1	1
11	X	X	X	X
10	1	1	X	X

Simplified function الشكل المبسط
W $= b.c + b.d + a.\bar{c}$

Function X مخطط كارنوف للدالة



Simplified function الشكل المبسط
X $= \bar{b}.c + \bar{b}.d + b.\bar{c}.\bar{d}$

Function Y مخطط كارنوف للدالة

AB \ CD	00	01	11	10
00	1	0	1	0
01	1	0	1	0
11	X	X	X	X
10	1	0	X	X

Simplified function الشكل المبسط
Y $= c.d + \bar{c}.\bar{d}$

Simplified functions الشكل المبسط

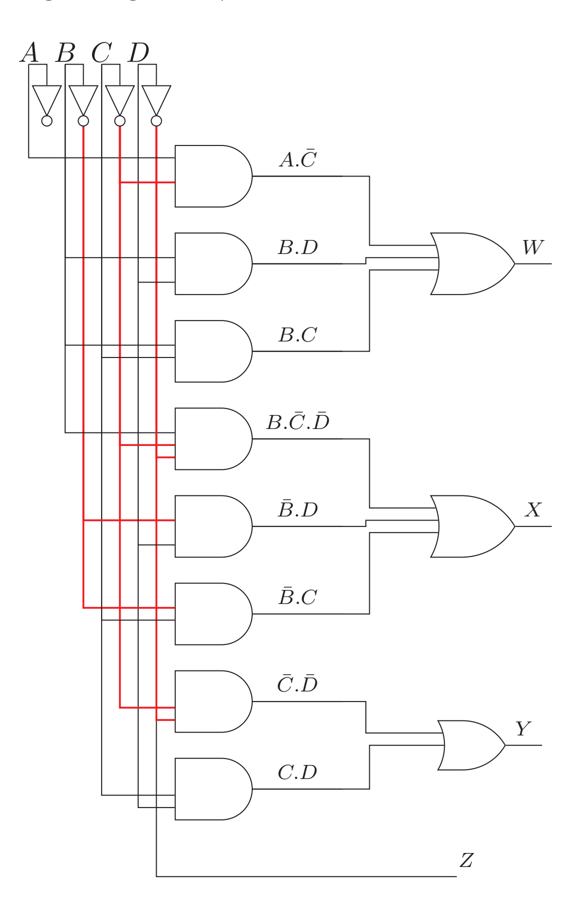
- $W = b.c + b.d + a.\bar{c}$
- $X = \bar{b}.c + \bar{b}.d + b.\bar{c}.\bar{d}$
- $Y = c.d + \bar{c}.\bar{d}$
- $Z = \bar{d}$

Function Z مخطط كارنوف للدالة

AB \ CD	00	01	11	10
00	1	0	0	1
01	1	0	0	1
11	X	X	X	X
10	1	0	X	X

Simplified function الشكل المبسط
Z $= \bar{d}$

5 Logic diagram المخططات المنطقية



9.1.8 Quiz n°8

1 We want to design a circuit that converts a binary number in Excess 3 notation on 4 bits to BCD code on 4 bits.

Create the circuit (Inputs/outputs, Truth table, canonical forms, simplification, logic diagram).

نريد تصميم دارة تحول عددا ثنائيا ممثلا في Excess3 على 4 بتات إلى تمثيل BCD على 4 بتات.

أنجز الدارة (مداخل ومخارج، جدول الحقيقة، الأشكال القانونية، التبسيط، المخطط المنطقي).

Short response إجابة مختصرة

- W $= a.b + a.c.d$
- X $= b.c.d + a.\bar{b}.\bar{c} + a.\bar{b}.\bar{d}$
- Y $= c.\bar{d} + \bar{c}.d$
- Z $= \bar{d}$

9.1.9 Quiz n°9

We want to create a circuit which allows us to convert a 4-bit binary number into the 4-bit $ROT(-5)$ rotation code.
Create the circuit (Inputs/outputs, Truth table, canonical forms, simplification, flowcharts)
Example:

نريد تصميم دارة تحول عددا ثنائيا على 4 بتات إلى ترميز دوران -5 على 4 بتات.
أنجز الدارة (مداخل ومخارج، جدول الحقيقة، الأشكال القانونية، التبسيط، المخطط).
مثال:

$$ROT_{-5}(0111) => (0010)$$
$$ROT_{-5}(0101) => (0000)$$
$$ROT_{-5}(0100) => (1111)$$

9.1.9.1 Correction

1 Inputs/Outputs definition تعريف المداخل والمخارج

- Inputs المداخل: bits A, B, C, D
  represent a binary number
- Outputs المخارج
  We use 04 bits: WXYZ as output of $ROT(-5)$, as: $(WXYZ = ABCD - 101)_2$
  for example: $ABCD = (0101)_2 \leftarrow WXYZ = (0000)_{rot-5}$
  $ABCD = (0110)_2 \leftarrow WXYZ = (0001)_{rot-5}$
  $ABCD = (1111)_2 \leftarrow WXYZ = (1010)_{rot-5}$
  numbers less than 5 are rotating
  $ABCD = (0100)_2 \leftarrow WXYZ = (1111)_{rot-5}$
  $ABCD = (0011)_2 \leftarrow WXYZ = (1110)_{rot-5}$

2 Truth table جدول الحقيقة

N°	A	B	C	D	W	X	Y	Z
0	0	0	0	0	1	0	1	1
1	0	0	0	1	1	1	0	0
2	0	0	1	0	1	1	0	1
3	0	0	1	1	1	1	1	0
4	0	1	0	0	1	1	1	1
5	0	1	0	1	0	0	0	0
6	0	1	1	0	0	0	0	1
7	0	1	1	1	0	0	1	0
8	1	0	0	0	0	0	1	1
9	1	0	0	1	0	1	0	0
10	1	0	1	0	0	1	0	1
11	1	0	1	1	0	1	1	0
12	1	1	0	0	0	1	1	1
13	1	1	0	1	1	0	0	0
14	1	1	1	0	1	0	0	1
15	1	1	1	1	1	0	1	0

3 Canonical forms الأشكال القانونية

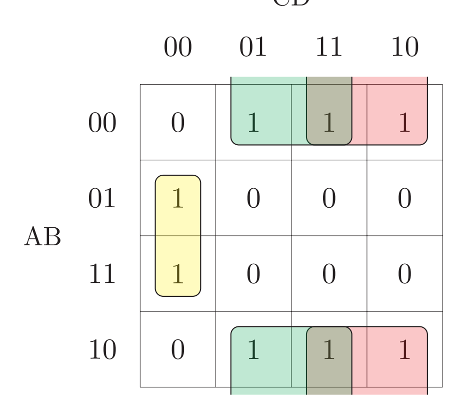
- $W = \sum[0, 1, 2, 3, 4, 13, 14, 15]$
- $W = \prod[5, 6, 7, 8, 9, 10, 11, 12]$
- $X = \sum[1, 2, 3, 4, 9, 10, 11, 12]$
- $X = \prod[0, 5, 6, 7, 8, 13, 14, 15]$
- $Y = \sum[0, 3, 4, 7, 8, 11, 12, 15]$
- $Y = \prod[1, 2, 5, 6, 9, 10, 13, 14]$
- $Z = \sum[0, 2, 4, 6, 8, 10, 12, 14]$
- $Z = \prod[1, 3, 5, 7, 9, 11, 13, 15]$

4 Karnaugh map مخطط كارنوف

Function W مخطط كارنوف للدالة

AB \ CD	00	01	11	10
00	1	1	1	1
01	1	0	0	0
11	0	1	1	1
10	0	0	0	0

Function X مخطط كارنوف للدالة



Simplified form الشكل المبسط
W $= a.b.c + a.b.d + \bar{a}.\bar{b} + \bar{a}.\bar{c}.\bar{d}$

Simplified form الشكل المبسط
X $= \bar{b}.c + \bar{b}.d + b.\bar{c}.\bar{d}$

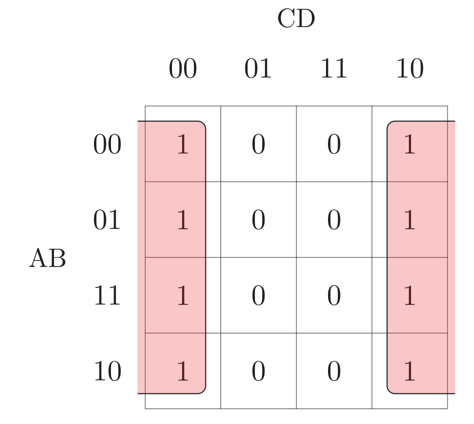
Function Y مخطط كارنوف للدالة

AB \ CD	00	01	11	10
00	1	0	1	0
01	1	0	1	0
11	1	0	1	0
10	1	0	1	0

Simplified form الشكل المبسط

Y $= c.d + \bar{c}.\bar{d}$

Function Z مخطط كارنوف للدالة



AB \ CD	00	01	11	10
00	1	0	0	1
01	1	0	0	1
11	1	0	0	1
10	1	0	0	1

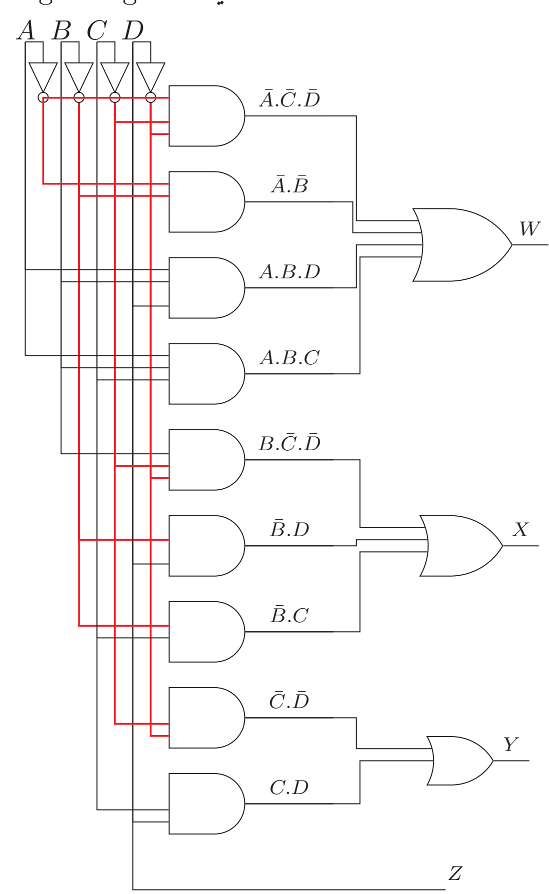
Simplified form الشكل المبسط

Z $= \bar{d}$

Simplified form الشكل المبسط

- $X = \bar{b}.c + \bar{b}.d + b.\bar{c}.\bar{d}$
- $W = a.b.c + a.b.d + \bar{a}.\bar{b} + \bar{a}.\bar{c}.\bar{d}$
- $Y = c.d + \bar{c}.\bar{d}$
- $Z = \bar{d}$

5 Logic diagram المخططات المنطقية



9.2 Tests n°2

9.2.1 Quiz n°1

We want to design a circuit that converts from BCD code to Excess-3 code.

1 Provide the truth table. أعط جدول الحقيقة

- Inputs: the bits A, B, C, D represent a number in BCD.
- Outputs: We use 04 bits: WXYZ as the Excess-3 output code, such that: $(WXYZ = ABCD + 11)_2$

  We notice that numbers greater than 9 represent forbidden cases. For example: $ABCD = (0000)_{bcd} \leftarrow WXYZ = (0011)_{ex3}$

  $ABCD = (0001)_{bcd} \leftarrow WXYZ = (0100)_{ex3}$

  $ABCD = (1001)_{bcd} \leftarrow WXYZ = (1100)_{ex3}$

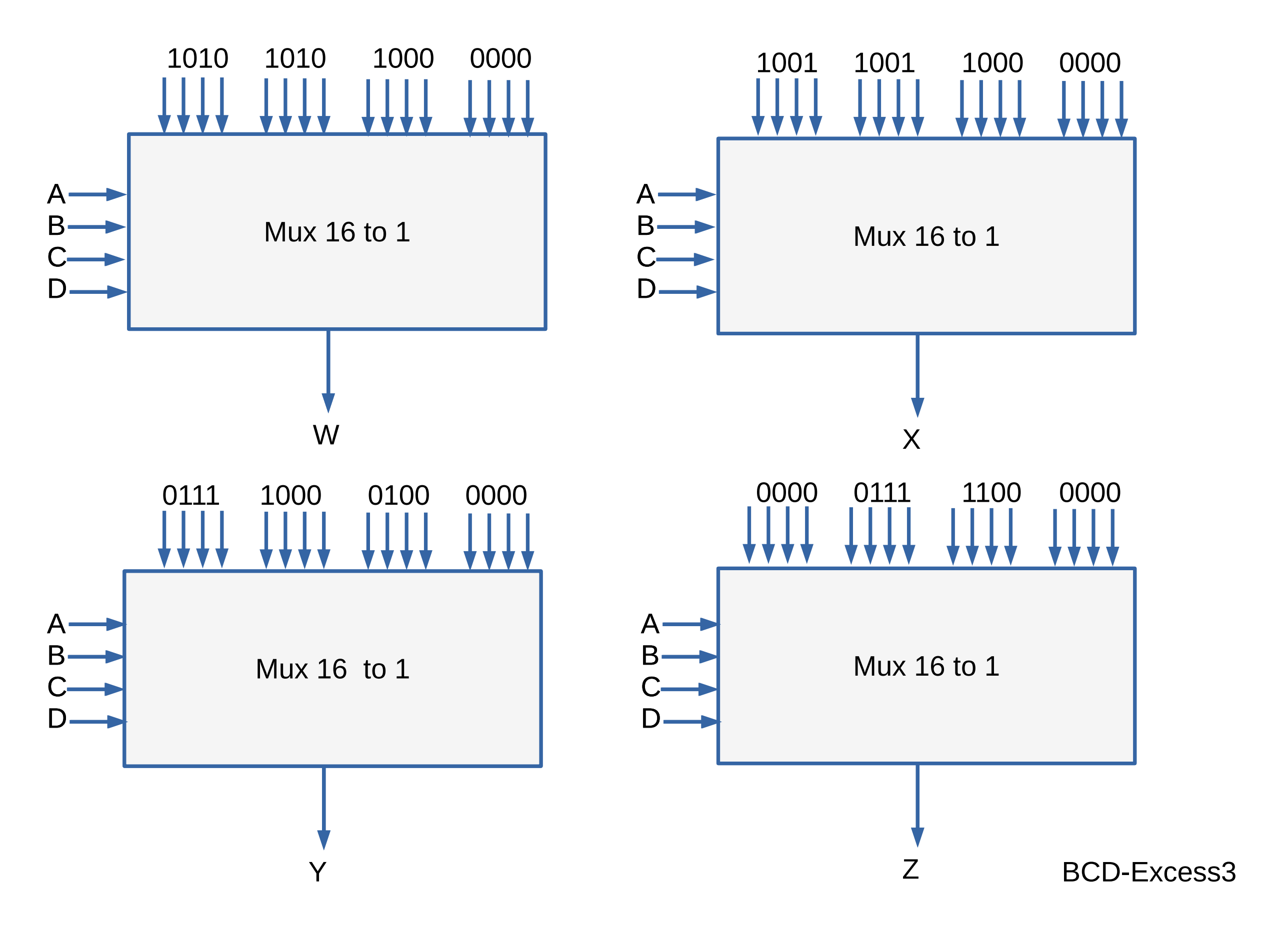
  $ABCD = (1010)_{bcd} \leftarrow WXYZ = (\times\times\times\times)_{ex3}$

  $ABCD = (1111)_{bcd} \leftarrow WXYZ = (\times\times\times\times)_{ex3}$

Truth Table

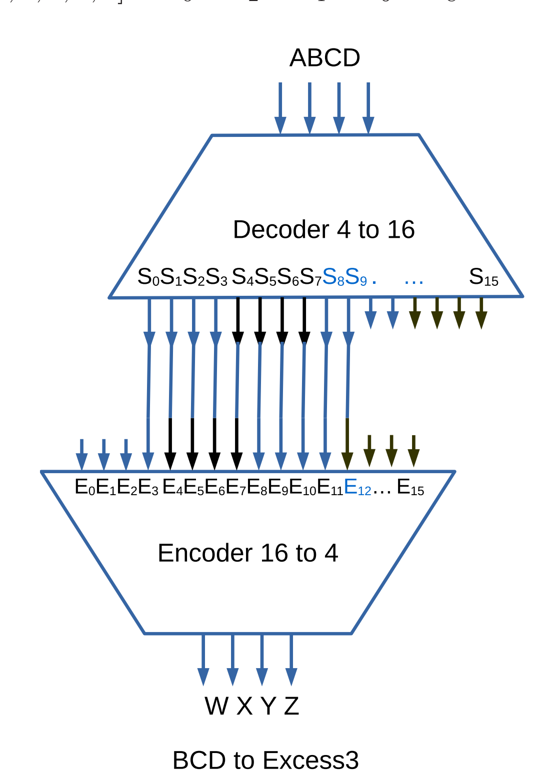
N°	X	A	B	C	W	X	Y	Z
0	0	0	0	0	0	0	1	1
1	0	0	0	1	0	1	0	0
2	0	0	1	0	0	1	0	1
3	0	0	1	1	0	1	1	0
4	0	1	0	0	0	1	1	1
5	0	1	0	1	1	0	0	0
6	0	1	1	0	1	0	0	1
7	0	1	1	1	1	0	1	0
8	1	0	0	0	1	0	1	1
9	1	0	0	1	1	1	0	0
10	1	0	1	0	×	×	×	×
11	1	0	1	1	×	×	×	×
12	1	1	0	0	×	×	×	×
13	1	1	0	1	×	×	×	×
14	1	1	1	0	×	×	×	×
15	1	1	1	1	×	×	×	×

2 Create the circuit using multiplexers only. أنجز الدارة بواسطة مجمّعات فقط



3 Create the circuit using only a decoder and encoders. أنجز الدارة بواسطة مرمّز واحد، ومفكك واحد فقط

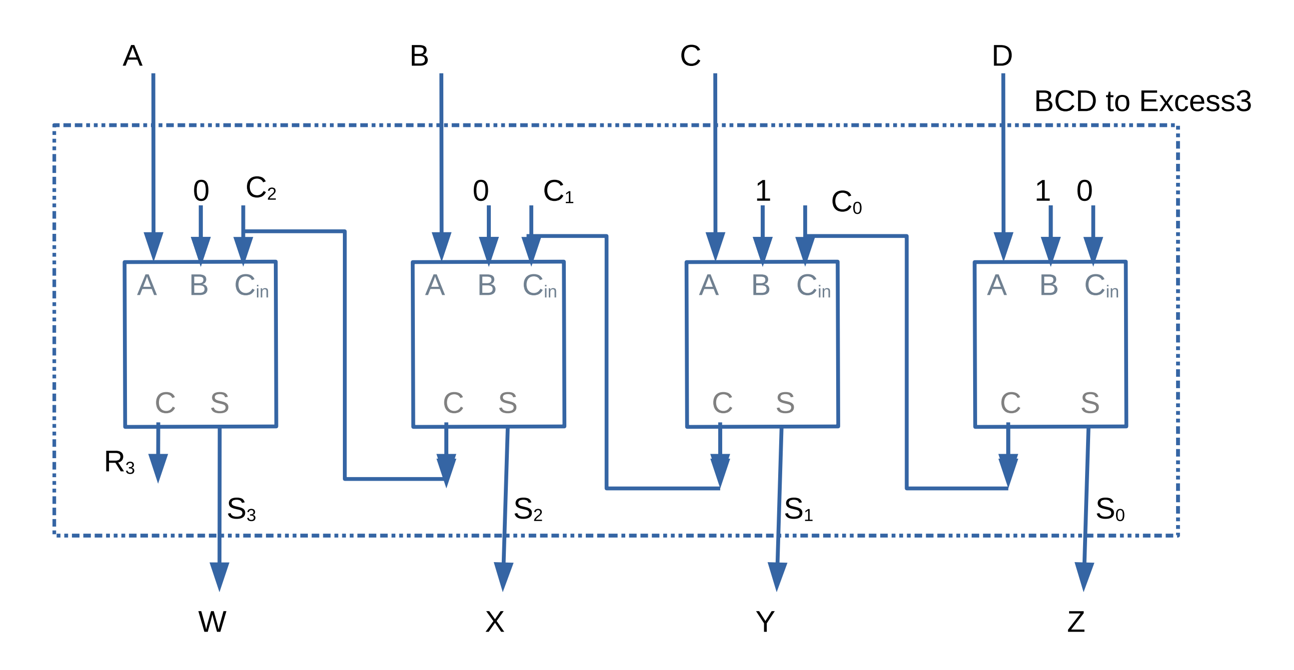
- $W(A, B, C, D) = \sum[5, 6, 7, 8, 9] = S_5 + S_6 + S_7 + S_8 + S_9$
- $X(A, B, C, D) = \sum[1, 2, 3, 4, 9] = S_1 + S_2 + S_3 + S_4 + S_9$
- $Y(A, B, C, D) = \sum[0, 3, 4, 7, 8] = S_0 + S_3 + S_4 + S_7 + S_8$
- $Z(A, B, C, D) = \sum[0, 2, 4, 6, 8] = S_0 + S_2 + S_4 + S_6 + S_8$



4 Create the circuit using only full adders.

أنجز الدارة بواسطة دارات جمع كامل فقط

Excess-3 = BCD + 3, so $(WXYZ)_2 = (ABCD)_2 + (0011)_2$



9.2.2 Quiz n°2

1 Create circuit M1 which multiplies 3 bits by 1 bit.

- Provide the block diagram of M1.
- Truth table.
- Logic diagram.

2 Provide the block diagram of a full adder (ADD3) for two 3-bit numbers each.

3 Create the ADD3 using full adders for 1 bit each.

4 Consider circuit M3 which multiplies two 3-bit numbers ($ABC \times DEF$):

- Create circuit M3 using circuits of type M1 and ADD3.
- **Note:** The truth table is not requested.

1 أنجز الدارة M1 التي تسمح بضرب عدد به 3 بتات بعدد آخر به 1 بت.

- أعط المخطط المصمت للدارة M1،
- جدول الحقيقة،
- والمخطط المنطقي.

2 أعط المخطط المصمت لدارة جمع كامل لعددين، كل منهما به 3 بتات، نسمي الدارة ADD3.

3 أنجز الدارة ADD3 بواسطة دارات جمع كامل لبت واحد.

4 لتكن الدارة M3 تضرب عددين، كل منهما له 3 بتات، $(ABC \times DEF)$.

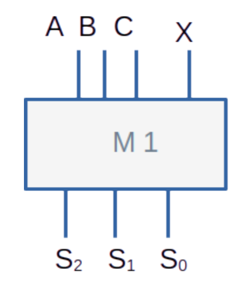
- أنجز الدارة بواسطة دارات M1 و ADD3 فقط
- **ملحوظة:** جدول الحقيقة غير مطلوب

Correction

1 Create circuit M1 which multiplies 3 bits by 1 bit.

أنجز الدارة M1 التي تسمح بضرب عدد به 3 بتات بعدد آخر به 1 بت.

a. Block diagram المخطط المصمت



- Inputsالمداخل:

  → 1 bit number X: 0/1

  → 3 bits number: ABC
- Outputs المخارج

  → 3 bits $S_2 S_1 S_0$

b. Truth Table جدول الحقيقة

N°	X	A	B	C	S_2	S_1	S_0
0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0
2	0	0	1	0	0	0	0
3	0	0	1	1	0	0	0
4	0	1	0	0	0	0	0
5	0	1	0	1	0	0	0
6	0	1	1	0	0	0	0
7	0	1	1	1	0	0	0
8	1	0	0	0	0	0	0
9	1	0	0	1	0	0	1
10	1	0	1	0	0	1	0
11	1	0	1	1	0	1	1
12	1	1	0	0	1	0	0
13	1	1	0	1	1	0	1
14	1	1	1	0	1	1	0
15	1	1	1	1	1	1	1

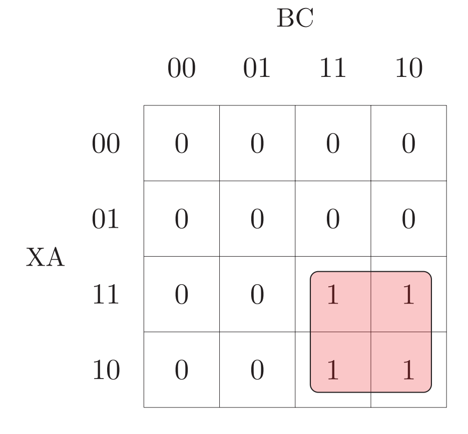
c. Karnaugh map مخطط كارنوف

- Function S2 الدالة

XA \ BC	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	1	1	1	1
10	0	0	0	0

Simplified form الشكل المبسط
S2 $= a.x$

- Function S1 الدالة



XA \ BC	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	0	0	1	1
10	0	0	1	1

Simplified form الشكل المبسط
S1 $= b.x$

- Function S0 الدالة

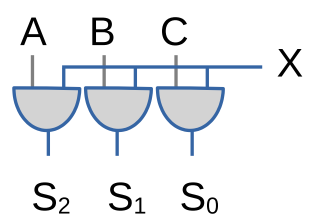
XA \ BC	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	0	1	1	0
10	0	1	1	0

Simplified form الشكل المبسط
S0 $= c.x$

Simplified forms :

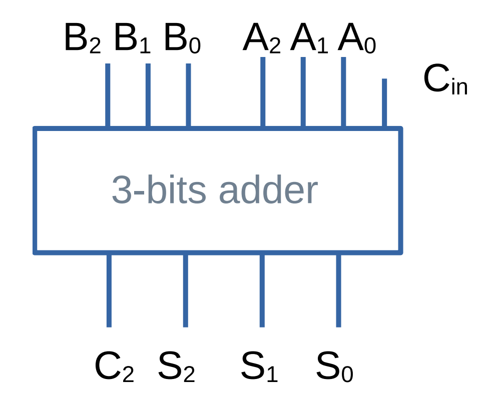
- S2(X, A, B, C) $= a.x$
- S1(X, A, B, C) $= b.x$
- S0(X, A, B, C) $= c.x$

d. Logic diagram المخططات المنطقية



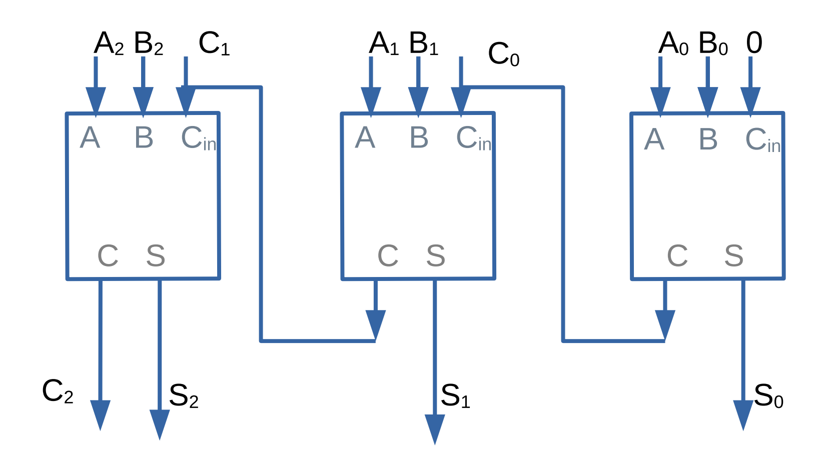
e. Provide the block diagram of a full adder (ADD3) for two 3-bit numbers each.

أعط المخطط المصمم لدارة جمع كامل لعددين، كل منهما به 3 بتات، نسمي الدارة ADD3.



f. Create the ADD3 using full adders for 1 bit each.

أنجز الدارة ADD3 بواسطة دارات جمع كامل لبت واحد.

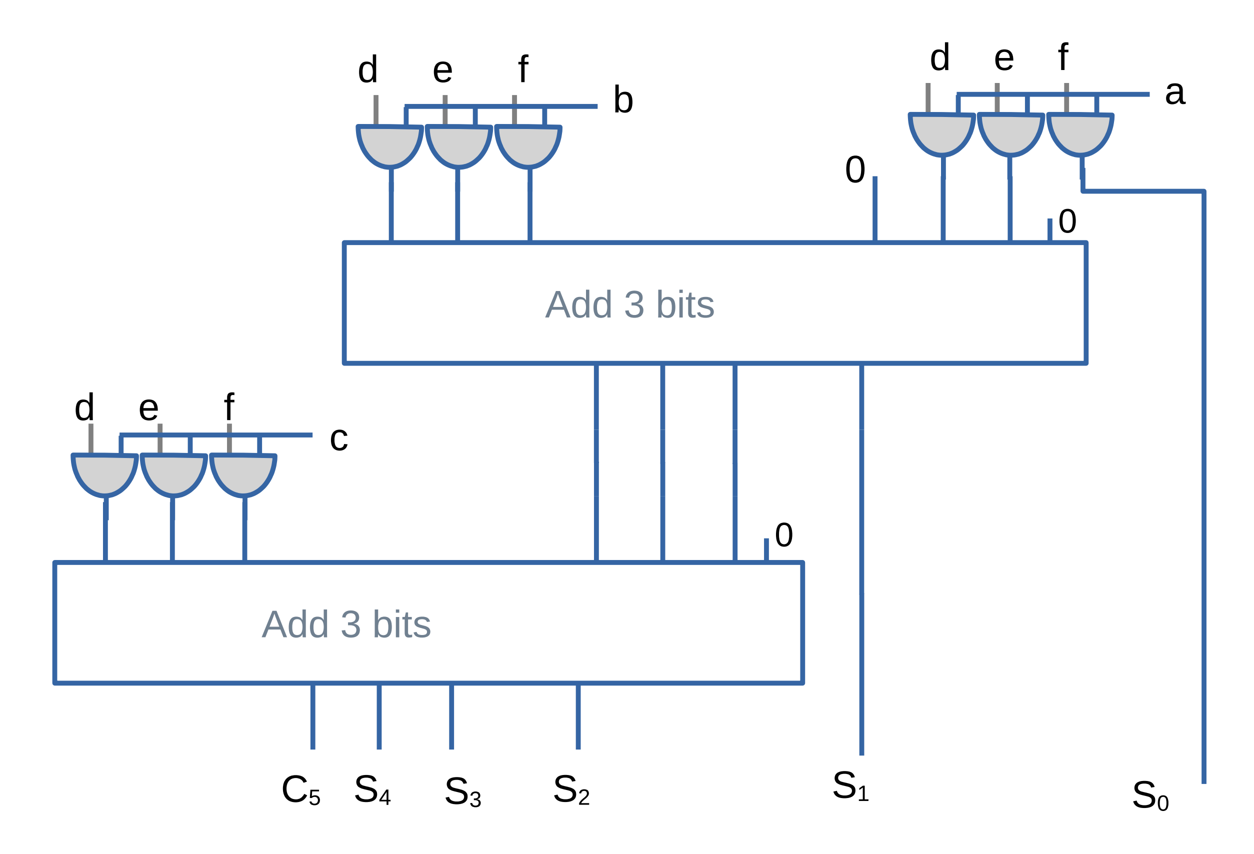


g. Consider circuit M3 which multiplies two 3-bit numbers (ABC * DEF):

لتكن الدارة M3 تضرب عددين، كل منهما له 3 بتات، $ABC \times DEF$.

- Create circuit M3 using circuits of type M1 and ADD3.

- أنجز الدارة بواسطة دارات M1 و ADD3 فقط



Multiplication 3*3 bits

9.2.3 Quiz n°3

We want to design a circuit, Comp2, which converts a number represented in signed value to two's complement on 4 bits.

1. Provide the block diagram (inputs/outputs).
2. Provide the Truth Table for conversion to one's complement.
3. Provide the Truth Table for conversion to two's complement.
4. Create the Comp2 circuit using only multiplexers.
5. Create the Comp2 circuit using a decoder and an encoder.
6. Create the circuit using full adders (1 bit) and a minimum of logic gates.

نريد تصميم دارة Comp2 تحوّل من ترميز القيمة المطلقة إلى ترميز المتمم إلى الاثنين على 4 بتات.

1. ارسم المخطط المصمت
2. أعط جدول الحقيقة للتحويل إلى المتمم إلى 1.
3. أعط جدول الحقيقة للتحويل إلى المتمم إلى 2.
4. أنجز دارة التحويل إلى المتمم إلى2 بواسطة مجمعات فقط.
5. أنجز الدارة بواسطة مفكك ترميز واحد ومرمّز واحد.

6 أنجز الدارة بواسطة دارات الجمع الكامل لبت واحد، وأقل ما يمكن من البوابات المنطقية.

Correction

We want to design a circuit, Comp2, which converts a number represented in absolute value to two's complement on 4 bits.

نريد تصميم دارة Comp2 تحوّل من ترميز القيمة المطلقة إلى ترميز المتمم إلى الاثنين على 4 بتات.

1 Provide the block diagram (inputs/outputs).

2 Provide the Truth Table for conversion to one's complement.

أعط جدول الحقيقة للتحويل إلى المتمم إلى 1

N°	X	A	B	C	S3	S2	S1	S0
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	0	0	0	1	0
3	0	0	1	1	0	0	1	1
4	0	1	0	0	0	1	0	0
5	0	1	0	1	0	1	0	1
6	0	1	1	0	0	1	1	0
7	0	1	1	1	0	1	1	1
8	1	0	0	0	1	1	1	1
9	1	0	0	1	1	1	1	0
10	1	0	1	0	1	1	0	1
11	1	0	1	1	1	1	0	0
12	1	1	0	0	1	0	1	1
13	1	1	0	1	1	0	1	0
14	1	1	1	0	1	0	0	1
15	1	1	1	1	0	0	0	0

3 Provide the Truth Table for conversion to two's complement.

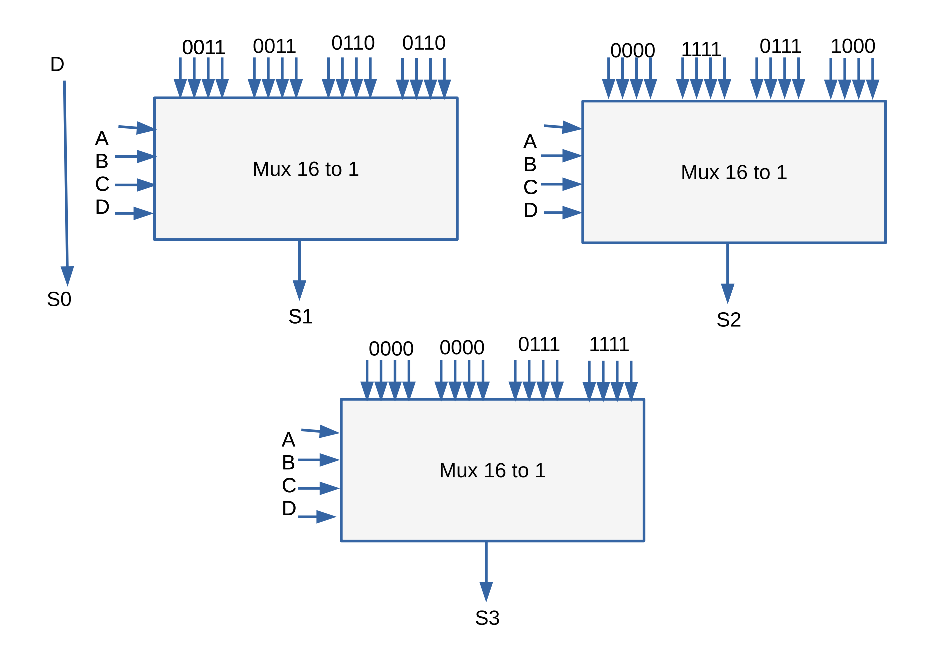
أعط جدول الحقيقة للتحويل إلى المتمم إلى 2

N°	X	A	B	C	S3	S2	S1	S0
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	0	0	0	1	0
3	0	0	1	1	0	0	1	1
4	0	1	0	0	0	1	0	0
5	0	1	0	1	0	1	0	1
6	0	1	1	0	0	1	1	0
7	0	1	1	1	0	1	1	1
8	1	0	0	0	0	0	0	0
9	1	0	0	1	1	1	1	1
10	1	0	1	0	1	1	1	0
11	1	0	1	1	1	1	0	1
12	1	1	0	0	1	1	0	0
13	1	1	0	1	1	0	1	1
14	1	1	1	0	1	0	1	0
15	1	1	1	1	1	0	0	1

4 Create the Comp2 circuit using only multiplexers.

أنجز دارة التحويل إلى المتمم إلى2 بواسطة مجمعات فقط

We need only 3 multiplexers because S0 does not need to be represented with more than one line.



5 Create the Comp2 circuit using a decoder and an encoder.

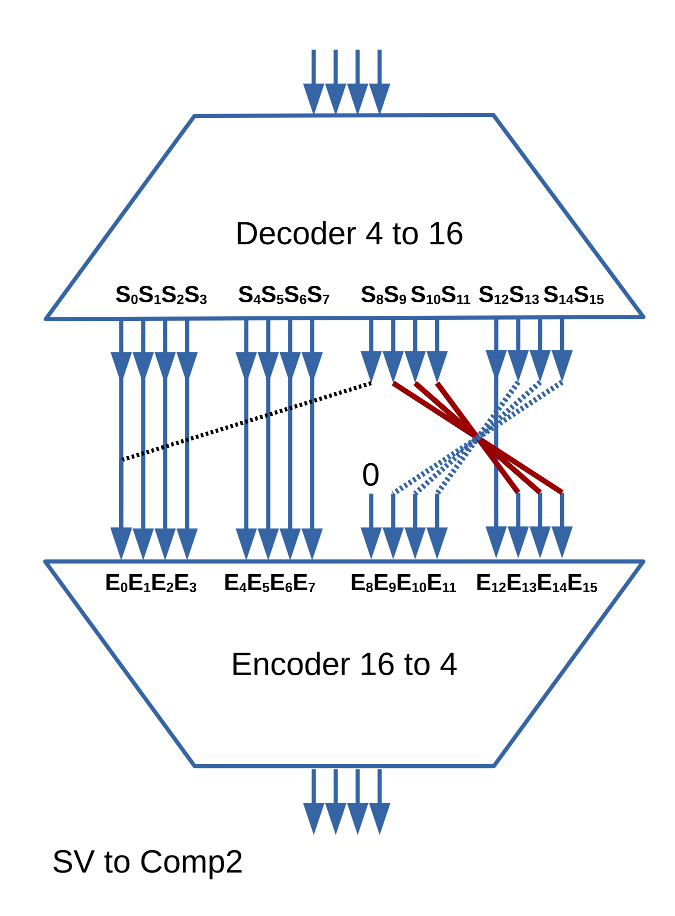
أنجز الدارة بواسطة مفكك ترميز واحد ومرمّز واحد.

N°	X	A	B	C	S3	S2	S1	S0	Encoders
0	0	0	0	0	0	0	0	0	I_0
1	0	0	0	1	0	0	0	1	I_1
2	0	0	1	0	0	0	1	0	I_2
3	0	0	1	1	0	0	1	1	I_3
4	0	1	0	0	0	1	0	0	I_4
5	0	1	0	1	0	1	0	1	I_5
6	0	1	1	0	0	1	1	0	I_6
7	0	1	1	1	0	1	1	1	I_7
8	1	0	0	0	0	0	0	0	I_0
9	1	0	0	1	1	1	1	1	I_{15}
10	1	0	1	0	1	1	1	0	I_{14}
11	1	0	1	1	1	1	0	1	I_{13}
12	1	1	0	0	1	1	0	0	I_{12}
13	1	1	0	1	1	0	1	1	I_{11}
14	1	1	1	0	1	0	1	0	I_{10}
15	1	1	1	1	1	0	0	1	I_9

We notice that:

- For cases between 0 and 7: the same number is produced.
- Cases from 8 to 15: correspond to the numbers (0, 15, 14, 13, 12, 11, 10, 9).
- The encoder input number 8 has no entry, to be forced to 0.

Therefore, we can change the outputs of the decoders and the inputs of the encoder.



6 Create the circuit using full adders (1 bit) and a minimum of logic gates.

أنجز الدارة بواسطة دارات الجمع الكامل لبت واحد، وأقل ما يمكن من البوابات المنطقية.

يُحسب المتمم إلى 2 من المتمم إلى الواحد،

من جدول الحقيقة وبعد تبسيط الدوال نلاحظ أنّ

$S_3 = a$

$S_2 = \bar{a}b + a\bar{b} = a \oplus b$

$S_1 = \bar{a}c + a\bar{c} = a \oplus c$

$S_0 = \bar{a}d + a\bar{d} = a \oplus d$

9.2.4 Quiz n°4

Given a binary information on 4 bits $(i_3i_2i_1i_0)$, we want to design the circuit CNT that counts the number of 0s in the input information.

1 Provide the block diagram (inputs/outputs).

2 Provide the truth table.

3 Create the CNT circuit using only multiplexers.

4 Create the CNT circuit using a decoder and an encoder.

5 We want to turn on lamps, where each lamp has a number corresponding to the number of zeros. Use the CNT circuit and a decoder to turn on the lamps.

لدينا معلومة ثنائية على 4 بتات $(i_3i_2i_1i_0)$، نريد تصميم الدارة CNT التي تحسب عدد الأصفار في المعلومة المُدخلة.

1 ارسم المخطط المصمت

2 أعط جدول الحقيقة

3 أنجز الدارة CNT بواسطة مجمعات فقط.

4 أنجز الدارة بواسطة مفكك ترميز واحد ومرمّز واحد.

5 نريد إضاءة مصابيح، كل مصباح عليه رقم يطابق عدد الأصفار، استعمل الدارة CNT ومفكك ترميز لإشعال المصابيح.

Correction

Short response إجابة مختصرة

Given a binary information on 4 bits $(i_3i_2i_1i_0)$, we want to design the circuit CNT that counts the number of 0s in the input information.

لدينا معلومة ثنائية على 4 بتات $(i_3i_2i_1i_0)$،نريد تصميم الدارةCNT التي تحسب عدد الأصفار في المعلومة المُدخلة.

1 Provide the block diagram (inputs/outputs) ارسم المخطط المصمت

2 Provide the truth table.

أعط جدول الحقيقة

Numeric canonical forms $S_2 = \sum(0)$

$S_1 = \sum(1, 2, 3, 4, 5, 6, 8, 9, 10, 12)$

$S_0 = \sum(1, 2, 4, 7, 8, 11, 13, 14)$

3 Create the CNT circuit using only multiplexers.

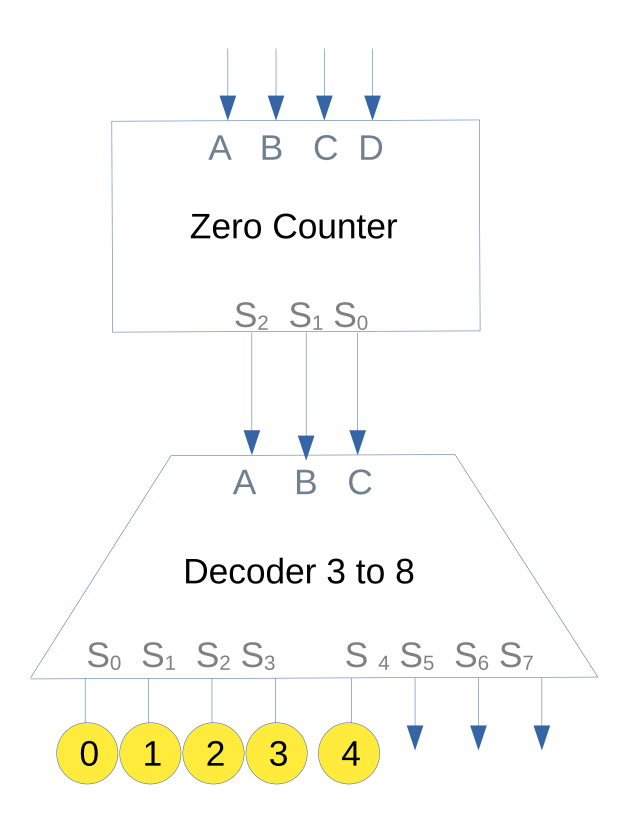
أنجز الدارة CNT بواسطة مجمعات فقط

4 Create the CNT circuit using a decoder and an encoder.

أنجز الدارة بواسطة مفكك ترميز واحد ومرمّز واحد.

5 We want to turn on lamps, where each lamp has a number corresponding to the number of zeros. Use the CNT circuit and a decoder to turn on the lamps.

نريد إضاءة مصابيح، كل مصباح عليه رقم يطابق عدد الأصفار، استعمل الدارة CNT ومفكك ترميز لإشعال المصابيح.



9.2.5 Quiz n°5

We want to turn on 8 lamps as follows: we turn on the lamps whose number is less than or equal to the number N provided as input.

1. Provide the block diagram (inputs/outputs).
2. Provide the truth table.
3. Create the circuit using only multiplexers.
4. Create the circuit using a decoder and an encoder.
5. Create the circuit using a decoder and a minimum of logic gates with only two inputs.

نريد إضاءة 8 مصابيح، بحيث نضيء المصابيح التي رقمها أقل من أو يساوي العدد المعطى في المدخل.

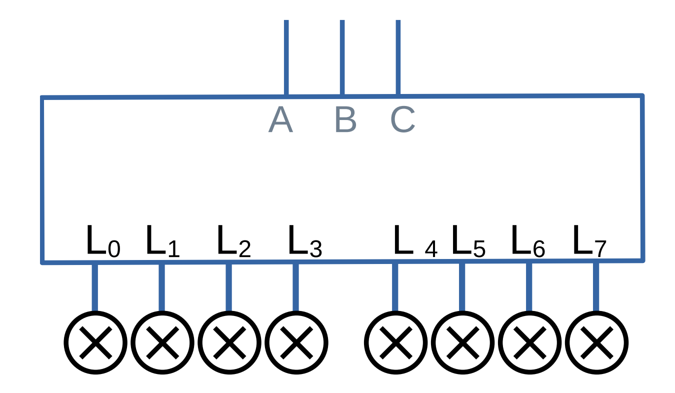
1. ارسم المخطط المصمت
2. أعط جدول الحقيقة.
3. أنجز الدارة بواسطة مجمعات فقط.
4. أنجز الدارة بواسطة مفكك ترميز واحد ومرمّز واحد.
5. أنجز الدارة بواسطة مفكك ترميز عادي وأقل ما يمكن من البوابات المنطقية ذات مدخلين.

Correction

We want to turn on 8 lamps as follows: we turn on the lamps whose number is less than or equal to the number N provided as input.
نريد إضاءة 8 مصابيح، بحيث نضيء المصابيح التي رقمها أقل من أو يساوي العدد المعطى في المدخل.

1 Provide the block diagram (inputs/outputs).

ارسم المخطط المصمت



2 Provide the truth table.

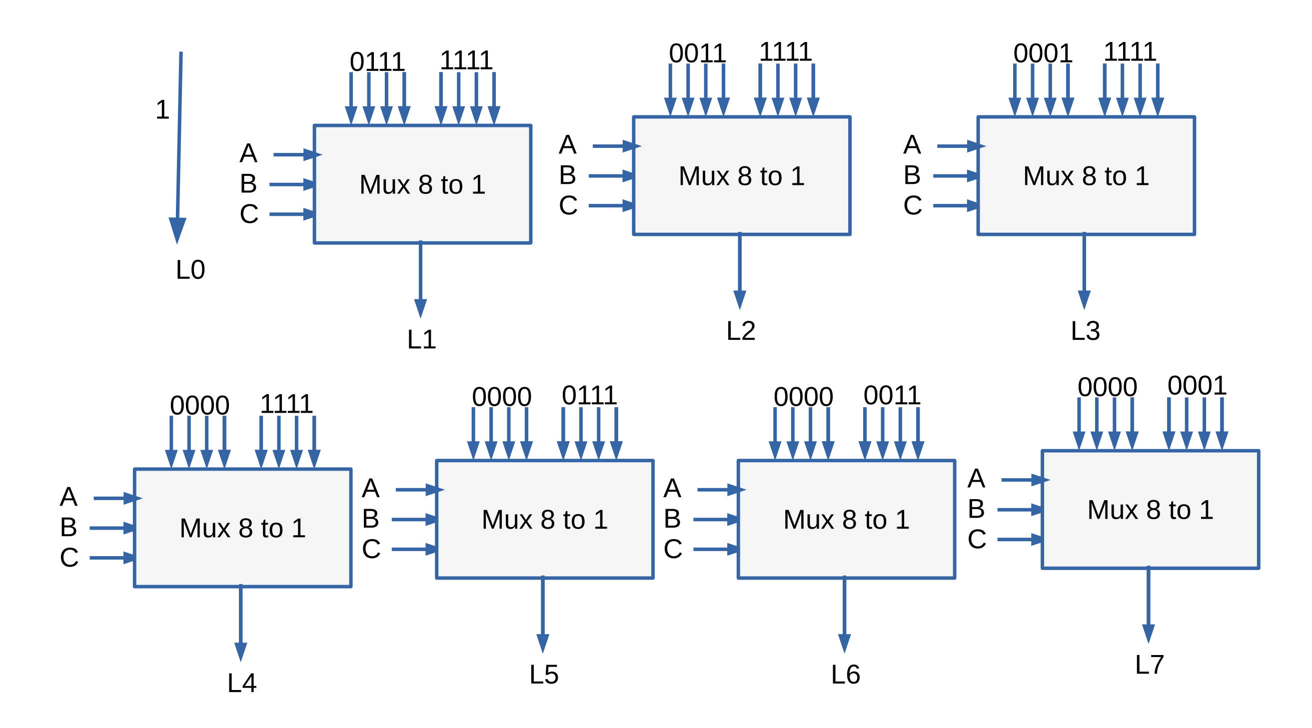
أعط جدول الحقيقة

Truth Table

A	B	C	L_0	L_1	L_2	L_3	L_4	L_5	L_6	L_7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	1	1	0	0	0	0	0	0
0	1	0	1	1	1	0	0	0	0	0
0	1	1	1	1	1	1	0	0	0	0
1	0	0	1	1	1	1	1	0	0	0
1	0	1	1	1	1	1	1	1	0	0
1	1	0	1	1	1	1	1	1	1	0
1	1	1	1	1	1	1	1	1	1	1

3 Create the circuit using only multiplexers

أنجز الدارة بواسطة مجمعات فقط

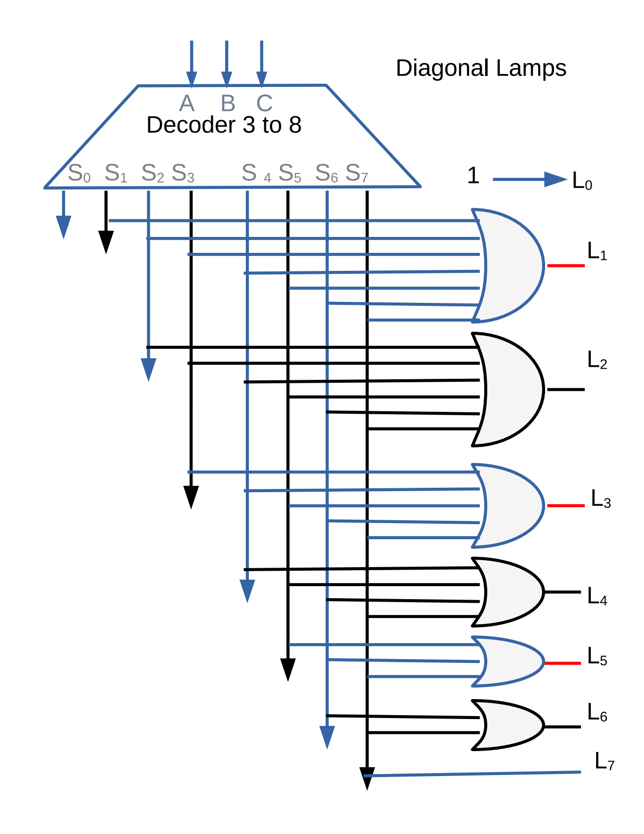


4 Create the circuit using a decoder and an encoder.

أنجز الدارة بواسطة مفكك ترميز واحد ومرمّز واحد.

In order to simplify the functions, we use the first canonical digital form.

$L_0 = \sum(0,1,2,3,4,5,6,7) = 1$
$L_1 = \sum(1,2,3,4,5,6,7)$
$L_2 = \sum(2,3,4,5,6,7)$
$L_3 = \sum(3,4,5,6,7)$
$L_4 = \sum(4,5,6,7)$
$L_5 = \sum(5,6,7)$
$L_6 = \sum(6,7)$
$L_7 = \sum(7)$

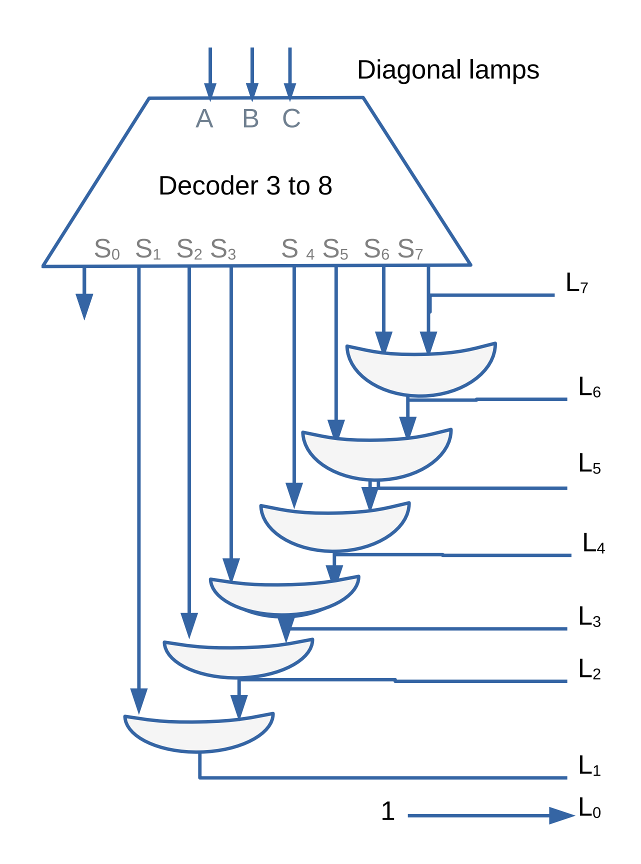


5 Create the circuit using a decoder and a minimum of logic gates with only two inputs.

أنجز الدارة بواسطة مفكك ترميز عادي وأقل ما يمكن من البوابات المنطقية ذات مدخلين.

From the canonical forms, we observe that;

$L_6 = L_7 + S_6$
$L_5 = L_6 + S_5$
$L_4 = L_5 + S_4$
$L_3 = L_4 + S_3$
$L_2 = L_3 + S_2$
$L_1 = L_2 + S_1$
$L_0 = 1$


Diagonal lamps
A B C
Decoder 3 to 8
S0 S1 S2 S3 S4 S5 S6 S7
L7
L6
L5
L4
L3
L2
L1
1
L0

9.3 Tests n°3

Chapter 3 Tests :

فروض الفصل الثالث

9.3.1 Quiz n°1

1 A modulo-16 even counter counts from $0, 2, 4, 6, 8, 10, 12, 14, 0, 2, \ldots$.

- Provide the state table of the counter.
- What do you notice?
- Implement the circuit using JK flip-flops.

2 Provide the equations for J_0, K_0, J_1, K_1

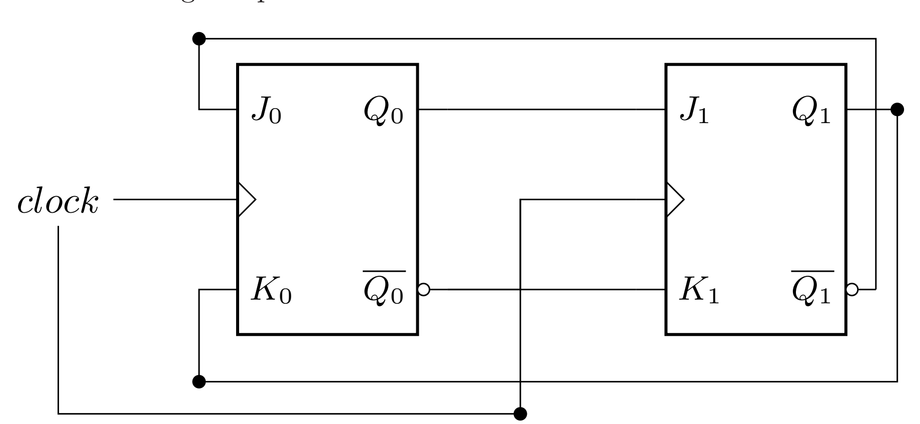
- Fill in the timing diagram according to the following setup:

1 عدّاد زوجي بترديد 16، يعدّ كما يلي $0, 2, 4, 6, 8, 10, 12, 14, 0, 2, \ldots$.

- أعط جدول الحالات للعدّاد
- ماذا تلاحظ
- أنجز الدارة بواسطة قلابات ج.ك

2 أعط معادلات J_0, K_0, J_1, K_1

- أكمل المخطط الزمني حسب التركيب الموالي



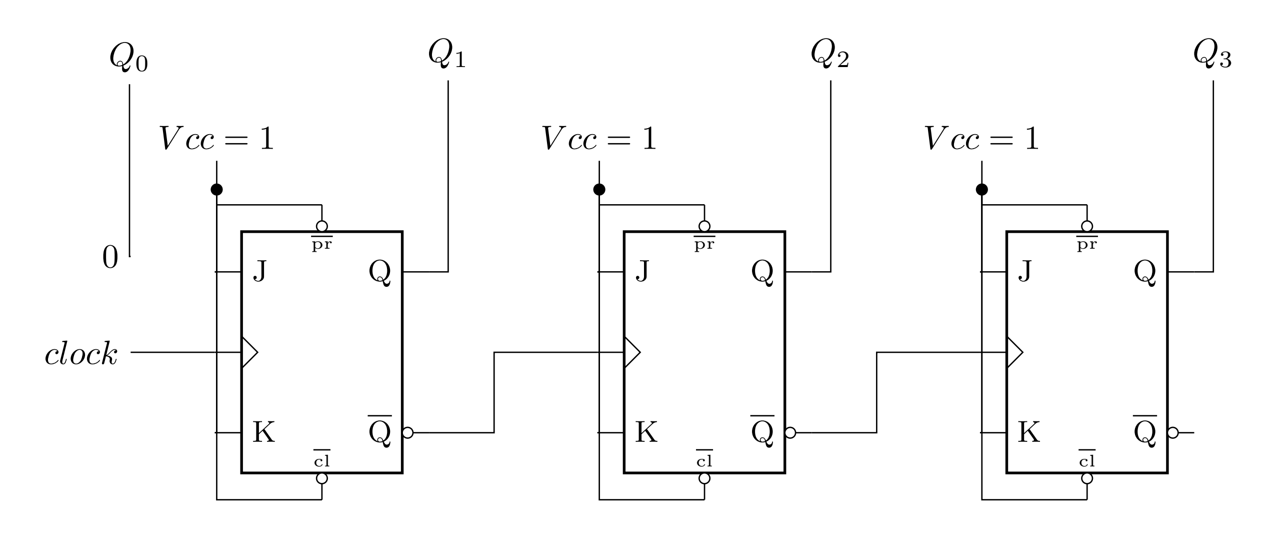
1 A modulo-16 even counter counts from $0, 2, 4, 6, 8, 10, 12, 14, 0, 2 \ldots$.

States table

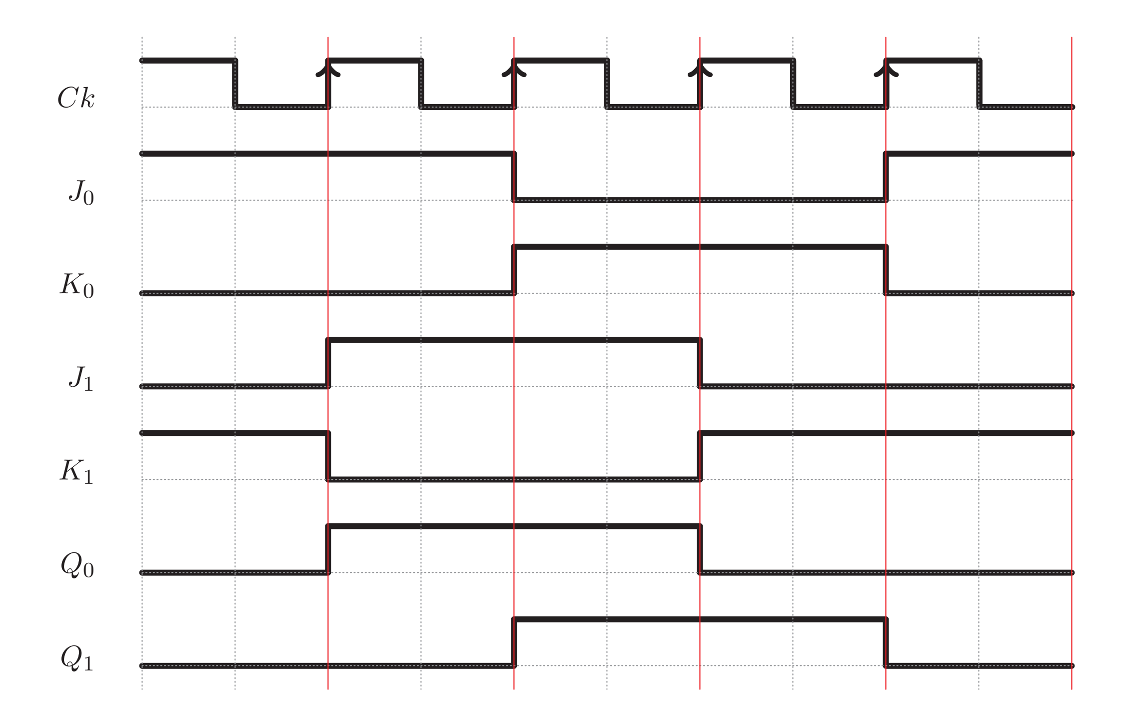
N°	Q3	Q2	Q1	Q0
0	0	0	0	0
2	0	0	1	0
4	0	1	0	0
6	0	1	1	0
8	1	0	0	0
10	1	0	1	0
12	1	1	0	0
14	1	1	1	0
0	0	0	0	0

We notice that the output Q_0 is always 0, so we can connect the output Q_0 to 0 and build a modulo-8 counter.

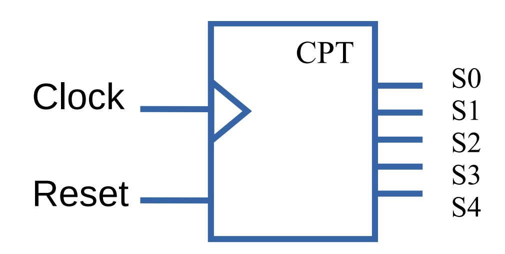
نلاحظ أنّ المخرج $Q0$ معدوم دائمًا، لذا نربطه بالصفر، لبناء عدّاد بترديد 8.



2 Timing diagram: المخطط الزمني



9.3.2 Quiz n°2



1 Consider the following modulo-32 5-bit counter circuit *CPT*:

- The Reset input resets the counter to zero.
- Propose a diagram to use the CPT circuit to count from 0 to 23.
- We want to use the CPT circuit to trigger an alarm every 30 seconds.

1 لتكن العداد الموالي على 5 بتات بترديد 32 :*CPT*

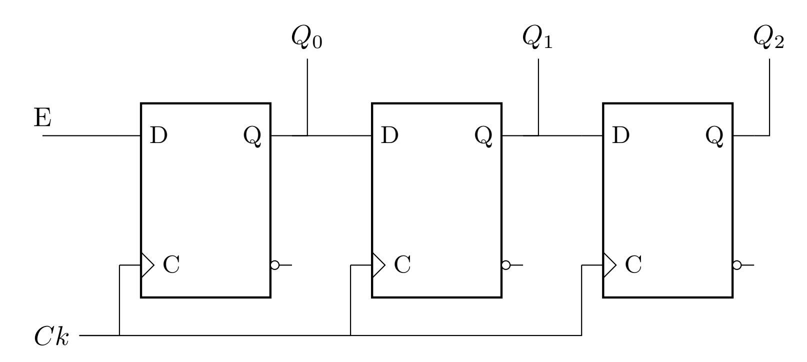
- المدخل Reset يعيد العداد إلى الصفر
- اقترح مخططا لاستعمال الدارة CPT كعداد من 0 إلى 23.
- نريد استعمال الدارة CPT لإطلاق تنبيه كل 30 ثانية من 0 إلى 23.

2 Fill in the timing diagram according to the following setup:

- What does this setup do?

2 أكمِل المخطط الزمني حسب التركيب الموالي

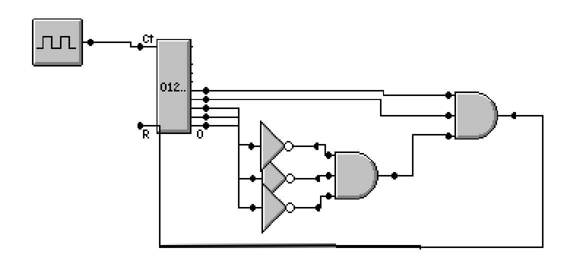
- ماذا يعمل هذا التركيب؟



- To count from 0 to 23, the Reset must be set to 1 when the value 24 appears.

لنعدّ من 0 إلى 23، علينا أن نصفّر العداد عندما يظهر العدد 24

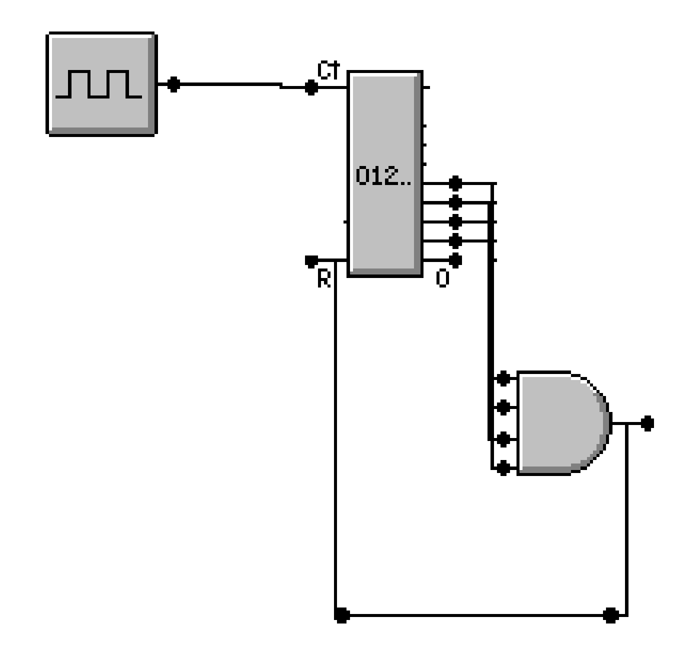
$24 = (11000)_2 \rightarrow R = S_4.S_3\overline{S_2}.\overline{S_1}.\overline{S_0}$



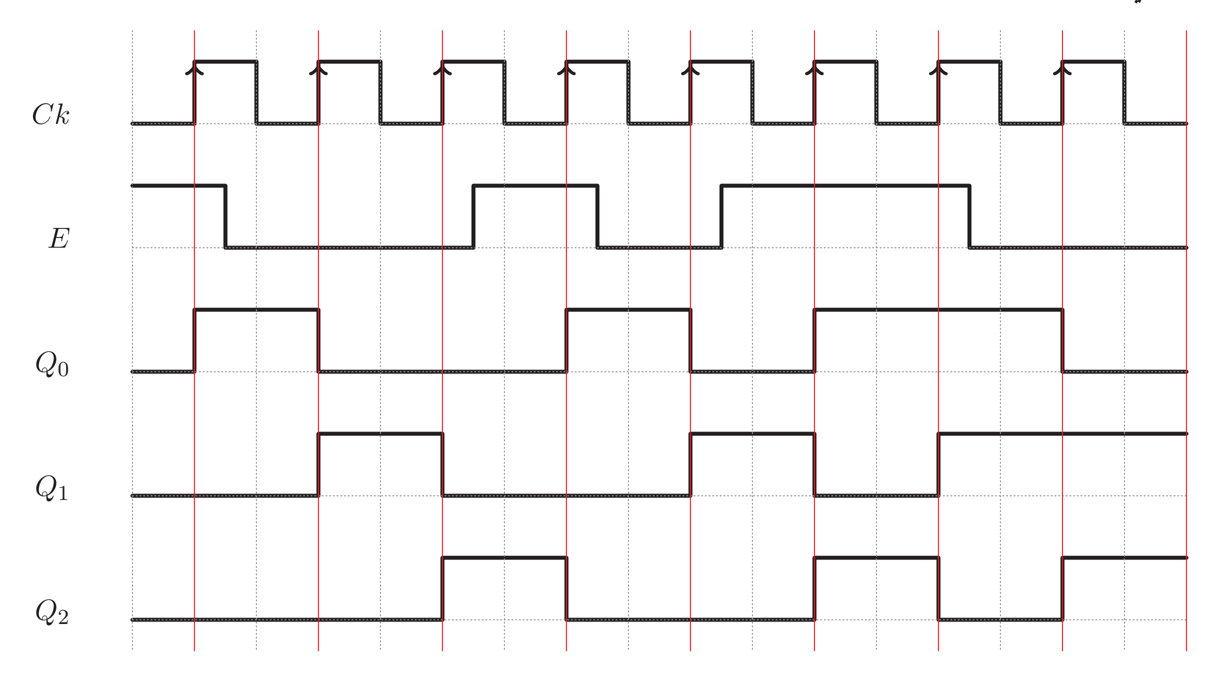
To trigger an alarm every 30 seconds, we need to count from 0 to 29, so we must reset the counter to the value 30.

لإطلاق تنبيه كل 30 ثانية، أي سنعد من 0 إلى 29، ثم نصفّر العداد عند القيمة 30.

$30 = 11110_2 \rightarrow R = S_4.S_3.S_2.S_1.\overline{S_0}$



Timing diagram: المخطط الزمني



At each rising edge of the clock of a D flip-flop, its output **Q** copies its input **D**.
Each output is thus copied to the next one: **it is a 3-bit shift register**. The new bit entering into Q_0 is **E**.

عند كل جبهة صاعدة للساعة في القلاب D ، يأخذ ناتجها Q قيمة المدخل D.
كل مخرج يأخذ قيمة ما قبله، لذا فإنه **سجل إزاحة 3 بتات.** البت الجديد الذي يدخل Q0 هو E.

9.3.3 Quiz n°3

1 We want to create a modulo 24 hour counter.

- How many JK flip-flops should we use?
- Provide the clock enable equation to reset the counter to zero.
- Implement a modulo 24 counter.

1 نريد تصميم عداد للساعات بترديد 24 ساعة

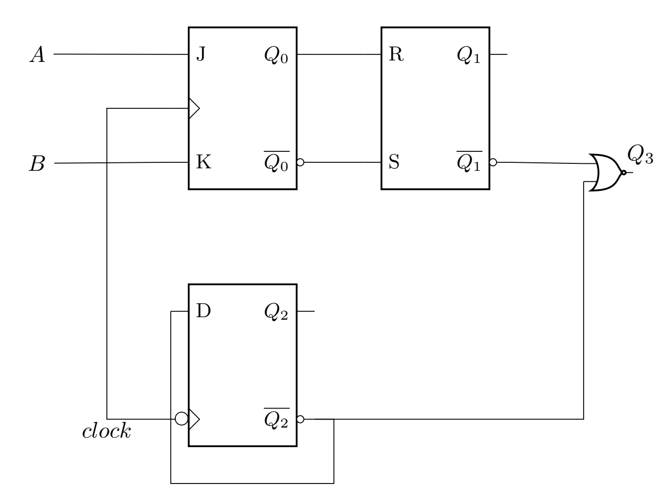
- كم يلزمنا من قلابات ج.ك؟
- أعط معادلة CL لتصفير العداد
- أنجز عداداً بترديد 24

2 Provide the equations for $D, R, S, Q3$.

2 أعط معادلات $D, R, S, Q3$.

3 Fill in the timing diagram according to the following setup:

- أكمل المخطط الزمني حسب التركيب الموالي



1 How many JK flip-flops should we use?

كم يلزمنا من قلابات ج.ك؟

We need 5 flip-flops because $24 = (11000)_2$.

نحتاج إلى 5 قلابات لأن العدد 24 يكتب على 5 بتات: $24 = (11000)_2$.

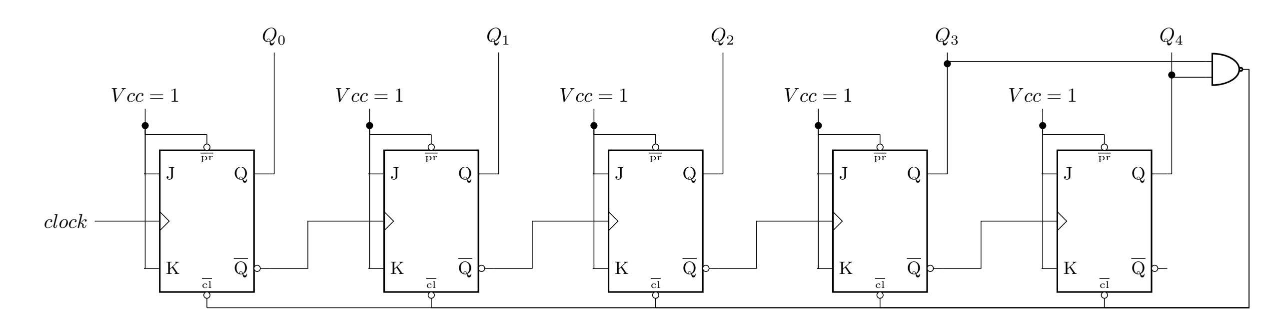
2 Provide the clock enable equation to reset the counter to zero.

أعط معادلة CL لتصفير العداد

$CL = \overline{Q_4.Q_3}$

3 Implement a modulo 24 counter.

أنجز عداداً بترديد 24

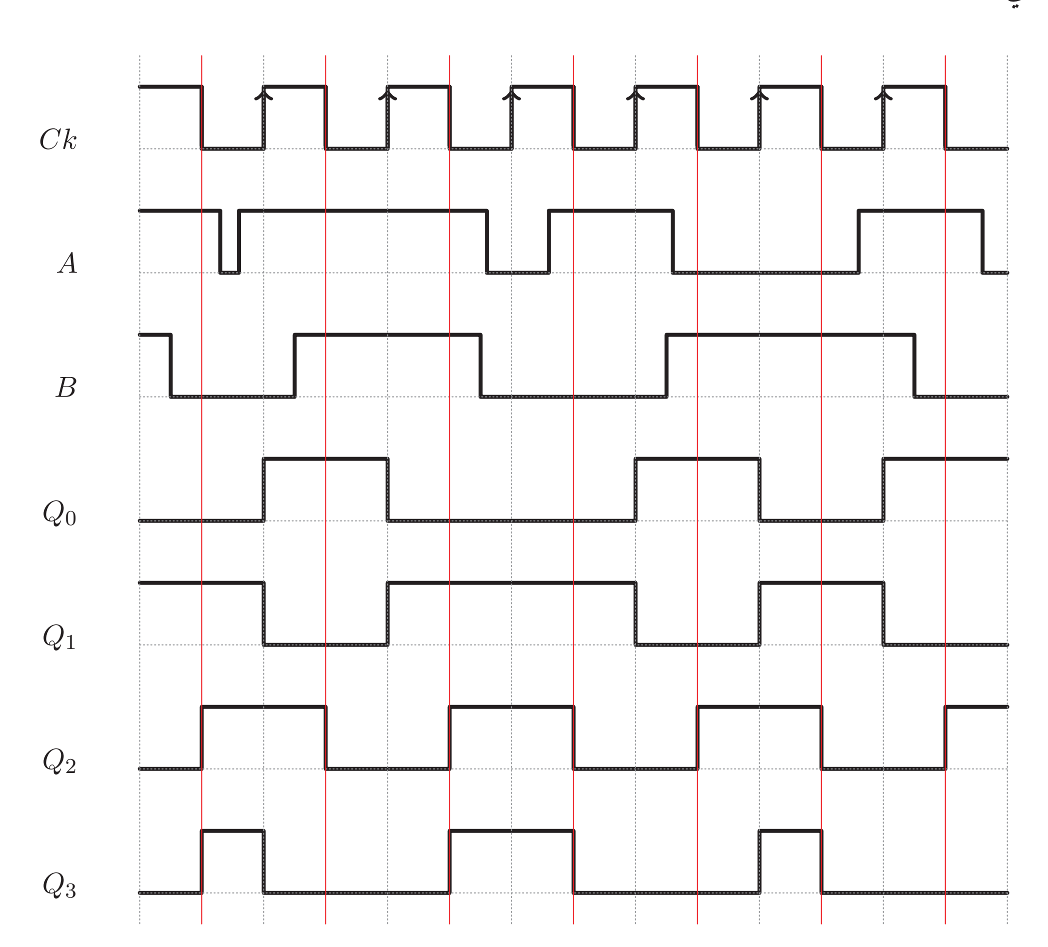


4 Equations of $D, R, S, Q3$

معادلات

$D = \overline{Q_2}$
$R = Q_0$
$S = \overline{Q_0}$
$Q_3 = Q_1 \downarrow Q_2$

5 Timing diagram: المخطط الزمني



9.3.4 Quiz n°4

1 A distorted counter counts from $0, 1, 2, 3, 8, 9, 10, 11, 0, 1, 2$.

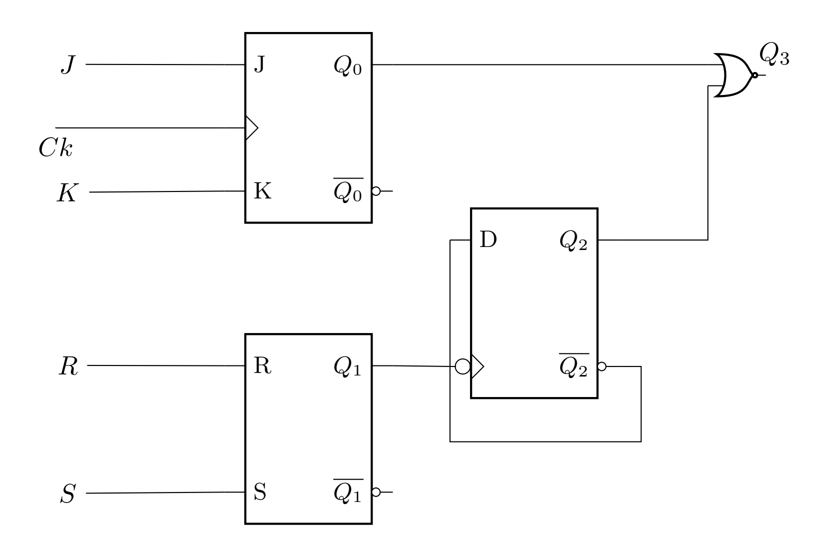
- Provide the state table of the counter.
- Create the diagram using JK flip-flops.

2 Fill in the timing diagram based on the following setup:

1 عدّاد مُشوّه، يعدّ كما يلي
$0, 1, 2, 3, 8, 9, 10, 11, 0, 1, 2$

- أعط جدول الحالات للعدّاد
- أنجز الدارة بواسطة قلابات ج.ك

2 أكمل المخطط الزمني حسب التركيب الموالي



1 Provide the state table of the counter.

أعط جدول الحالات للعدّاد

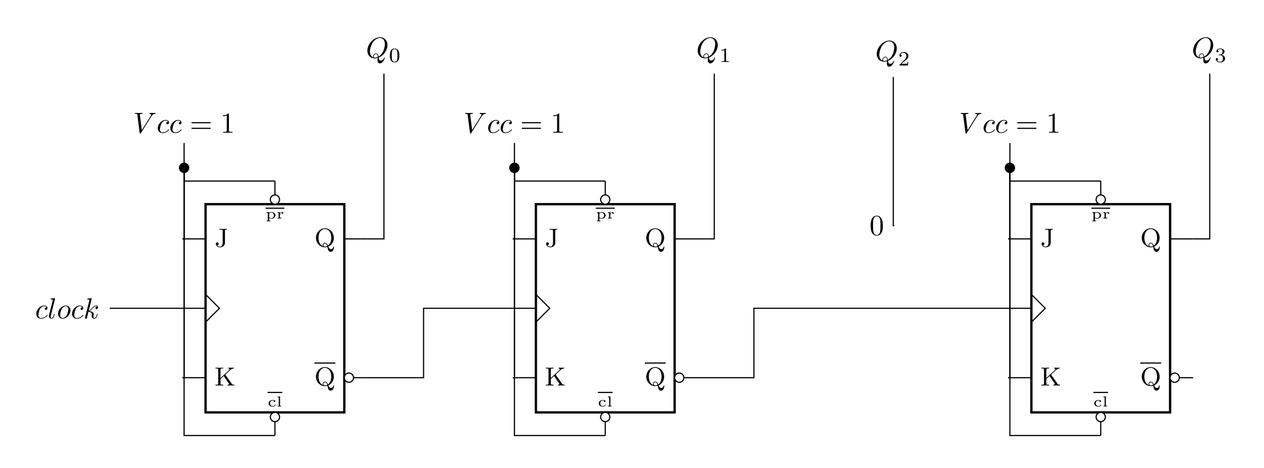
N°	Q_3	Q_2	Q_1	Q_0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
0	0	0	0	0

We note that Q2 is always 0.

نلاحظ أنّ المخرج Q2 معدوم دومًا

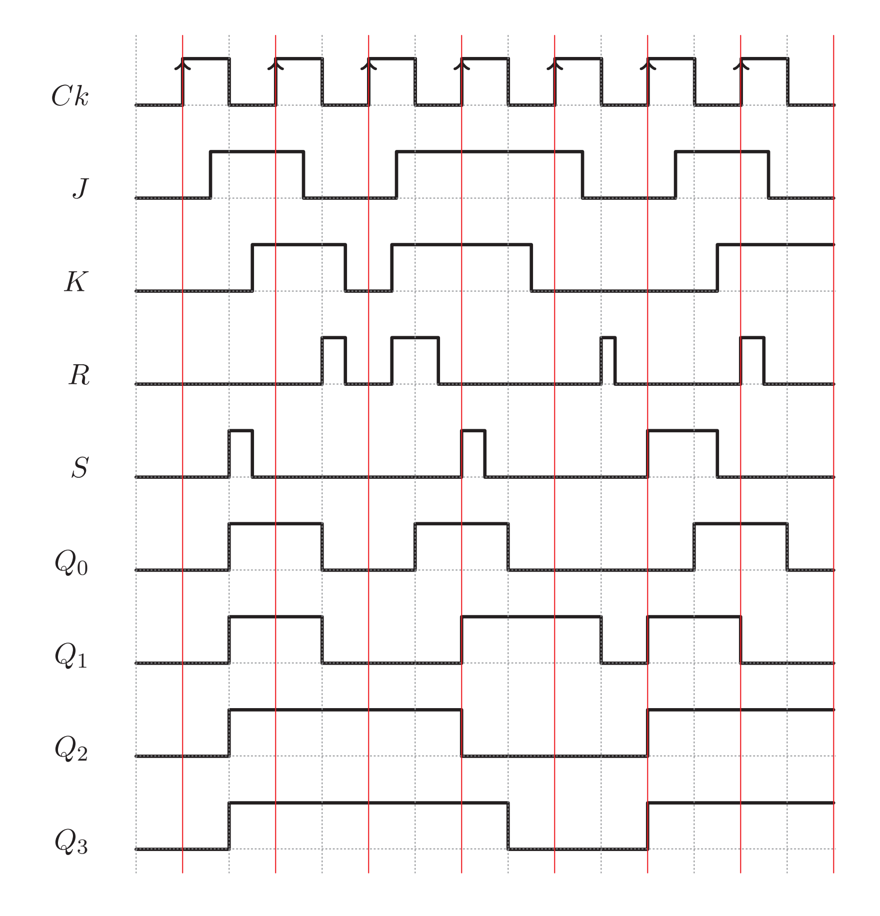
2 Create the diagram using JK flip-flops.

أنجز الدارة بواسطة قلابات ج.ك



3 Fill in the timing diagram based on the following setup:





9.3.5 Quiz n°5

1 A distorted counter counts as $0, 1, 4, 5, 2, 3, 6, 7, 8, 9, 12, 13, 10, 11, 14, 15, 0, 1, \ldots$.

- Provide the state table of the counter.
- Construct the circuit using JK flip-flops.

2 Fill in the timing diagram according to the following setup:

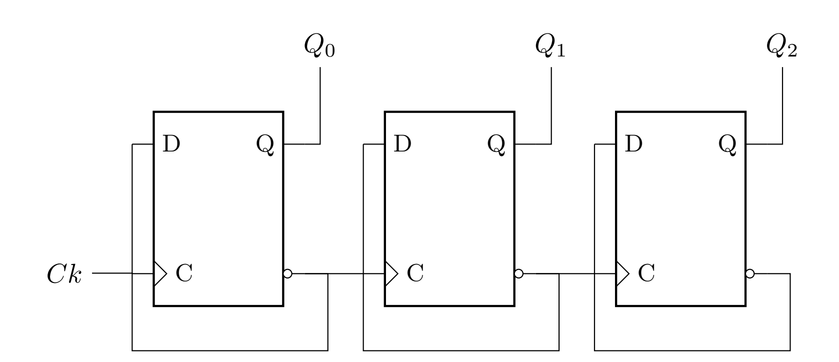
- What does this setup do?

1 عدّاد مُشوّه، يعدّ كما يلي $0, 1, 4, 5, 2, 3, 6, 7, 8, 9, 12, 13, 10, 11, 14, 15, 0, 1,$.

- أعط جدول الحالات للعدّاد
- أنجز الدارة بواسطة قلابات ج.ك.

2 أكمل المخطط الزمني حسب التركيب الموالي

- ماذا يعمل هذا التركيب



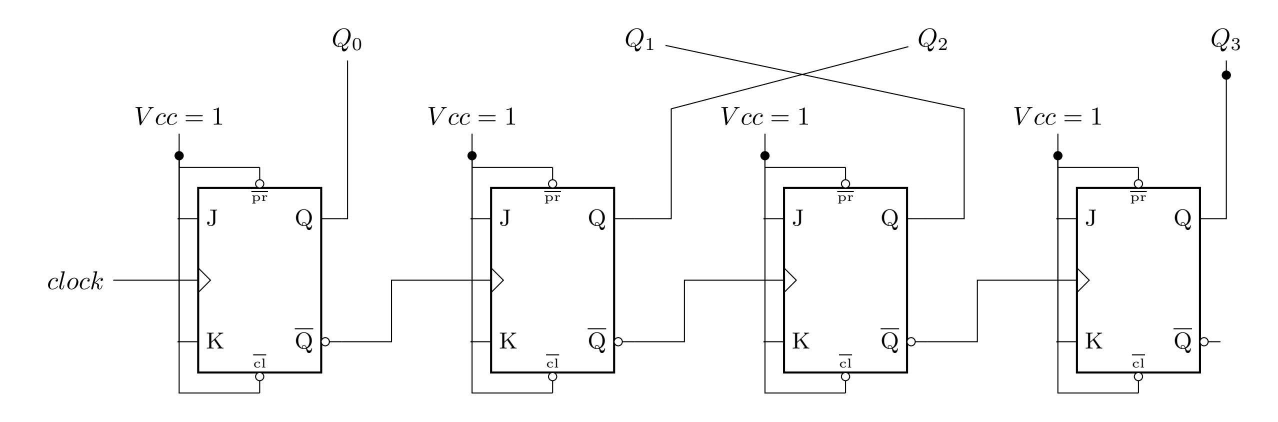
1 State table.

جدول الحالات للعدّاد

N°	Q_3	Q_2	Q_1	Q_0
0	0	0	0	0
1	0	0	0	1
4	0	1	0	0
5	0	1	0	1
2	0	0	1	0
3	0	0	1	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
12	1	1	0	0
13	1	1	0	1
10	1	0	1	0
11	1	0	1	1
14	1	1	1	0
15	1	1	1	1
0	0	0	0	0

We notice that Q2 and Q1 are inverted.

نلاحظ أن المخرجين Q1 و Q1 مقلوبان.

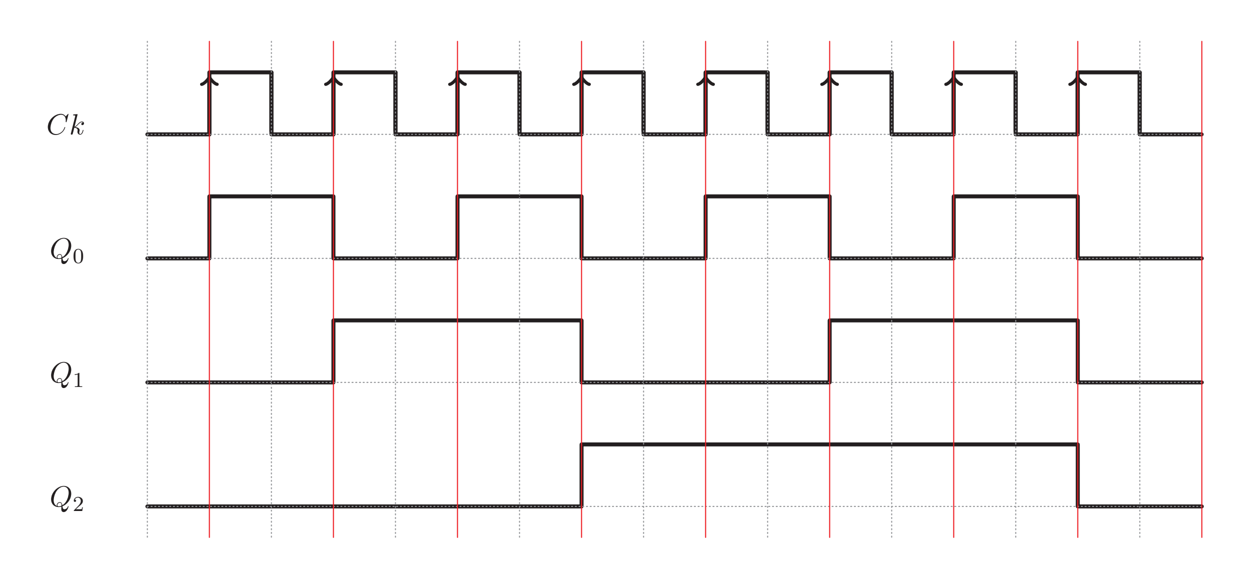


2 Construct the circuit using JK flip-flops.

أنجز الدارة بواسطة قلابات ج.ك

3 Fill in the timing diagram according to the following setup:

أكمل المخطط الزمني حسب التركيب الموالي



4 What does this setup do?

ماذا يعمل هذا التركيب

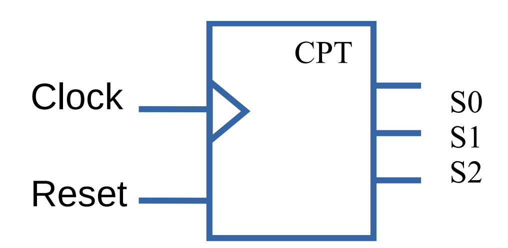
The D flip-flops are wired in toggle mode (the D input is connected to the Q output):

- The output Q0 toggles on every rising edge of H.
- The output Q1 toggles on every rising edge of $\overline{Q_0}$ (thus on every falling edge of Q_0).
- The output Q2 toggles on every rising edge of $\overline{Q_1}$ (thus on every falling edge of Q_1).
- We can recognize a modulo 8 counter.

القلابات ``د" مربوطة في انقلاب مستمر، لأن المدخل D مربوط بالمخرج Q

- المخرج Q0 تنقلب عند كل جبهة صاعدة للساعة H.
- المخرج Q1 ينقلب عند كل جبهة صاعدة ل $\overline{Q_0}$ (أي في الجبهة النازلة للمخرج Q_0).
- المخرج Q2 ينقلب عند كل جبهة صاعدة ل $\overline{Q_1}$ (أي في الجبهة النازلة للمخرج Q_1).
- يمكن التعرف على عدّاد بترديد 8.

9.3.6 Quiz n°6



1 We want to create a synchronized light display where the lights turn on one by one.

Construct the circuit using:

- 8 lamps
- A modulo 8 counter provided in the block diagram
- A decoder.

1 نريد تصميم لعبة أضواء متزامنة، تضيء المصابيح واحدا واحدا.

أنجز الدارة بواسطة:

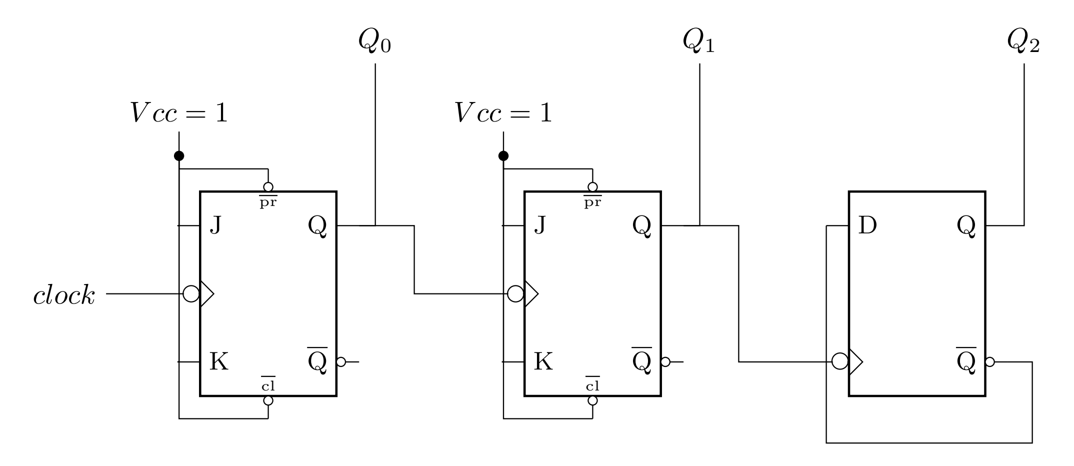
- 8 مصابيح
- عدّاد بترديد 8 معطى بالمخطط المصمت
- مفكك ترميز

2 Fill in the timing diagram according to the following setup:

- What does this setup do?

2 أكمل المخطط الزمني حسب التركيب الموالي

- ماذا يعمل هذا التركيب؟



1 Construct the circuit using:

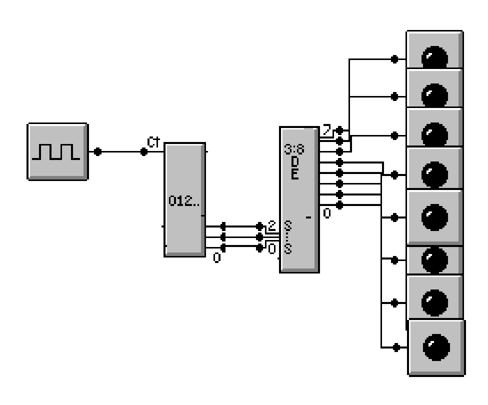
- 8 lamps
- A modulo 8 counter provided in the block diagram
- A decoder.

أنجز الدارة بواسطة

8 مصابيح

عدّاد بترديد 8 معطى بالمخطط المصمت

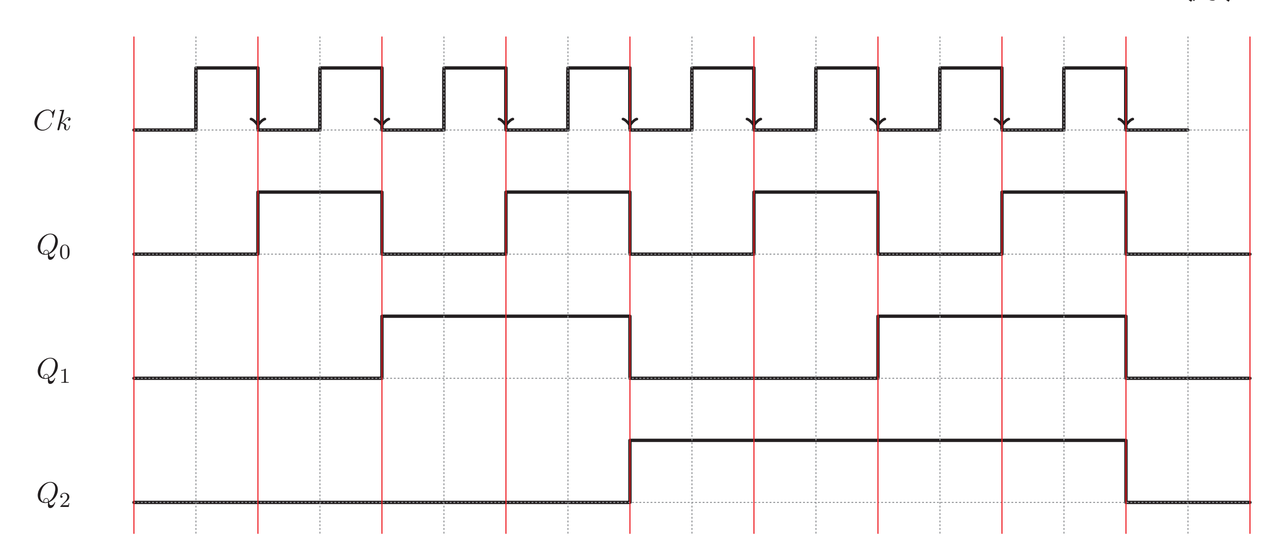
مفكك ترميز



2 Fill in the timing diagram according to the following setup: أكمل المخطط الزمني حسب التركيب الموالي

3 What does this setup do? ماذا يعمل هذا التركيب

Modulo 8 counter عدّاد بترديد 8



9.3.7 Quiz n°7

So let's consider the FG flip-flop, defined by the following truth table.

لدينا القلاب FG المعرّف بجدول الحقيقة

F	G	Q^+
0	0	0
0	1	$\overline{Q}$
1	0	$\overline{Q}$
1	1	1

1. Provide the complete truth table and construct the circuit using only NAND gates.
2. Complete the timing diagram according to the following cases,

   and provide the truth table for each case.

   a. FG is asynchronous.

   b. FG is synchronized to the rising edge.

   c. FG is synchronized to the falling edge.

1. ارسم جدول الحقيقة الكامل وأنجز الدارة بواسطة دارات نفي الوصل NAND فقط.
2. أكمل المخطط الزمني حسب الحالات الآتية، وأعط جدول الحقيقة لكل حالة:

   a. القلاب غير متزامن.

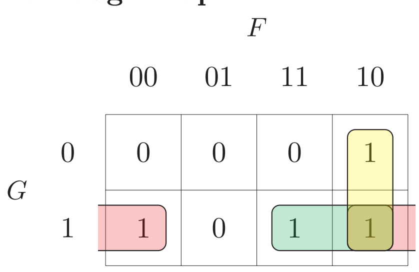
   b. القلاب متزامن عند الجبهة الصاعدة.

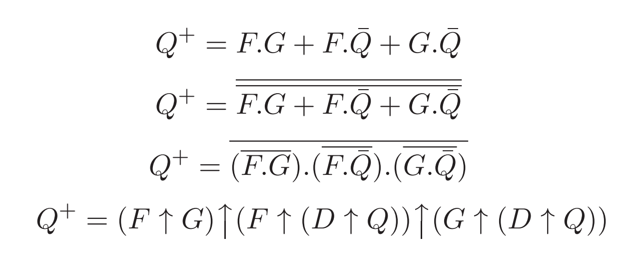
   c. القلاب متزامن عند الجبهة النازلة.

1. Provide the complete truth table and construct the circuit using only NAND gates.

N°	F	G	Q	Q^+
0	0	0	0	0
1	0	0	1	0
2	0	1	0	1
3	0	1	1	0
4	1	0	0	1
5	1	0	1	0
6	1	1	0	1
7	1	1	1	1

Karnaugh map



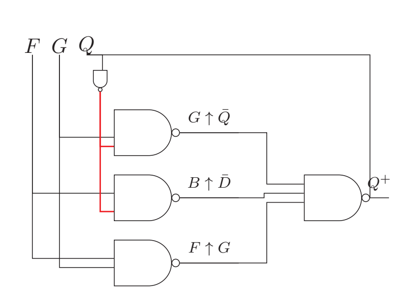


$$Q^+ = F.G + F.\bar{Q} + G.\bar{Q}$$

$$Q^+ = \overline{\overline{F.G + F.\bar{Q} + G.\bar{Q}}}$$

$$Q^+ = \overline{(\overline{F.G}).(\overline{F.\bar{Q}}).(\overline{G.\bar{Q}})}$$

$$Q^+ = (F \uparrow G) \uparrow (F \uparrow (D \uparrow Q)) \uparrow (G \uparrow (D \uparrow Q))$$



2. Complete the timing diagram according to the following cases,

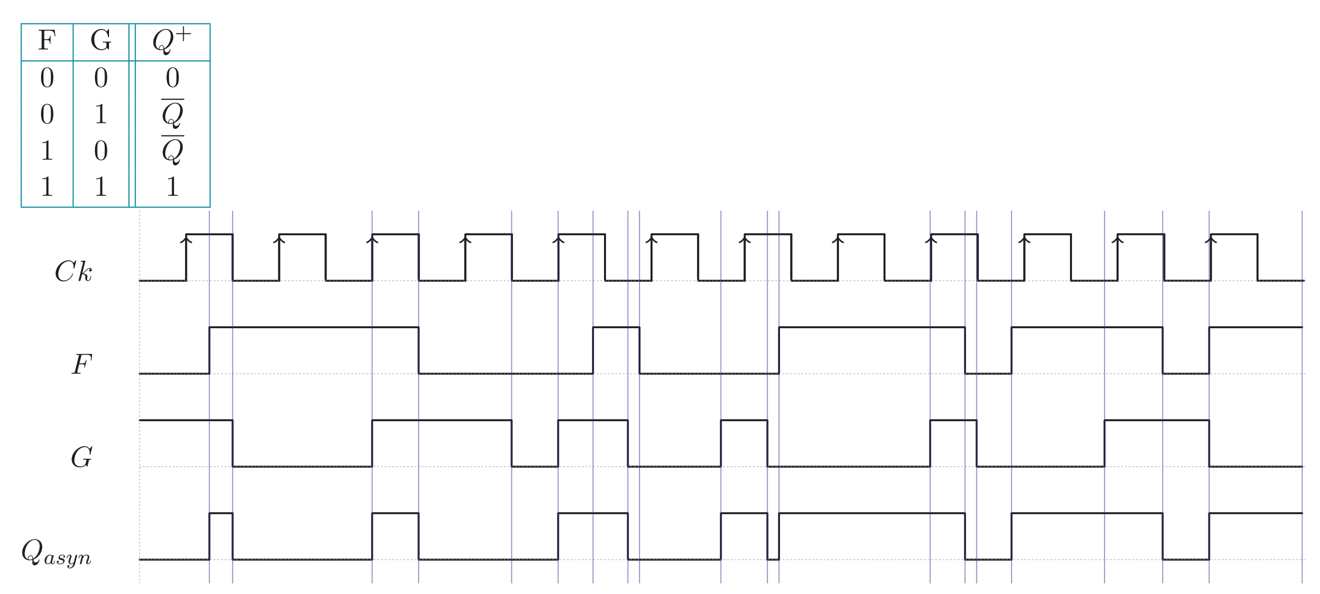
   and provide the truth table for each case.

   a. FG is asynchronous.

   b. FG is synchronized to the rising edge.

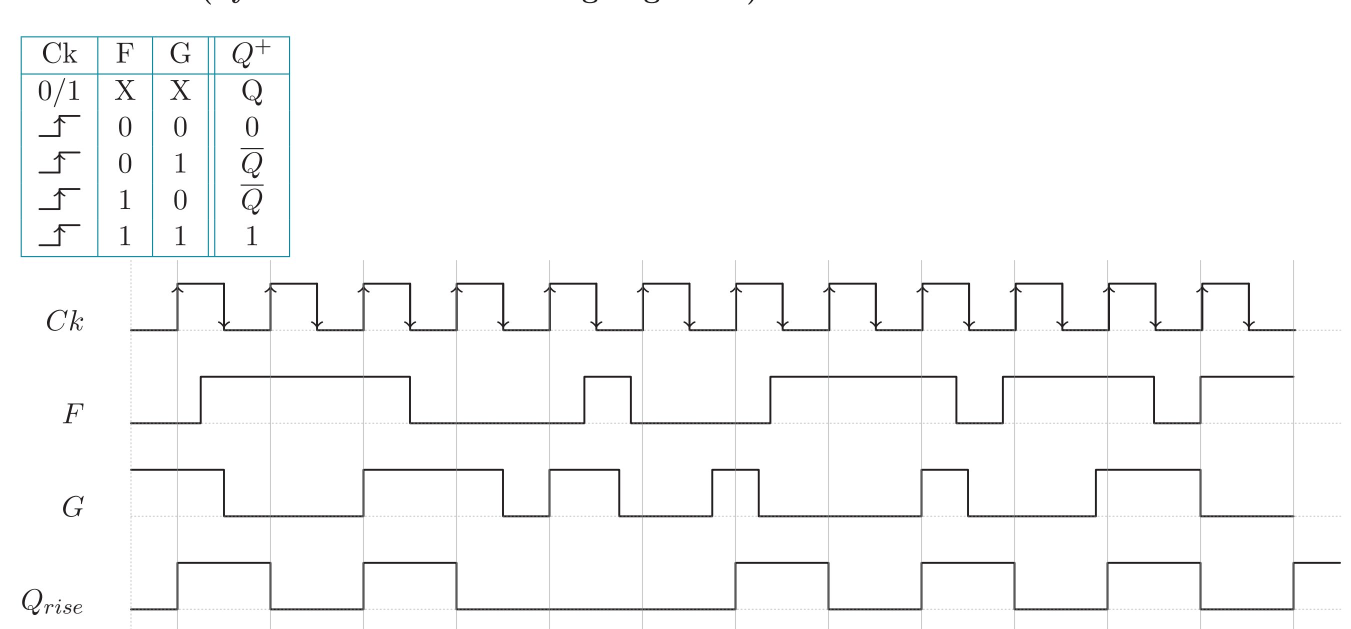
   c. FG is synchronized to the falling edge.

Truth table (Asynchronous case)



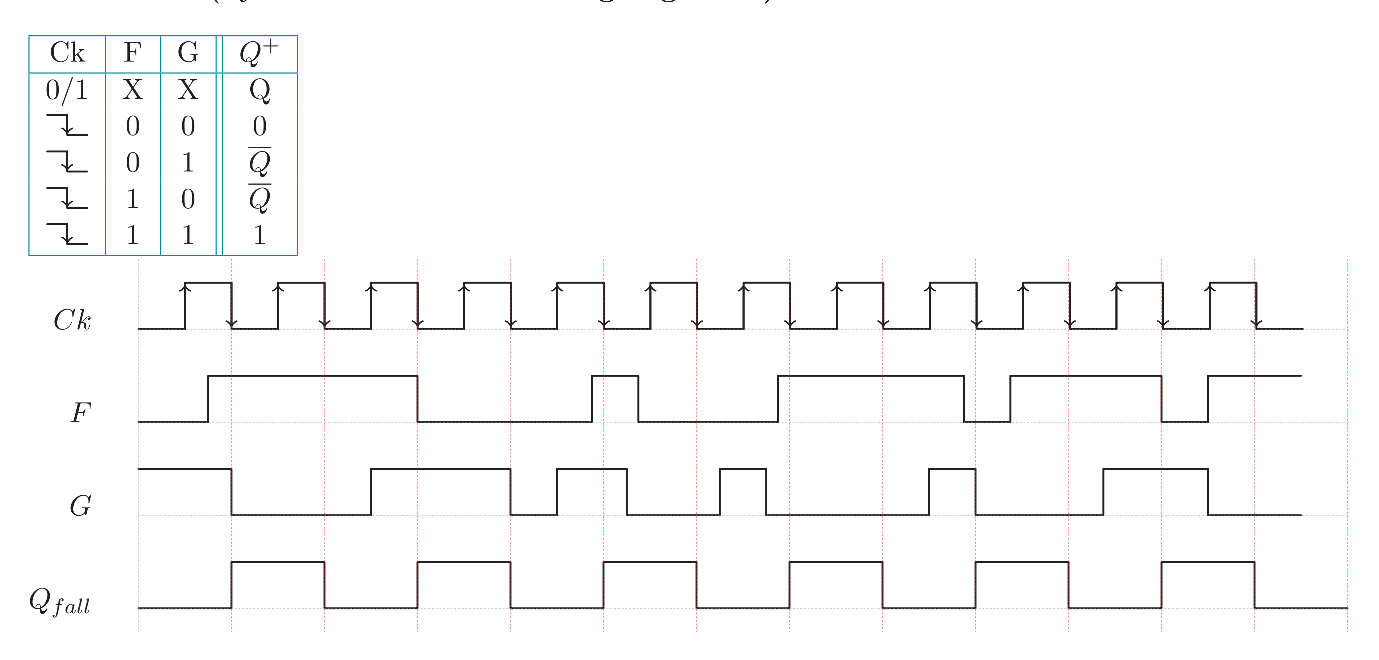
F	G	Q^+
0	0	0
0	1	$\overline{Q}$
1	0	$\overline{Q}$
1	1	1

Truth table (Synchronized to the rising edge case)



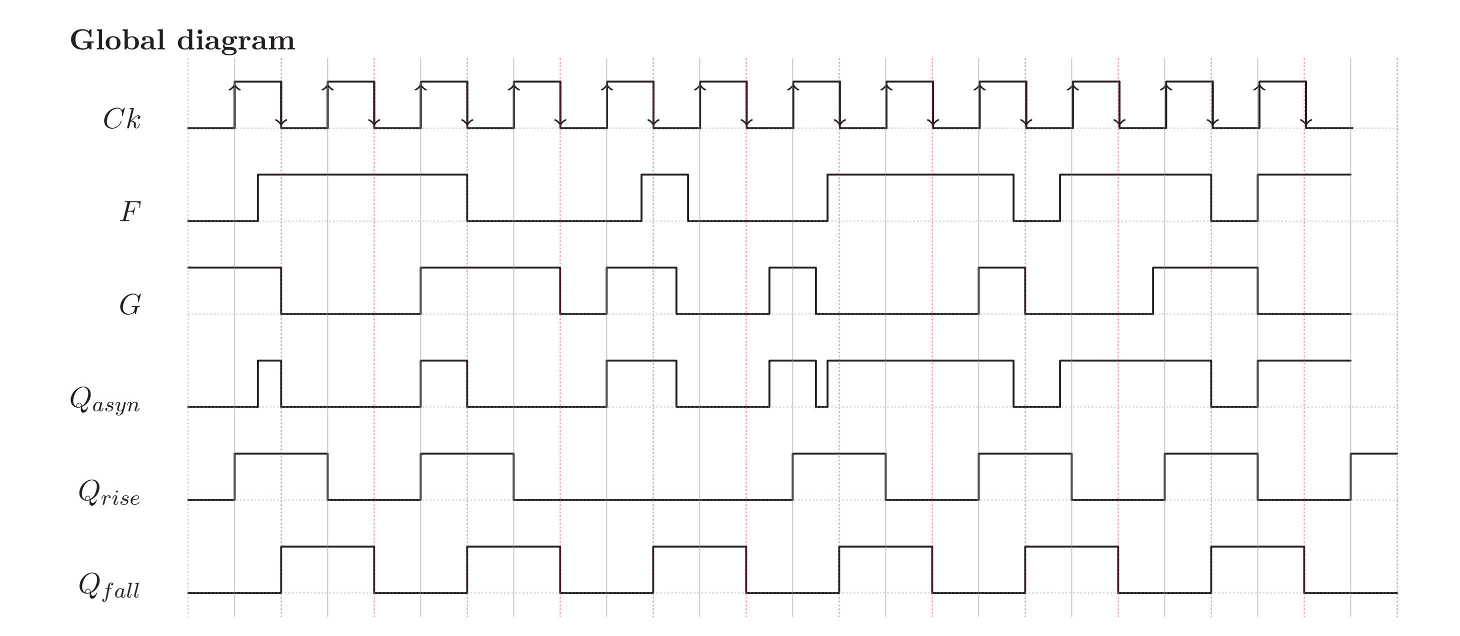
Ck	F	G	Q^+
0/1	X	X	Q
↑	0	0	0
↑	0	1	$\overline{Q}$
↑	1	0	$\overline{Q}$
↑	1	1	1

Truth table (Synchronized to the falling edge case)



Ck	F	G	Q^+
0/1	X	X	Q
↓	0	0	0
↓	0	1	$\overline{Q}$
↓	1	0	$\overline{Q}$
↓	1	1	1

Global diagram



9.3.8 Quiz n°8

Consider the UV flip-flop, defined by the following truth table.

لدينا القلاب UV المعرّف بجدول الحقيقة

U	V	Q^+
0	0	Q
0	1	0
1	0	1
1	1	Q

1. Provide the complete truth table and Create the circuit using only NOR gates.

2. Complete the timing diagram according to the following cases, and provide the truth table for each case:

   a. UV is asynchronous.

   b. UV is synchronized on the rising edge.

   c. UV is synchronized on the falling edge.

1 أعط جدول الحقيقة الكامل للدارة، ثم أنجزها بواسطة NOR فقط

2 أكمل المخطط الزمني حسب الحالات الآتية وأعط جدول الحقيقة لكل حالة:

a. القلاب غير متزامن.

b. القلاب متزامن عند الجبهة الصاعدة.

c. القلاب متزامن عند الجبهة النازلة.

1. Provide the complete truth table and Create the circuit using only NOR gates.

أعط جدول الحقيقة الكامل للدارة، ثم أنجزها بواسطة NOR فقط

N°	C	D	Q	Q^+
0	0	0	0	0
1	0	0	1	1
2	0	1	0	0
3	0	1	1	0
4	1	0	0	1
5	1	0	1	1
6	1	1	0	0
7	1	1	1	1

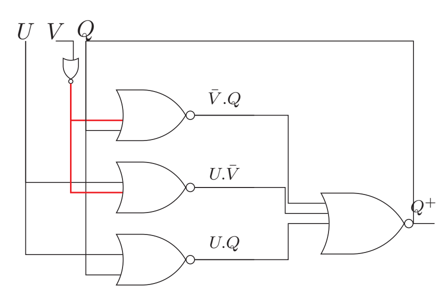
Karnaugh map

D \ C	00	01	11	10
0	0	1	0	0
1	1	1	1	0

We use the second canonical form to work with NORs.

نستعمل الشكل القانوني الثاني لأنه يناسب البوابات NOR.

$$Q^+ = (U+Q).(U+\bar{V}).(\bar{V}+Q)$$



$$Q^+ = (U+Q).(U+\bar{V}).(\bar{V}+Q)$$

$$Q^+ = \overline{\overline{(U+Q).(U+\bar{V}).(\bar{V}+Q)}}$$

$$Q^+ = \overline{(\overline{(U+Q)} + \overline{(U+\bar{V})} + \overline{(\bar{V}+Q)})}$$

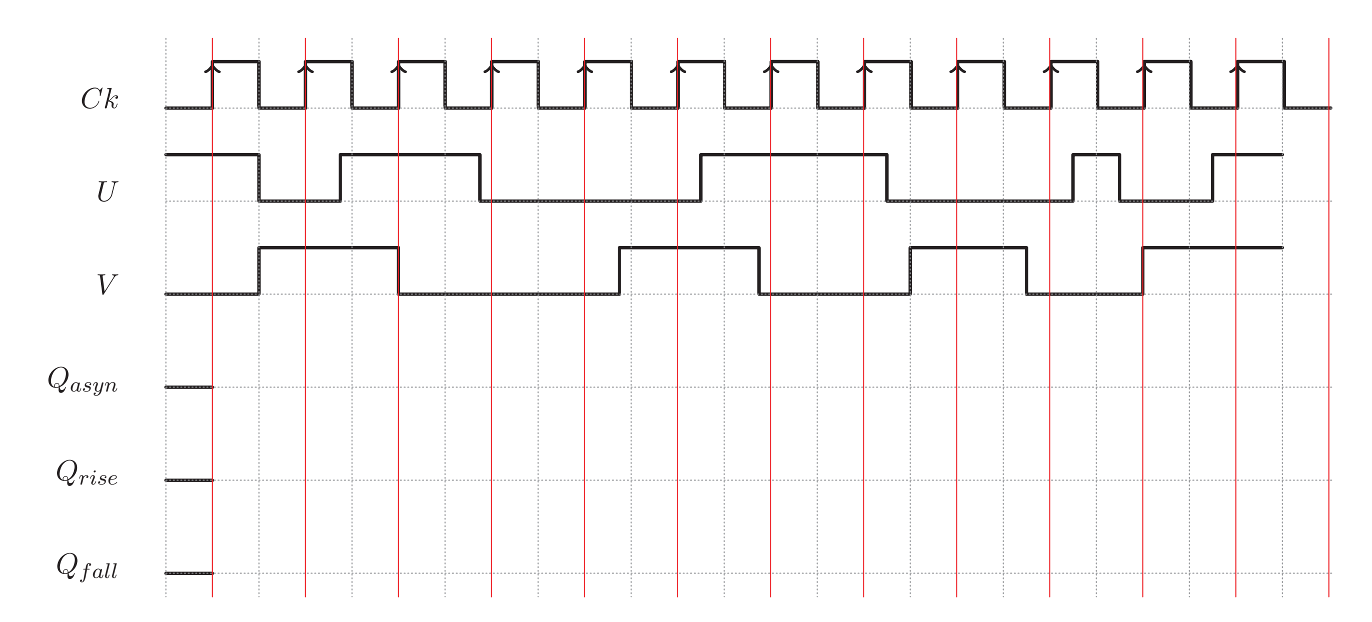
$$Q^+ = ((U \downarrow Q) \downarrow (U \downarrow (V \downarrow V)) \downarrow ((V \downarrow V) \downarrow Q))$$

2. Complete the timing diagram according to the following cases: and provide the truth table for each case.

   a. UV is asynchronous.

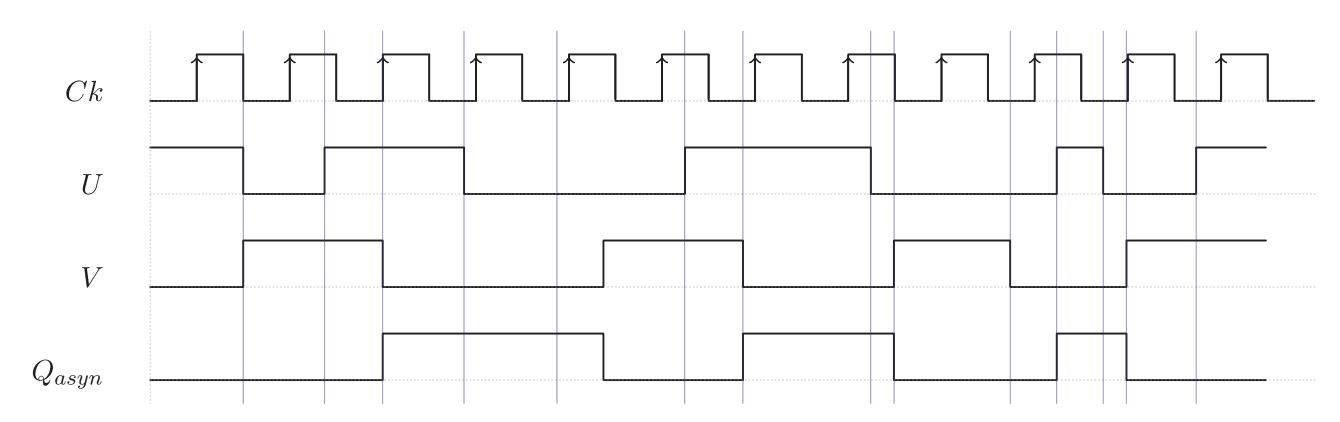
b. UV is synchronized on the rising edge.

c. UV is synchronized on the falling edge.



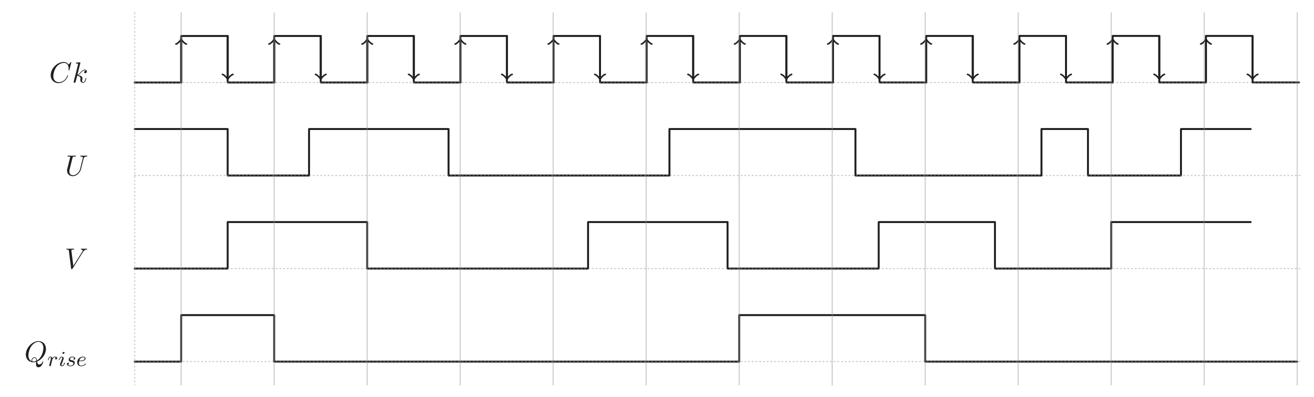
Truth table (Asynchronous case)

U	V	Q^+
0	0	Q
0	1	0
1	0	1
1	1	Q



Truth table (Synchronized to the rising edge case)

Ck	U	V	Q^+
0/1	X	X	Q
↑	0	0	Q
↑	0	1	0
↑	1	0	1
↑	1	1	Q



Truth table (Synchronized to the falling edge case)

Ck	U	V	Q^+
0/1	X	X	Q
$\downarrow$	0	0	Q
$\downarrow$	0	1	0
$\downarrow$	1	0	1
$\downarrow$	1	1	Q

Ck
U
V
Q_{fall}

Globale

Ck
U
V
Q_{asyn}
Q_{rise}
Q_{fall}

9.3.9 Quiz n°9

1 List the applications of flip-flops.

1 اذكر تطبيقات القلابات

2 Recall the truth table of the flip-flop used in the circuit.

2 ذكّر بجدول الحقيقة للقلاب المستعمل في التركيب المعطى

3 Complete the timing diagram according to the following setup:

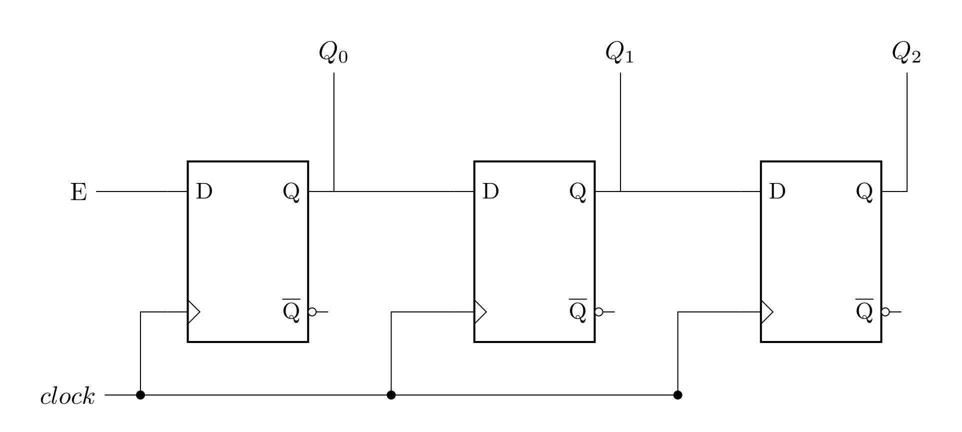
3 أكمل المخطط الزمني الآتي حسب التركيب الموضح

4 Record the information $(Q_2Q_1Q_0)$ at each instant.

4 سجّل في كل لحظة المعلومة $(Q_2Q_1Q_0)$

5 What does the circuit achieve?

5 ماذا يعمل هذا التركيب



1 Applications of flip-flops

Counters, registers, memories.

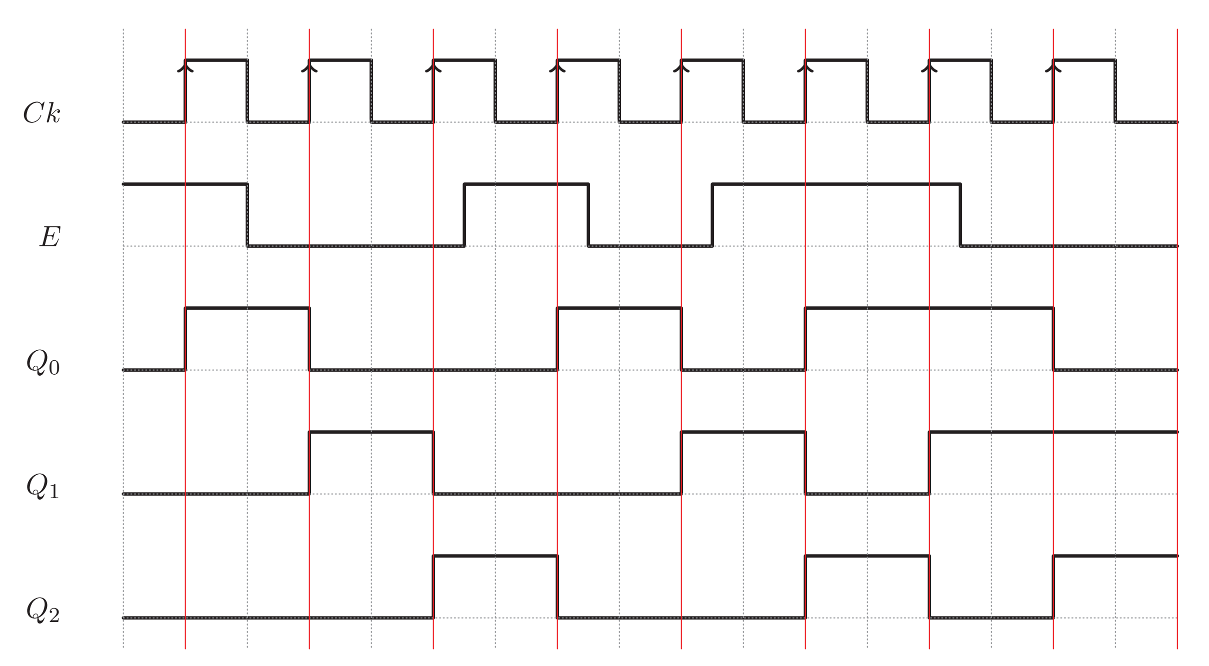
تطبيقات القلابات: العدادات، والسجلات والذاكرات

2 Recall the truth table of the flip-flop used in the circuit. ذكّر بجدول الحقيقة للقلاب المستعمل في التركيب المعطى

Truth table جدول الحقيقة

Ck	D	Q_t
0	X	Q_{t-1}
↑	0	0
↑	1	1

3 Complete the timing diagram according to the following setup: أكمل المخطط الزمني الآتي حسب التركيب الموضح



4 Record the information ($Q_2Q_1Q_0$) at each instant. سجّل في كل لحظة المعلومة

N°	Q2	Q1	Q0
0	0	0	0
1	0	0	1
2	0	1	0
3	1	0	0
4	0	0	1
5	0	1	0
6	1	0	1
7	0	1	1
0	1	1	0

5 What does the circuit achieve? ماذا يعمل هذا التركيب

Shift register

سجل إزاحة

9.3.10 Quiz n°10

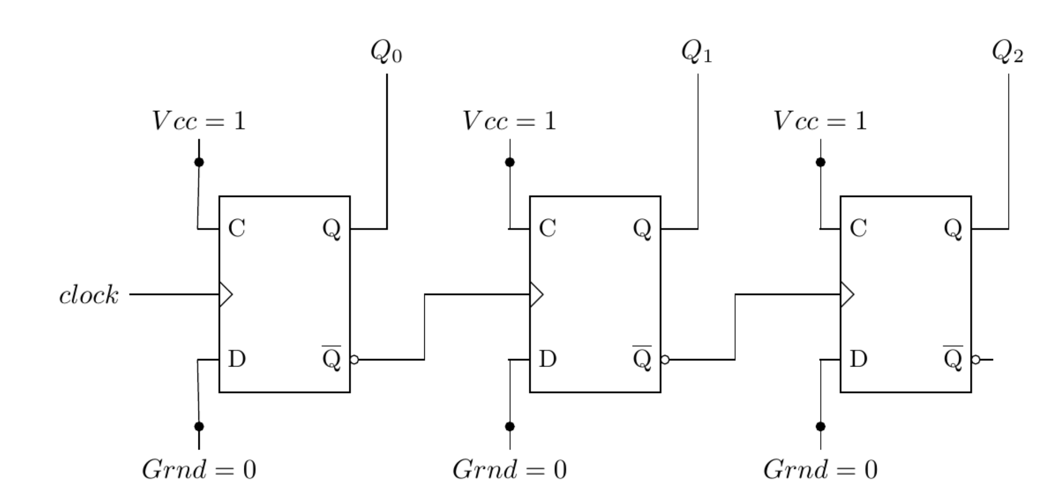
The CD flip flop, defined by the following truth table.

لدينا القلاب CD المعرّف بجدول الحقيقة

C	D	Q^+	
0	0	1	set to 1
0	1	Q	memory
1	0	$\overline{Q}$	switch
1	1	0	reset

1. Provide the complete truth table and create the circuit using only NOR gates.
2. Fill in the timing diagram based on the following setup:
3. Record the information $(Q_2Q_1Q_0)$ at each moment.
4. What does the setup achieve?

1. أعط جدول الحقيقة الكامل للدارة، ثم أنجزها بواسطة NOR فقط
2. أكمل المخطط الزمني الآتي حسب التركيب الموضح
3. سجّل في كل لحظة المعلومة $(Q_2Q_1Q_0)$
4. ماذا يعمل هذا التركيب



1. أعط جدول الحقيقة الكامل للدارة، ثم أنجزها بواسطة NOR فقط

N°	C	D	Q	Q^+
0	0	0	0	1
1	0	0	1	1
2	0	1	0	0
3	0	1	1	1
4	1	0	0	1
5	1	0	1	0
6	1	1	0	0
7	1	1	1	0

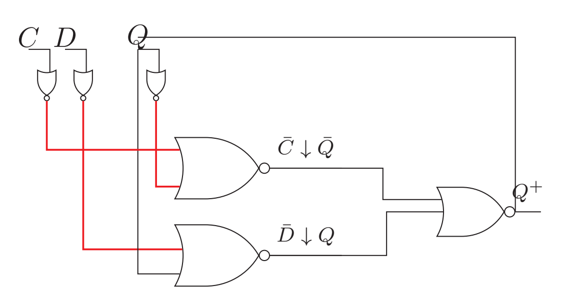
Karnaugh map

C \ DQ	00	01	11	10
0	1	1	1	0
1	1	0	0	0

We use the second canonical form to work with NOR gates.

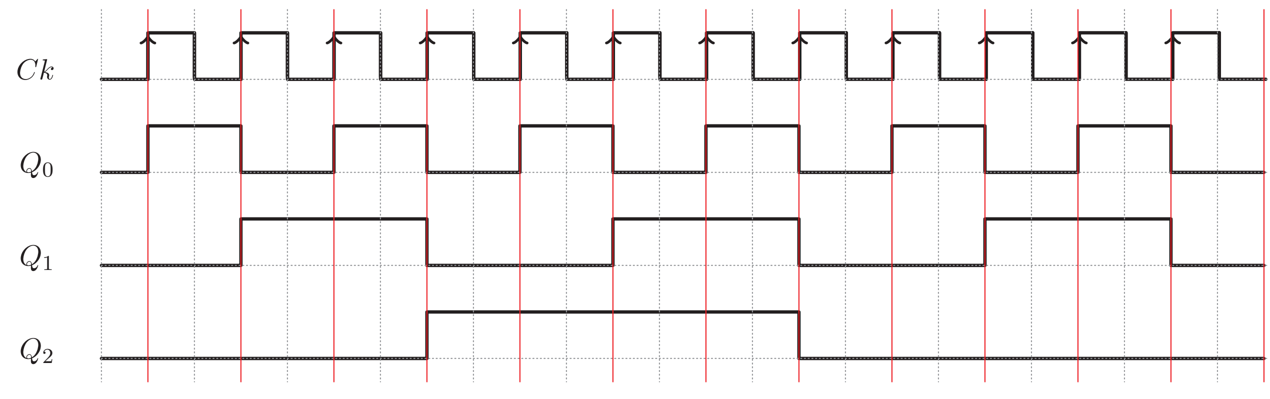
نستعمل الشكل القانوني الثاني لأنه يناسب البوابات NOR.

$$Q^+ = (\bar{C}+\bar{Q})(\bar{D}+Q)$$
$$Q^+ = \overline{\overline{(\bar{C}+\bar{Q})(\bar{D}+Q)}}$$
$$Q^+ = \overline{\overline{(\bar{C}+\bar{Q})}+\overline{(\bar{D}+Q)}}$$
$$Q^+ = \overline{(\bar{C}+\bar{Q})} \downarrow \overline{(\bar{D}+Q)}$$
$$Q^+ = (\bar{C}\downarrow\bar{Q}) \downarrow (\bar{D}\downarrow Q)$$
$$Q^+ = ((C\downarrow C)\downarrow(Q\downarrow Q))\downarrow((D\downarrow D)\downarrow Q)$$



Fill in the timing diagram based on the following setup::





Record the information $(Q_2Q_1Q_0)$ at each moment.

سجّل في كل لحظة المعلومة

N°	Q2	Q1	Q0
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0

2 What does the setup achieve?

ماذا يعمل هذا التركيب

Modulo 8 counter, counts from 0 to 7.

عداد تصاعدي بترديد 8، يعدّ من 0 إلى 7.

Chapter 10

Exams

امتحانات

10.1 Exams امتحانات

10.1.1 Subject n°1

01 **Exercise n°1 (10pts[1.5, 2.5, 1.5 ,2.5, 1.5])**
A factory manufactures products, which must undergo a conformity test for criteria such as weight, size, color, and odor.

- If the product is free from manufacturing defects, it is classified as "first choice".
- If the product has only one defect, it is classified as "second choice".
- If the product has two defects, it is classified as "third choice".
- If the product has more than two defects, it is rejected.

Design the logic circuit that sorts the products according to quality and manufacturing defects.

- Inputs/Outputs
- Truth Table
- Numeric Canonical Forms
- Simplification
- Logic Diagrams

ينتج مصنع منتجات ، يجب أن تجتاز المنتجات اختبار المطابقة لمعايير الوزن والحجم واللون والرائحة المطابقة لمعايير الوزن والحجم واللون والرائحة

- إذا كان المنتج خاليا من عيوب التصنيع ، فإنه يصنف على أنه من ``الطراز الأول".
- إذا كان في المنتج عيب واحد ،يصنف على أنه ``طراز ثان".
- إذا كان المنتج به عيبان ، فإنه يصنف على أنه ``طراز ثالث".
- إذا كان المنتج به أكثر من عيبين ، فيتم رفضه.

أنجز الدارة المنطقية التي تفرز المنتجات حسب الجودة وعيوب التصنيع. وعيوب التصنيع.

- مداخل ومخارج
- جدول الحقيقة
- الأشكال القانونية الرقمية
- التبسيط
- المخطط

02 **Exercise n°2 [4pts]**
Redo the circuit from exercise 2 using multiplexers only.

أعد الدارة من التمرين 2 باستخدام مجمعات فقط.

03 **Exercise n°3: [6 pts (1, 2, 1.5, 1.5)]**

Consider the JK flip-flop.

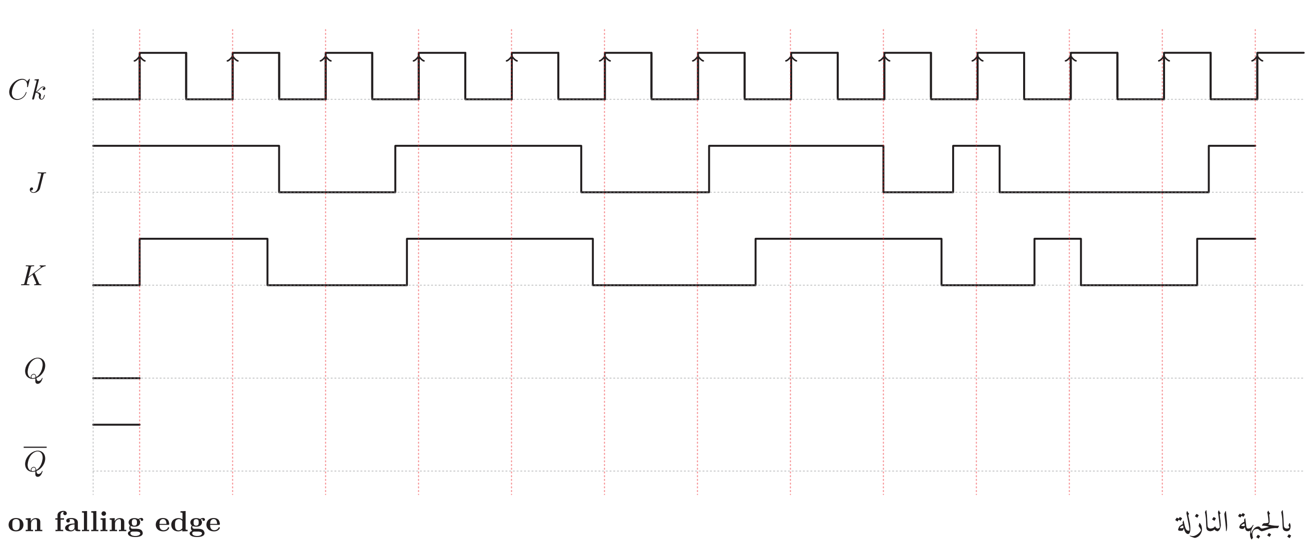
1. Recall the truth tables of the JK flip-flops
2. Complete the timeline according to the following cases
   a. JK is synchronized on the rising edge.
   b. JK is synchronized on the falling edge.

لدينا القلاب ج.ك

1. ذكّر بجدول الحقيقة للقلاب
2. أكمل المخطط الزمني حسب الحالات الآتية
   a. القلاب متزامن عند الجبهة الصاعدة.
   b. القلاب متزامن عند الجبهة النازلة.

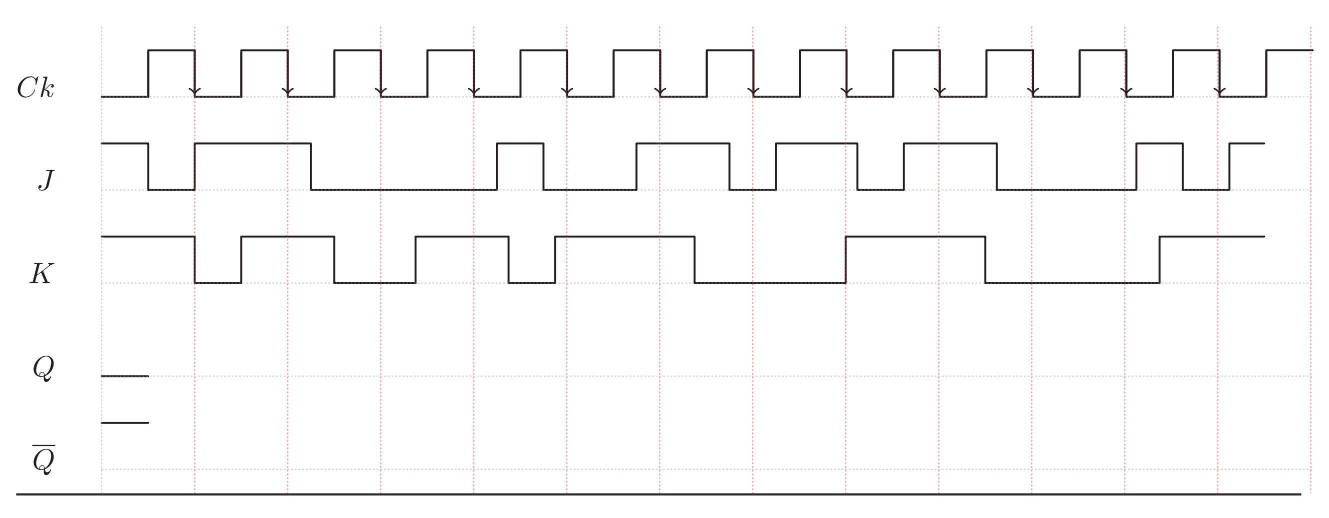


on rising edge بالجبهة الصاعدة





on falling edge بالجبهة النازلة



10.1.2 Subject n°2

Correction

إجابة نموذجية

04 **Exercise n°1 (9pts:[1, 2, 1, 2, 2, 1])**

We want to create a circuit that finds the greatest divisor of a 4-bit binary number (excluding itself).
Create the circuit.

1. Input/Output
2. Truth Table
3. Canonical forms
4. Simplification using Karnaugh map
5. Express simplified outputs using only NAND gates
6. Draw the logic diagram using only NAND gates

نريد تصميم دارة تعطي القاسم الأكبر لعدد ثنائي مكوّن من 4 بتات (عدا نفسه).
أنجز الدارة المنطقية

1. مداخل ومخارج
2. جدول الحقيقة
3. الأشكال القانونية الرقمية
4. التبسيط بجدول كارنوف
5. عبّر عن المخارج المبسّطة بنفي الوصل NAND فقط
6. ارسم المخطط ببوابات NAND فقط

05 **Exercise n°2 (5pts)**

Redo the circuit from exercise 2 using a decoder and a minimum of logic gates.

أعد رسم دارة التمرين 2 باستخدام مفكك واحد وأقل ما يمكن من البوابات المنطقية.

06 **Exercise n°3: (6 pts:[2, 2, 2])**

Let's define the XY flip-flop by the following truth table:

لدينا القلاب XY المعرّف بجدول الحقيقة

X	Y	Q^+
0	0	0
0	1	$\overline{Q}$
1	0	$\overline{Q}$
1	1	1

1. Complete the timing diagram for the following cases, and provide the truth table for each case:
   a. XY is asynchronous.
   b. XY is synchronized on the rising edge.
   c. XY is synchronized on the falling edge.

1. أكمل المخطط الزمني حسب الحالات الآتية وأعط جدول الحقيقة لكل حالة
   a. القلاب غير متزامن
   b. القلاب متزامن عند الجبهة الصاعدة
   c. القلاب متزامن عند الجبهة النازلة

Chapter 11

Exam Solution حلول الامتحانات

11.1 Exam Corrections حلول امتحانات

11.1.1 Solution of subject n°1

01 Exercise n°1

1 Inputs and outputs definition تعريف المداخل والمخارج

- Inputs المداخل:
  - → Weight A: 'has a defect' denoted 1 'no defect' denoted 0
  - → Size B: 'has a defect' denoted 1 'no defect' denoted 0
  - → Color C: 'has a defect' denoted 1 'no defect' denoted 0
  - → Smell D: 'has a defect' denoted 1 'no defect' denoted 0
- Outputs المخارج
  - → First choice C1: 'yes' denoted 1 'no' denoted 0
  - → Second choice C2: 'yes' denoted 1 'no' denoted 0
  - → Third Choice C3: 'yes' denoted 1 'no' denoted 0
  - → Rejected R: 'yes' denoted 1 'no' denoted 0

2 Truth tableجدول الحقيقة

N°	A	B	C	D	C1	C2	C3	R
0	0	0	0	0	1	0	0	0
1	0	0	0	1	0	1	0	0
2	0	0	1	0	0	1	0	0
3	0	0	1	1	0	0	1	0
4	0	1	0	0	0	1	0	0
5	0	1	0	1	0	0	1	0
6	0	1	1	0	0	0	1	0
7	0	1	1	1	0	0	0	1
8	1	0	0	0	0	1	0	0
9	1	0	0	1	0	0	1	0
10	1	0	1	0	0	0	1	0
11	1	0	1	1	0	0	0	1
12	1	1	0	0	0	0	0	0
13	1	1	0	1	0	0	0	1
14	1	1	1	0	0	0	0	1
15	1	1	1	1	0	0	0	1

3 Canonical forms الأشكال القانونية

- $C1 = \sum[0]$
- $C1 = \prod[1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15]$
- $C2 = \sum[1, 2, 4, 8]$
- $C2 = \prod[0, 3, 5, 6, 7, 9, 10, 11, 12, 13, 14, 15]$
- $C3 = \sum[3, 5, 6, 9, 10, 12]$
- $C3 = \prod[0, 1, 2, 4, 7, 8, 11, 13, 14, 15]$
- $R = \sum[7, 11, 13, 14, 15]$
- $R = \prod[0, 1, 2, 3, 4, 5, 6, 8, 9, 10, 12]$

4 Karnaugh map مخطط كارنوف

- Function C1

AB \ CD	00	01	11	10
00	1	0	0	0
01	0	0	0	0
11	0	0	0	0
10	0	0	0	0

Simplified form الشكل المبسط
$C1 = \bar{a}.\bar{b}.\bar{c}.\bar{d}$

- Function C2

AB \ CD	00	01	11	10
00	0	1	0	1
01	1	0	0	0
11	0	0	0	0
10	1	0	0	0

Simplified form الشكل المبسط
$C2 = a.\bar{b}.\bar{c}.\bar{d} + \bar{a}.b.\bar{c}.\bar{d} + \bar{a}.\bar{b}.c.\bar{d} + \bar{a}.\bar{b}.\bar{c}.d$

- Function C3

AB \ CD	00	01	11	10
00	0	0	1	0
01	0	1	0	1
11	1	0	0	0
10	0	1	0	1

Simplified form الشكل المبسط
$C3 = a.b.\bar{c}.\bar{d} + a.\bar{b}.c.\bar{d} + a.\bar{b}.\bar{c}.d + \bar{a}.b.c.\bar{d} + \bar{a}.b.\bar{c}.d + \bar{a}.\bar{b}.c.d$

- Function R

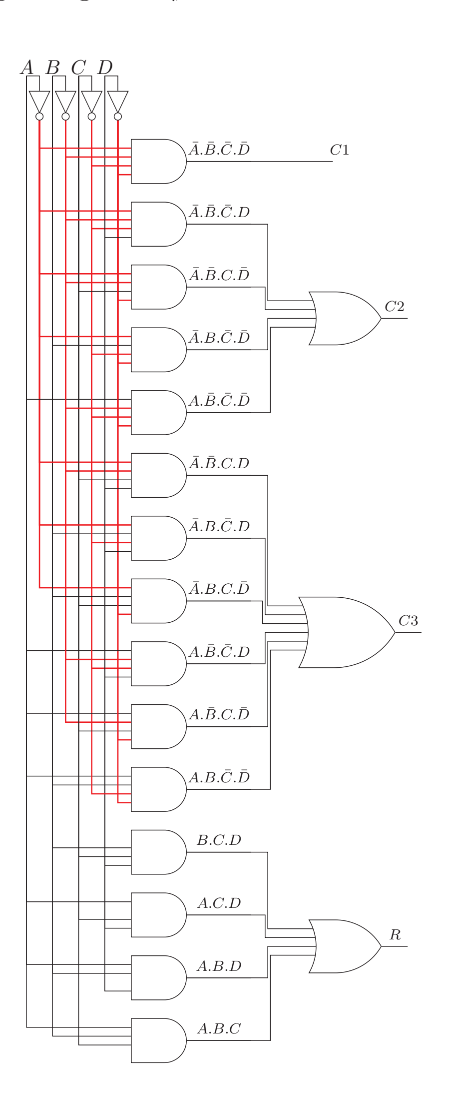
AB \ CD	00	01	11	10
00	0	0	0	0
01	0	0	1	0
11	0	1	1	1
10	0	0	1	0

Simplified form الشكل المبسط
$R = a.b.c + a.b.d + a.c.d + b.c.d$

Simplified forms الشكل المبسط

- $\rightarrow$ $C1 = \bar{a}.\bar{b}.\bar{c}.\bar{d}$
- $\rightarrow$ $C2 = a.\bar{b}.\bar{c}.\bar{d} + \bar{a}.b.\bar{c}.\bar{d} + \bar{a}.\bar{b}.c.\bar{d} + \bar{a}.\bar{b}.\bar{c}.d$
- $\rightarrow$ $C3 = a.b.\bar{c}.\bar{d} + a.\bar{b}.c.\bar{d} + a.\bar{b}.\bar{c}.d + \bar{a}.b.c.\bar{d} + \bar{a}.b.\bar{c}.d + \bar{a}.\bar{b}.c.d$
- $\rightarrow$ $R = a.b.c + a.b.d + a.c.d + b.c.d$

- Logic diagram المخططات المنطقية



02 **Exercise n°2**

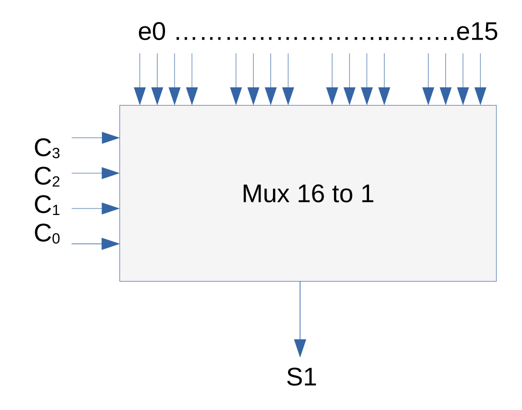
1 Repeat the circuit from Exercise 2 using the multiplexers only.

أعد الدارة من التمرين 2 باستخدام مجمعات فقط.

لحل هذه المسألة، نستحضر جدول حقيقة الدارة الأولى، ثم نستذكر شكل المجمّع ذي 16 مدخلا وجدول حقيقته، ثم نبحث عن التطابق بينهما.

نستذكر شكل المجمّع ذي 16 مدخلا وجدول حقيقته، ثم نبحث عن التطابق بينهما.

Block diagram for 16 bits multiplexer المخطط المصمت لمجمّع 16 إلى 1



Truth table for 16 bits multiplexer

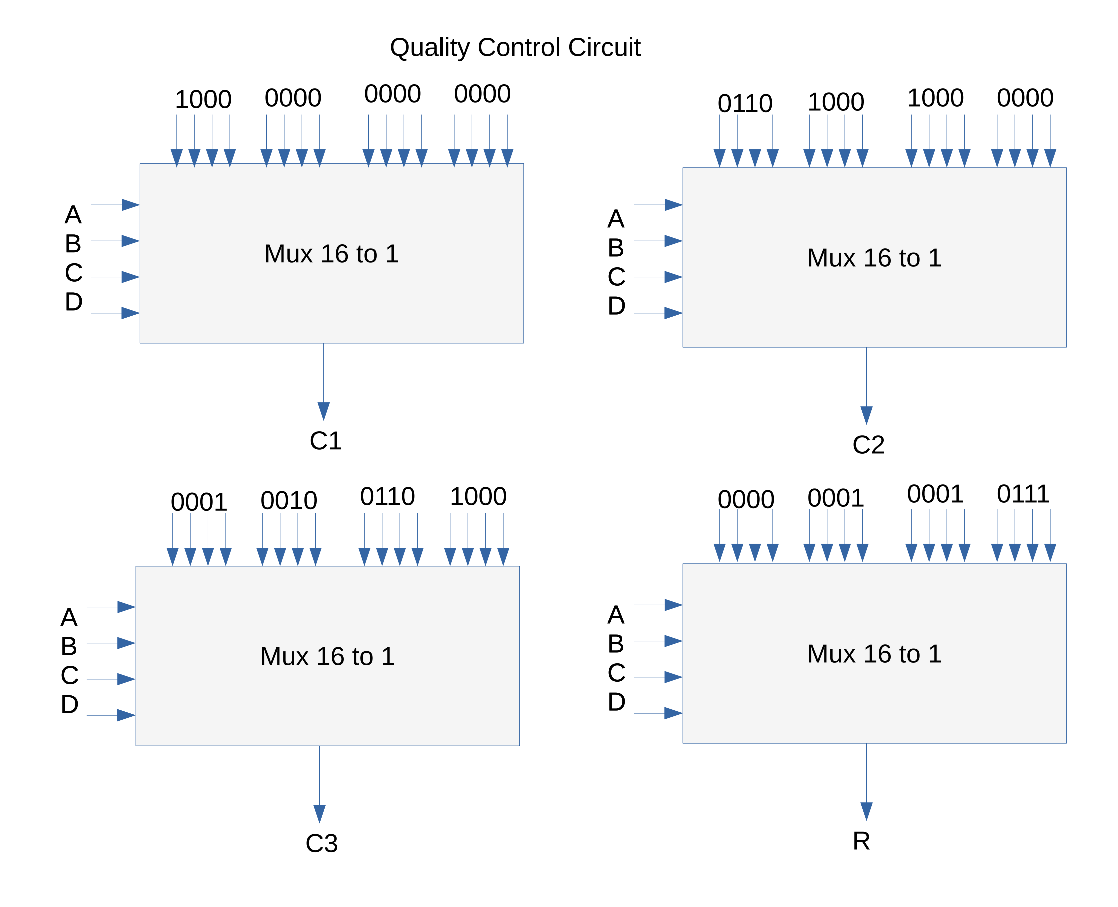
جدول حقيقة مجمّع 16 إلى 1

N°	C_3	C_2	C_1	C_0	S_{mux}
0	0	0	0	0	e0
1	0	0	0	1	e1
2	0	0	1	0	e2
3	0	0	1	1	e3
4	0	1	0	0	e4
5	0	1	0	1	e5
6	0	1	1	0	e6
7	0	1	1	1	e7
8	1	0	0	0	e8
9	1	0	0	1	e9
10	1	0	1	0	e10
11	1	0	1	1	e11
12	1	1	0	0	e12
13	1	1	0	1	e13
14	1	1	1	0	e14
15	1	1	1	1	e15

Corresponding truth table

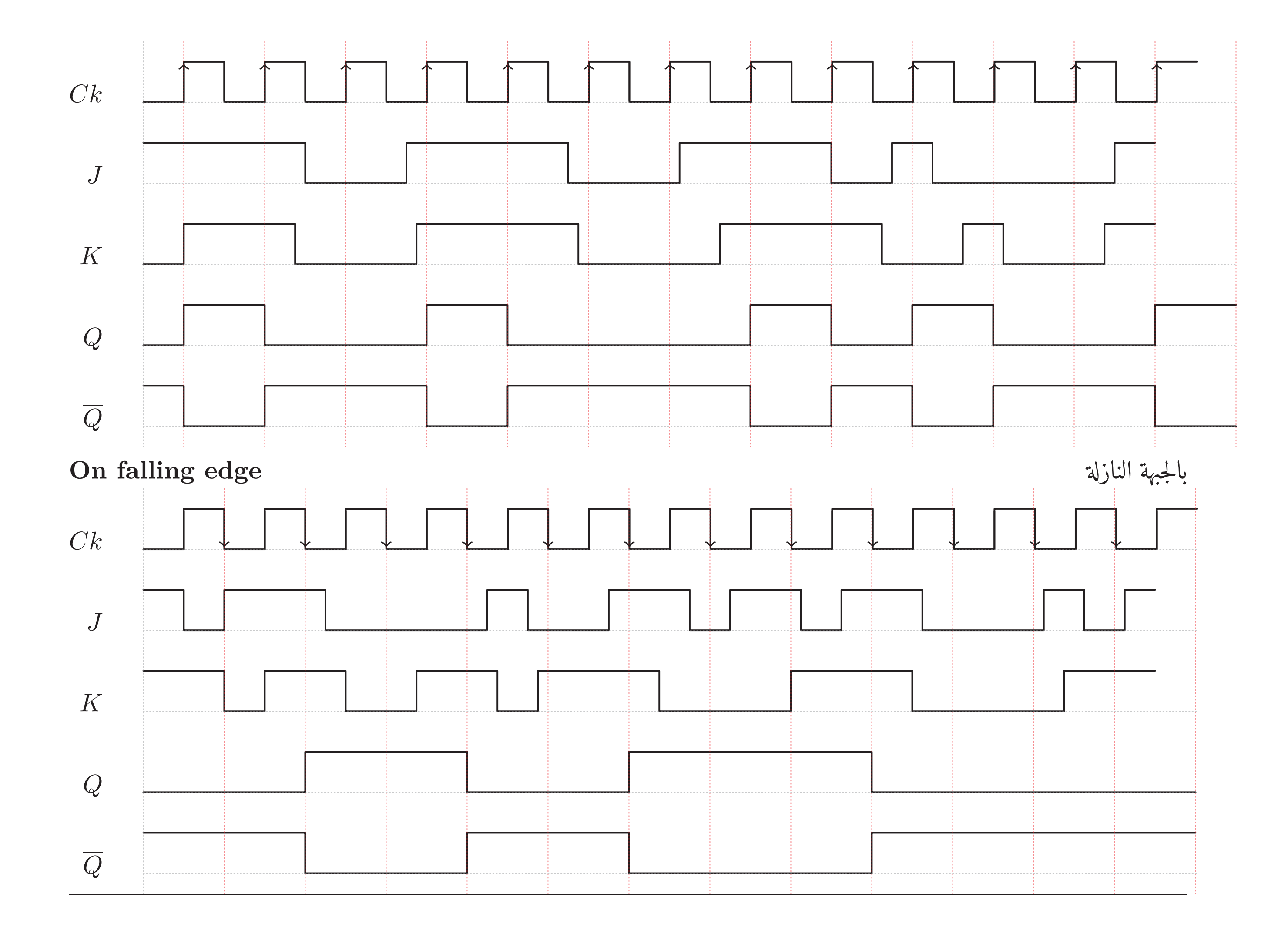
جدول حقيقة المطابقة

N°	A	B	C	D	C1	C2	C3	R	S_{mux}
0	0	0	0	0	1	0	0	0	e0
1	0	0	0	1	0	1	0	0	e1
2	0	0	1	0	0	1	0	0	e2
3	0	0	1	1	0	0	1	0	e3
4	0	1	0	0	0	1	0	0	e4
5	0	1	0	1	0	0	1	0	e5
6	0	1	1	0	0	0	1	0	e6
7	0	1	1	1	0	0	0	1	e7
8	1	0	0	0	0	1	0	0	e8
9	1	0	0	1	0	0	1	0	e9
10	1	0	1	0	0	0	1	0	e10
11	1	0	1	1	0	0	0	1	e11
12	1	1	0	0	0	0	0	0	e12
13	1	1	0	1	0	0	0	1	e13
14	1	1	1	0	0	0	0	1	e14
15	1	1	1	1	0	0	0	1	e15



03 Exercise n°3

On rising edge باالجبهة الصاعدة


Ck
J
K
Q
$\overline{Q}$
On falling edge
بالجبهة النازلة
Ck
J
K
Q
$\overline{Q}$

11.1.2 Solution of subject n°2

Correction

إجابة نموذجية

04 **Exercise n°1 (9pts:[1, 2, 1, 2, 2, 1])**

We want to create a circuit that finds the largest divisor of a 4-bit binary number (excluding itself).
Create the circuit.

1. Input/Output
2. Truth Table
3. Canonical forms
4. Simplification using Karnaugh map
5. Express simplified outputs using only NAND gates
6. Draw the logic diagram using only NAND gates

نريد تصميم دارة تعطي القاسم الأكبر لعدد ثنائي مكوّن من 4 بتات (عدا نفسه).
أنجز الدارة المنطقية

1. مداخل ومخارج
2. جدول الحقيقة
3. الأشكال القانونية الرقمية
4. التبسيط بجدول كارنوف
5. عبّر عن المخارج المبسّطة بنفي الوصل NAND فقط
6. ارسم المخطط ببوابات NAND فقط

1 Inputs and outputs definition تعريف المداخل والمخارج

- Inputs المداخل: a 4 bits number $N = (ABCD)_2$
- Outputs المخارج The largest divisor PGD(N), 3 bits because $PGD(15) = (5)_{10} = (101)_2$ and $PGD(12) = (6)_{10} = (110)_2$

2 Truth tableجدول الحقيقة

N°	A	B	C	D	PGD	S2	S1	S0
0	0	0	0	0	X	X	X	X
1	0	0	0	1	1	0	0	1
2	0	0	1	0	1	0	0	1
3	0	0	1	1	1	0	0	1
4	0	1	0	0	2	0	1	0
5	0	1	0	1	1	0	0	1
6	0	1	1	0	3	0	1	1
7	0	1	1	1	1	0	0	1
8	1	0	0	0	4	1	0	0
9	1	0	0	1	3	0	1	1
10	1	0	1	0	5	1	0	1
11	1	0	1	1	1	0	0	1
12	1	1	0	0	6	1	1	0
13	1	1	0	1	1	0	0	1
14	1	1	1	0	7	1	1	1
15	1	1	1	1	5	1	0	1

3 Another Solution حل آخر

N°	A	B	C	D	PGD	S2	S1	S0
0	0	0	0	0	X	X	X	X
1	0	0	0	1	X	X	X	X
.								
15	1	1	1	1	5	1	0	1

يمكن اعتبار قاسم الصفر الأكبر هو أكبر عدد في الجدول 111 أو 1111.

4 Canonical forms الأشكال القانونية

الشكل القانوني الرقمي هو المطلوب، الشكل القانوني العادي لا يحتسب

- First canonical numeric form; الشكل القانوني الرقمي الأول

  $\rightarrow$ $S2(A, B, C, D) = \sum[8, 10, 12, 14, 15]$

  $\rightarrow$ $S1(A, B, C, D) = \sum[4, 6, 9, 12, 14]$

  $\rightarrow$ $S0(A, B, C, D) = \sum[1, 2, 3, 5, 6, 7, 9, 10, 11, 13, 14, 15]$

- Second canonical numeric form; الشكل القانوني الرقمي الثاني

  $\rightarrow$ $S2(A, B, C, D) = \prod[1, 2, 3, 4, 5, 6, 7, 9, 11, 13]$

  $\rightarrow$ $S1(A, B, C, D) = \prod[1, 2, 3, 5, 7, 8, 10, 11, 13, 15]$

  $\rightarrow$ $S0(A, B, C, D) = \prod[4, 8, 12]$

5 Karnaugh map مخطط كارنوف

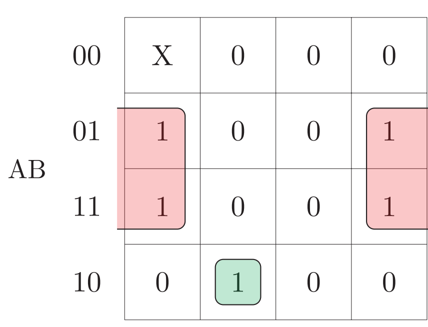
- Function S2 الدالة

CD

AB \ CD	00	01	11	10
00	X	0	0	0
01	0	0	0	0
11	1	0	1	1
10	1	0	0	1

Simplified form الشكل المبسط
$S2 = a.\bar{d} + a.b.c$

- Function S1



Simplified form الشكل المبسط
$S1 = b.\bar{d} + a.\bar{b}.\bar{c}.d$

- Function S0 الدالة

		CD		
AB	00	01	11	10
00	X	1	1	1
01	0	1	1	1
11	0	1	1	1
10	0	1	1	1

Simplified form الشكل المبسط
S0 $= c + d$

Simplified forms

- S2(A, B, C, D) $= a.\bar{d} + a.b.c$
- S1(A, B, C, D) $= b.\bar{d} + a.\bar{b}.\bar{c}.d$
- S0(A, B, C, D) $= c + d$

6 NAND forms

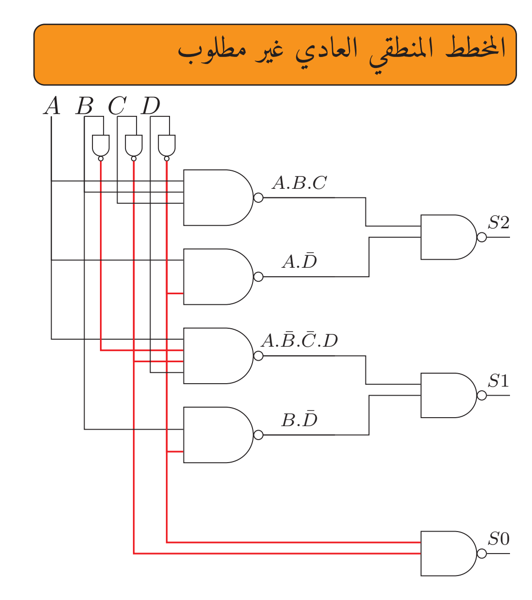
- S2(A, B, C, D) $= = \overline{\overline{a.\bar{d} + a.b.c}}$
$= \overline{\overline{a.\bar{d}}.\overline{a.b.c}}$
$= (a \uparrow \bar{d}) \uparrow (a \uparrow b \uparrow c)$
$= (a \uparrow (d \uparrow d)) \uparrow (a \uparrow b \uparrow c)$

- S1(A, B, C, D) $= b.\bar{d} + a.\bar{b}.\bar{c}.d = \overline{\overline{b.\bar{d} + a.\bar{b}.\bar{c}.d}}$
$= \overline{\overline{b.\bar{d}}.\overline{a.\bar{b}.\bar{c}.d}}$
$= \big(b \uparrow (d \uparrow d)\big) \uparrow \big(a \uparrow (b \uparrow b) \uparrow (c \uparrow c) \uparrow d\big)$

- S0(A, B, C, D) $= c + d$
$= \overline{\overline{c + d}}$
$= \overline{\bar{c}.\bar{d}}$
$= (c \uparrow c) \uparrow (d \uparrow d)$

7 Logic diagram المخططات المنطقية

المخطط المنطقي العادي غير مطلوب



05 **Exercise n°2 (5pts)**

Redo the circuit from exercise 2 using a decoder and a minimum of logic gates.

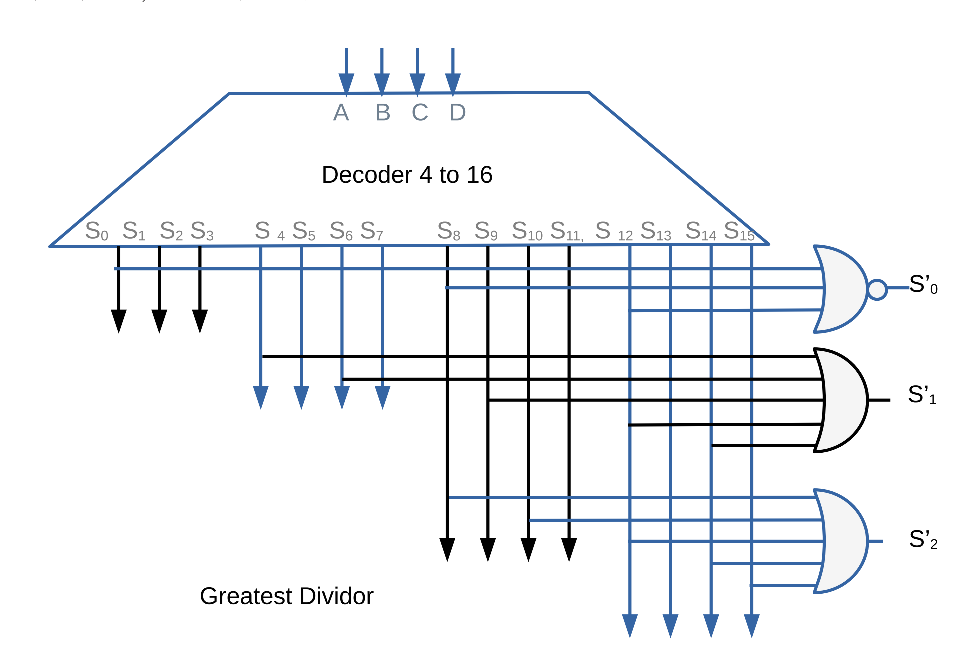
أعد رسم دارة التمرين 2 باستخدام مفكك واحد وأقل ما يمكن من البوابات المنطقية.

Corresponding truth table

N°	A	B	C	D	S2'	S1'	S0'	S0	S1	S2	S3	S4	S5	S6	S7	S8	S9	S10	S11	S12	S13	S14	S15
0	0	0	0	0	X	X	X	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
2	0	0	1	0	0	0	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
3	0	0	1	1	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
4	0	1	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
5	0	1	0	1	0	0	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
6	0	1	1	0	0	1	1	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
7	0	1	1	1	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
8	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
9	1	0	0	1	0	1	1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
10	1	0	1	0	1	0	1	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
11	1	0	1	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
12	1	1	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
13	1	1	0	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
14	1	1	1	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
15	1	1	1	1	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

We notice that:

- S2'(A, B, C, D)= $\sum(8, 10, 12, 14, 15) = \sum(S8, S10, S12, S14, S15)$
- S1'(A, B, C, D)= $\sum(4, 6, 9, 12, 14) = \sum(S4, S6, S9, S12, S14)$
- S0'(A, B, C, D)= $\sum(1, 2, 3, 5, 6, 7, 9, 10, 11, 13, 14, 15)$
  $= \sum(S1, S2, S3, S5, S6, S7, S9, S10, S11, S13, S14, S15)$
  $= \prod(S0, S8, S12) = S0 \downarrow S8 \downarrow S12$



06 Exercise n°3 : (6 pts:[2, 2, 2])

Let's define the XY flip-flop by the following truth table:

لدينا القلاب XY المعرّف بجدول الحقيقة

X	Y	Q^+
0	0	0
0	1	$\overline{Q}$
1	0	$\overline{Q}$
1	1	1

1 Complete the timing diagram for the following cases, and provide the truth table for each case:

a. XY is asynchronous.

b. XY is synchronized on the rising edge.

c. XY is synchronized on the falling edge.

1 أكمل المخطط الزمني حسب الحالات الآتية وأعط جدول الحقيقة لكل حالة

a. القلاب غير متزامن

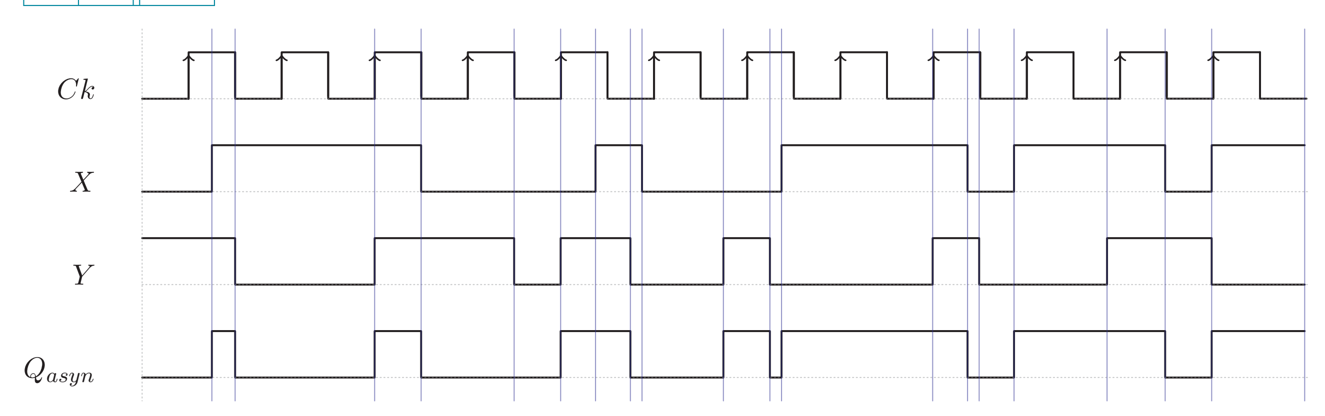
b. القلاب متزامن عند الجبهة الصاعدة

c. القلاب متزامن عند الجبهة النازلة

Notes: Truth table 1pt, Asyn 2, rising edge 1.5, falling edge 1.5

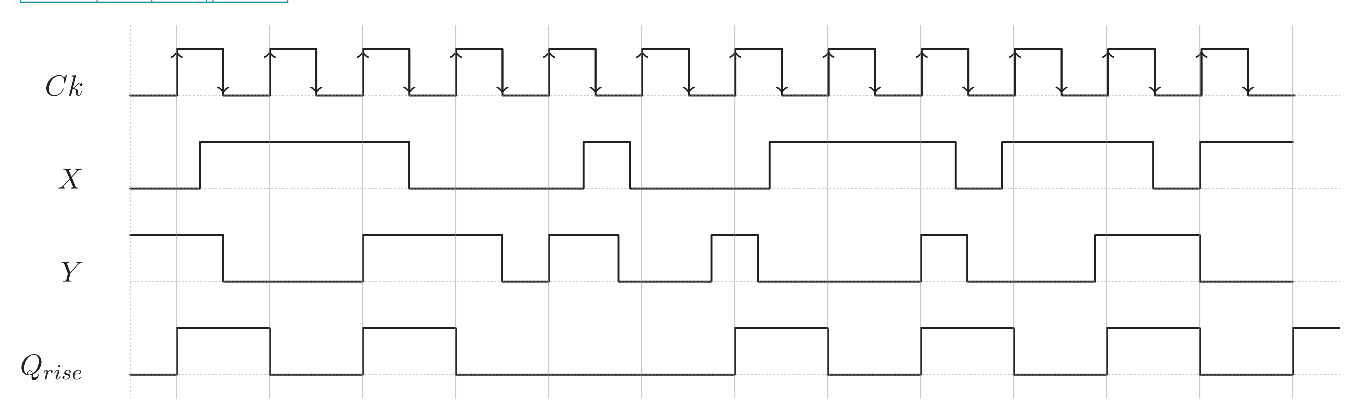
Truth table (Asynchronous case)

X	Y	Q^+
0	0	0
0	1	$\overline{Q}$
1	0	$\overline{Q}$
1	1	1



Truth table(Synchronous case on the rising edge)

Ck	X	Y	Q^+
0/1	X	X	Q
↑	0	0	0
↑	0	1	$\overline{Q}$
↑	1	0	$\overline{Q}$
↑	1	1	1



Truth table(Synchronous case on the falling edge)

Ck	X	Y	Q^+
0/1	X	X	Q
↓	0	0	0
↓	0	1	$\overline{Q}$
↓	1	0	$\overline{Q}$
↓	1	1	1

Ck

X

Y

Q_{fall}

Global

Ck

X

Y

Q_{asyn}

Q_{rise}

Q_{fall}

Chapter 12

Appendices ملحقات

Appendice A ملحق أ

هذه قائمة من المراجع والموارد المفيدة لطالب السنة الأولى إعلام آلي:

12.0.1 Books كتب

- كتاب نبراس: دليل المصطلحات للشعب التقنية http://nibras.sf.net (Zerrouki, 2012).
- Ait-Aoudia Samy, Architecture des systèmes informatiques, OPU, 2012, (Aït-Aoudia, 2012).
- Drias-Zerkaoui Habiba Introduction à l'architecture des ordinateurs, OPU, 2003 (Drias-Zerkaoui, 2003).
- M.C. Belaid, Algèbre de Boole et Fonctions Logiques, Pages bleus, 2007 (Belaid, 2007a).
- M.C. Belaid, Circuits Logiques Combinatoires et Séquentiel, Pages bleus, 2007(Belaid, 2007b).
- Souag Nadia, Logique combinatoire: Exércices corrigés (Souag, 2013),

12.0.2 Courses online



- Computer science courses by Taha Zerrouki: http://infobouirauniv.wordpress.com (Zerrouki, 2013)
- Cours Structure machine par Hakim Amrouche http://amrouche.esi.dz (Amrouche, 2021)
- TD et Examen par Pr. Amar Balla: http://balla.esi.dz/ (Balla, 2021)
- TD et Examen par Kara Abdelaziz: https://www.el-kalam.com/ (Abdelaziz, 2022)
- http://www.allaboutcircuits.com/
- DZuniv Le paradis des étudiants https://dzuniv.com/

12.0.3 Youtube Channels دروس فيديو على يوتيوب

- 1. قناة الدكتور طه زروقي https://www.youtube.com/@taha.zerrouki
  - → دروس بنية الآلة 2 [1]
  - → فصل الدارات التوفيقية[2]
- machine Structure 2 الجبر البولياني بنية الالة[3]

12.0.4 Software برامج وتطبيقات

- تطبيق نبراس: دليل المصطلحات للشعب التقنية http://nibras.sf.net
- Multimedia logic simulation software http://multimedialogic.sourceforge.net/

[1] https://www.youtube.com/playlist?list=PL6rWyhpXGJmdxzoRZXGh5CTC4A3dF86OT
[2] https://www.youtube.com/playlist?list=PL6rWyhpXGJmdNW1tljgNu5etFrLNZE1aI
[3] https://www.youtube.com/playlist?list=PLUfAL3A5C7Tu3BfmPdawyTIuwEDsJlizV

12.1 Glossary مسرد

قائمة المصلحات، إنجليزي/فرنسي/ عربي، تم إعداد المصطلحات بتصرف وفقا للمصادر الآتية، مع مراعاة مطابقتها للمنهاج الدراسي في الثانوية:
(الدار العربية للعلوم, 1990), (المدرسة الوطنية التحضيرية لدراسات مهندس, 2004), (Zerrouki, 2012), (Zerrouki, 2013).

12.1.1 مرتبة أبجديًا حسب الحرف العربي

Algorithmic [*Algorithmique*] الخوارزميات
ASCII [*Ascii*] الشفرة الأمريكية القياسية لتبادل المعلومات
Fixed point [*Virgule fixe*] الفاصلة الثابتة
Float point [*Virgule flottante*] الفاصلة العائمة
Determining [*Déterminant*] المحدد
command [*Commande*] أمر – تعليمة، تحكم
Realization [*Réalisation*] إنجاز
Perform [*Effectuer*] أنجز ينجز
Decrease [*Diminuer*] أنقص ينقص
Optimization [*Optimisation*] إيجاد الأمثل
Rest [*Reste*] باقي
Modular [*Modulaire*] بالتجزئة
Gradually [*Au fur et à mesure*] بالتوالي- بالتتابع - بالتناسب
Obvious [*Evident*] بديهي، واضح
Sub-program [*Sous-programme*] برنامج فرعي
Demonstration [*Démonstration*] برهان
Label [*Etiquette*] بطاقة
Dimension [*Dimension*] بعد (أبعاد)
Dimension [*Dimension*] بعد (أبعاد)
Access [*Accès*] بلوغ، وصول، دخول
Article [*Article*] بند
Machine structure [*Structure machine*] بنية الآلة (آليات)
Data [*Données*] بيانات، معطيات
Influence [*Influence*] تأثير
Compilation [*Compilation*] تأليف- تصنيف – ترجمة،
Divergence [*Divergence*] تباعد
Permutation [*Permutation*] تبديل
Commutative [*Commutatif*] تبديلي
Series [*Série (en série)*] تتابع (على التوالي)
Compatibility [*Compatibilité*] تجانس، تلاؤم
Association [*Association*] تجميع
Associative [*Associatif*] تجميعي
Update [*Mise à jour*] تحديث
Editing [*Edition*] تحرير، تعديل، نشر
Conversion [*Conversion*] تحويل
Assignment [*Affectation*] تخصيص
Flow [*Flux*] تدفق
Verification [*Vérification*] تدقيق

Automatic [*Automatique*] آلي
Initialization [*Initialisation*] ابتداء
Alphabet [*Alphabet*] أبجدية
Meeting [*Réunion*] اتحاد
Retain [*Retenir*] احتفظ يحتفظ
Inclusion [*Inclusion*] احتواء
Contact details [*Coordonnées*] إحداثيات
Choice [*Choix*] اختيار
Selection [*Sélection*] اختيار
Encoder [*Encodeur*] أداة الترميز
Multiplier [*Multiplicateur*] أداة ضرب (رياضيات)
If [*If*] إذا
If [*Si*] إذا كان
so [*Donc*] إذن
Transmission [*Transmission*] إرسال
Shift [*Déplacement*] إزاحة
Base [*Base*] أساس، قاعدة
Replacement [*Remplacement*] استبدال
Restitution [*Restitution*] استرجاع
Restore [*Restituer*] استرجع يسترجع
Involvement [*Implication*] استلزام
Identifier [*Identificateur*] اسم مميز (معرف)
Signal [*Signal*] إشارة
Convention [*Convention*] اصطلاح
Lower [*Inférieur*] أصغر
On the other hand [*D'autre part*] إضافة إلى / رد على ذلك/ من جهة أخرى
Reset [*RAZ (remise à zéro)*] إعادة إلى الصفر (تصفير)
Implementation [*Mise en œuvre*] إعداد
Configuration [*Configuration*] إعدادات، شكل، مظهر
Give [*Donner*] أعطى يعطي
Restriction [*Restriction*] اقتصار
Read [*Read*] اقرأ
Superior [*Supérieur*] أكبر من
Acquire [*Acquérir*] اكتسب
The numbers of significance [*Chiffres significatifs*] الأرقام ذات الدلالة
Optimal [*Optimal*] الأمثل (الأفضل)
Algebraic structure [*Structure algébrique*] البنية الجبرية

Recursive [*Récursif*] تراجعي
Recurrence [*Récursivité*] تراجعية
Order [*Ordre*] ترتيب
Modulo (mod) [*Modulo (mod)*] ترديد (باقي القسمة)
Composition [*Composition*] تركيب
Designate [*Désigne*] ترمز لـ
Coding [*Codage*] ترميز
Notation [*Notation*] ترميز
Growth [*Croissance*] تزايد
Power supply [*Alimentation*] تزويد - تغذية
Record [*Record*] تسجيلة
Management [*Gestion*] تسيير - إدارة
Statement [*Déclaration*] تصريح، إعلان
Design [*Conception*] تصميم - تصوّر
Application [*Application*] تطبيق
Expression [*Expression*] تعبير، عبارة
Enumeration [*Enumération*] تعداد
Definition [*Définition*] تعريف
Comment [*Commentaire*] تعليق
Instruction [*Instruction*] تعليمة – أمر
Fork [*Branchement*] تفرع
Decomposition [*Décomposition*] تفكيك
Intersection [*Intersection*] تقاطع
Equivalence [*Equivalence*] تكافؤ
Symmetrical [*Symétrique*] تناظري
Coordination [*Coordination*] تنسيق
Execution [*Exécution*] تنفيذ، إنجاز
Parallel (in parallel) [*Parallèle (en parallèle)*] توازي (على التوازي)
Directive [*Directive*] توجيه (توجيهات)
Distributive [*Distributif*] توزيعي
Combination [*Combinaison*] توفيقة
Combinatorial [*Combinatoire*] توفيقي
Stream [*Courant*] تيار
Constant [*Constant*] ثابت
Secondary [*Secondaire*] ثانوي
Secondary memory [*Mémoire secondaire*] ثانوية
Byte [*Octet*] ثمانية أرقام ثنائية
Binary [*Binaire*] ثنائي
Arroy [*Array*] جدول
Table [*Tableau*] جدول
Truth table [*Table de vérité*] جدول الحقيقة (منطق)
Root [*Racine*] جذر
Square root [*Racine carrée*] جذر تربيعي
Cubic root [*Racine cubique*] جذر تكعيبي
Module [*Module*] جزء
Part [*Partie*] جزء
Addition [*Addition*] جمع
Device [*Dispositif*] جهاز - مكوّن
Computer [*Ordinateur*] حاسوب

PC Personal Computer [*Pc personal computer*] حاسوب شخصي
Quotient [*Quotient*] حاصل القسمة
Case [*Cas*] حالة
Term [*Terme*] حد
Limit [*Borne*] حد، طرف
Character [*Caractère*] حرف/ رمز (محرف)
Field [*Champ*] حقل
Real [*Réel*] حقيقي
Solve [*Résoudre*] حل يحلّ
Loop [*Boucle*] حلقة
Memory space [*Espace mémoire*] حيّز الذاكرة (سعة الذاكرة)
Particular [*Particulier*] خاص
Store [*Stocker*] خزّن يخزن
Line [*Ligne*] خط
False [*Faux*] خطأ
Iteration [*Itération*] خطوة
Linear [*Linéaire*] خطي
Cell [*Cellule*] خلية
Circuit [*Circuit*] دارة
Sequential circuit [*Circuit séquentiel*] دارة سببية
Logical circuit [*Circuit logique*] دارة منطقية
Function [*Fonction*] دالة
Exponential [*Exponentiel*] دالة الأس
Sinus [*Sinus*] دالة جيب
Degree [*Degré*] درجة
Check [*Vérifier*] دقّق يدقق
Hint [*Indice*] دليل
Rotation [*Rotation*] دوران
Cycle [*Cycle*] دورة
Memory [*Mémoire*] ذاكرة
RAM (Random Access Memory) [*RAM (random access memory)*] ذاكرة الوصول العشوائي
Rom (Read Only Memory) [*ROM (read only memory)*] ذاكرة قراءة فقط
Central memory [*Mémoire central*] ذاكرة مركزية
Significant [*Significatif*] ذو معنى
Header [*Entête*] رأسية (صدر)
Rank [*Ordre*] رتبة
Rank [*Rang*] رتبة
Digital [*Numérique*] رقمي
Bit (Binary Digit) [*Bit (binary digit)*] رقم ثنائي
Symbol [*Symbole*] رمز
Synchronize [*Synchroniser*] زامن يزامن
Time [*Temps*] زمن
Couple [*Couple*] زوج، ثنائية
Even [*Pair*] زوجي
Static [*Statique*] ساكن
Negative [*Négatif*] سالب
Register [*Registre*] سجّل

Line [*Ligne*] سطر
Capacity [*Capacité*] سعة
serie [*Chaîne*] سِلسلة
Semiconductor [*Semi-conducteur*] شبه موصل أو شبه ناقل
Charge [*Charge*] شحنة
Condition [*Condition*] شرط، قيد
Shape [*Forme*] شكل
Formal [*Formel*] شكلي
Object [*Objet*] شيء - كائن
Configure [*Configurer*] صاغ، أعدّ
Design [*Concevoir*] صمّم – تصوّر
Industrial [*Industriel*] صناعي
TRUE [*Vrai*] صواب، حقيقي
Image [*Image*] صورة
Formula [*Formule*] صيغة
Multiplication [*Multiplication*] ضرب
Multiplication [*Multiplication*] ضرب (رياضيات)
Printer [*Imprimante*] طابعة
Natural [*Naturel*] طبيعي
Substraction [*Soustraction*] طرح
Manner [*Manière*] طريقة
Method [*Méthode*] طريقة
Way [*Façon*] طريقة
Overflow [*Débordement*] طفح (فيضان)
To treat [*Traiter*] عالج يعالج
High [*Haut*] عالي
Operand [*Opérande*] عامل (رياضي)
Factor [*Facteur*] عامل (عوامل)
Vector operator [*Opérateur vectoriel*] عامل شعاعي
Express [*Exprimer*] عبّر يعبّر
Number [*Nombre*] عدد
Integer [*Entier*] عدد صحيح
Integer [*Integer*] عدد صحيح
BCD: Binary Coded Decimal [*BCD: Binary Coded decimal*] عدد عشري مرمّز في النظام الثنائي
Random [*Aléatoire*] عشوائي
Random [*Random*] عشوائي
Organ [*Organe*] عضو
Relationship [*Relation*] علاقة
Respectively [*Respectivement*] على الترتيب
Operation [*Opération*] عملية
Column [*Colonne*] عمود
Address [*Adresse*] عنوان
Mean [*Signifier*] عنى يعني
Asynchronous? synchronous [*Asynchrone ? synchrone*] غير متزامن؟ متزامن
Undetermined [*Indéterminé*] غير محدد
Mouse [*Sourie*] فأرة

Odd [*Impair*] فردي
Assumption [*Hypothèse*] فرضية
Action [*Action*] فعل، عملية - عمل
Effective [*Effectif*] فعلي
Decoding [*Décodage*] فك الترميز
Concerning [*Concernant*] فيما يخص
List [*Liste*] قائمة
Reducible [*Réductible*] قابل للاختزال
Divisible [*Divisible*] قابل للقسمة
Rule [*Règle*] قاعدة
Law [*Loi*] قانون
Canonical [*Canonique*] قانوني
Division [*Division*] قسمة
Euclidean division [*Division euclidienne*] قسمة إقليدية
Flip flop [*Bascule*] قلّاب - نطّاط
Writing rules [*Règles d'écriture*] قواعد كتابة
Normalized [*Normalisée*] قياسي - مواصف
Value [*Valeur*] قيمة
Maximum [*Maximum*] قيمة قصوى
Block [*Bloc*] كتلة
Repeat [*Répéter (repeat)*] كرّر يكرر
Spherical [*Sphérique*] كروي
Electric [*Electrique*] كهربائي
Constitute (it constitutes) [*Constituer (il constitue)*] كوّن يكوّن
For [*For*] لكل، من أجل
While [*Tant que*] ما دام
Indicator [*Indicateur*] مؤشر - قرينة
Buffer [*Tampon*] مؤقّت
Direct [*Direct*] مباشر
Origin [*Origine*] مبدأ
Successive [*Successif*] متتابع
Suite [*Suite*] متتالية
Homogeneous [*Homogène*] متجانس
Synchronous? Asynchronous [*Synchrone ? Asynchrone*] متزامن؟ غير متزامن
Transitive [*Transitif*] متعدي
Complement [*Complément*] متمّم
one's complement [*Complément à un*] متمّم – إلى الواحد
Two's complement [*Complément Vrai à deux*] متمم حقيقي
Alternate [*Alternée*] متناوب
Interval [*Intervalle*] مجال
Sum [*Somme*] مجموع
Set [*Ensemble*] مجموعة
Got [*Obtenu*] محصل عليه
Outputs [*Sorties*] مخارج
Buffer [*Buffer*] مخزن مؤقت

Buffer [*Tampon*] مخزن مؤقت
Diagram [*Schéma*] مخطط – رسم توضيحي
Entry [*Entrée*] مداخل
Integrated [*Intégré*] مدمج
Conjugate [*Conjugué*] مرافق
Corresponding [*Correspondant*] مرافق
Peripheral devices [*Périphériques*] مرافق، ملحقات (ج ملحقة)
dependent [*Dépendant*] مرتبط
Related [*Lié*] مرتبط
Attached [*Muni*] مرفق بـ
Complex [*Complexe*] مركّب- معقّد
Coder [*Codeur*] مُرمِّز (أداة الترميز)
Disadvantages [*Inconvénients*] مساوئ
Equality [*Egalité*] مساواة
Stable [*Stable*] مستقّر
Continuous [*Continu*] مستمر
Level [*Niveau*] مستوى
Identical [*Identique*] مطابق
Identification [*Identification*] مطابقة – تعرف على الهوية
Equation [*Equation*] معادلة
Reciprocal [*Réciproque*] معاكس
Microprocessor [*Microprocesseur*] معالج مصغر
Treatment [*Traitement*] معالجة
Coefficient [*Coéfficient*] معامل
Null [*Nul*] معدوم
Comparator [*Comparateur*] مُقارِن (أداة مقارنة)
Comparison [*Comparaison*] مقارَنة
Article [*Article*] مقال
Resistance [*Résistance*] مقاومة
Admitted [*Admis*] مقبول
Condensed [*Condensé*] مكثَّف- كثيف
Note [*Remarque*] ملاحظة
File [*Fichier*] ملف
Gega [*Géga*] مليار
Mega [*Méga*] مليون
Graph [*Graphe*] منحنى، بيان
Sequencer [*Séquenceur*] منسق، متابع
Boolean [*Boolean*] منطقي، بولياني
Reflexive [*Réflexif*] منعكس
Generator [*Générateur*] مولّد
Characteristic [*Caractéristique*] ميزة
Driver [*Conducteur*] ناقل، موصل
Impulse [*Impulsion*] نبضة
Result [*Conséquence*] نتيجة
Result [*Résultat*] نتيجة
Relative [*Relatif*] نسبي
Relatively [*Relativement*] نسبيا
Sequence [*Séquence*] نسق، تتابع
Text [*Texte*] نص
System [*Système*] نظام
Theorem [*Théorème*] نظرية
Execute [*Exécuter*] نفّذ، أنجز
End [*End*] نهاية
Type [*Type*] نوع
Species [*Espèce*] نوع، فصيلة
And [*And*] و (الوصل)
Else [*Else*] وإلا (إذا لم يكن)
Otherwise [*Si non*] وإلا (إذا لم يكن)
Exchange unit [*Unité d'échange*] وحدة التبادل
Control unit [*Unité de commande*] وحدة التحكم
ALU (arithmetic and logical unit) [*UAL (Unité arithmétique et logique)*] وحدة الحساب والمنطق
Unique/ unitary [*Unique/ unitaire*] وحيد/ واحدي
Settings [*Paramètres*] وسائط
Functioning [*Fonctionnement*] وظيفة (عمل)
Function [*Fonction*] وظيفة (عملية)
Generate [*Engendrer*] ولّد يولّد
Match [*Correspondre*] يرافق يراسل
Note [*Note*] يرمز له بـ
Left [*Gauche*] يسار
right [*Droite*] يمين
Agree (it is suitable) [*Convenir (il convient)*] يناسب
Exist [*Existe*] يوجد

12.1.2 مرتبة أبجديًا حسب الحرف اللاتيني

Access [*Accès*] بلوغ، وصول، دخول
Acquire [*Acquérir*] اكتسب
Action [*Action*] فعل، عملية - عمل
Addition [*Addition*] جمع
Address [*Adresse*] عنوان
Admitted [*Admis*] مقبول
Agree (it is suitable) [*Convenir (il convient)*] يناسب
Algebraic structure [*Structure algébrique*] البنية الجبرية
Algorithmic [*Algorithmique*] الخوارزميات
Alphabet [*Alphabet*] أبجدية
Alternate [*Alternée*] متناوب
ALU (arithmetic and logical unit) [*UAL (Unité arithmétique et logique)*] وحدة الحساب والمنطق
And [*And*] و (الوصل)
Application [*Application*] تطبيق
Arroy [*Array*] جدول
Article [*Article*] بند
Article [*Article*] مقال
ASCII [*Ascii*] الشفرة الأمريكية القياسية لتبادل المعلومات
Assignment [*Affectation*] تخصيص
Association [*Association*] تجميع
Associative [*Associatif*] تجميعي
Assumption [*Hypothèse*] فرضية
Asynchronous? synchronous [*Asynchrone ? synchrone*] غير متزامن؟ متزامن
Attached [*Muni*] مرفق بـ
Automatic [*Automatique*] آلي
Base [*Base*] أساس، قاعدة
BCD: Binary Coded Decimal [*BCD: Binary Coded decimal*] عدد عشري مرمّز في النظام الثنائي
Binary [*Binaire*] ثنائي
Bit (Binary Digit) [*Bit (binary digit)*] رقم ثنائي
Block [*Bloc*] كتلة
Boolean [*Boolean*] منطقي، بولياني
Buffer [*Buffer*] مخزن مؤقت
Buffer [*Tampon*] مؤقّت
Buffer [*Tampon*] مخزن مؤقت
Byte [*Octet*] ثمانية أرقام ثنائية
Canonical [*Canonique*] قانوني
Capacity [*Capacité*] سعة
Case [*Cas*] حالة
Cell [*Cellule*] خلية
Central memory [*Mémoire central*] ذاكرة مركزية
Character [*Caractère*] حرف/ رمز (محرف)
Characteristic [*Caractéristique*] ميزة
Charge [*Charge*] شحنة
Check [*Vérifier*] دقّق يدقق
Choice [*Choix*] اختيار
Circuit [*Circuit*] دارة
Coder [*Codeur*] مُرمِّز (أداة الترميز)
Coding [*Codage*] ترميز
Coefficient [*Coéfficient*] معامل
Column [*Colonne*] عمود
Combination [*Combinaison*] توفيقة
Combinatorial [*Combinatoire*] توفيقي
command [*Commande*] أمر – تعليمة، تحكم
Comment [*Commentaire*] تعليق
Commutative [*Commutatif*] تبديلي
Comparator [*Comparateur*] مُقارِن (أداة مقارنة)
Comparison [*Comparaison*] مقارنة
Compatibility [*Compatibilité*] تجانس، تلاؤم
Compilation [*Compilation*] تأليف- تصنيف – ترجمة،
Complement [*Complément*] متمم
Complex [*Complexe*] مركّب- معقّد
Composition [*Composition*] تركيب
Computer [*Ordinateur*] حاسوب
Concerning [*Concernant*] فيما يخص
Condensed [*Condensé*] مكثّف- كثيف
Condition [*Condition*] شرط، قيد
Configuration [*Configuration*] إعدادات، شكل، مظهر
Configure [*Configurer*] صاغ، أعدّ
Conjugate [*Conjugué*] مرافق
Constant [*Constant*] ثابت
Constitute (it constitutes) [*Constituer (il constitue)*] كوّن يكوّن
Contact details [*Coordonnées*] إحداثيات
Continuous [*Continu*] مستمر
Control unit [*Unité de commande*] وحدة التحكم
Convention [*Convention*] اصطلاح
Conversion [*Conversion*] تحويل
Coordination [*Coordination*] تنسيق
Corresponding [*Correspondant*] مرافق
Couple [*Couple*] زوج، ثنائية
Cubic root [*Racine cubique*] جذر تكعيبي
Cycle [*Cycle*] دورة
Data [*Données*] بيانات، معطيات
Decoding [*Décodage*] فك الترميز
Decomposition [*Décomposition*] تفكيك
Decrease [*Diminuer*] أنقص ينقص
Definition [*Définition*] تعريف
Degree [*Degré*] درجة

Demonstration [*Démonstration*] برهان
dependent [*Dépendant*] مرتبط
Design [*Conception*] تصميم- تصوّر
Design [*Concevoir*] صمّم – تصوّر
Designate [*Désigne*] ترمز لـ
Determining [*Déterminant*] المحدد
Device [*Dispositif*] جهاز - مكوّن
Diagram [*Schéma*] مخطط – رسم توضيحي
Digital [*Numérique*] رقمي
Dimension [*Dimension*] بُعد (أبعاد)
Dimension [*Dimension*] بعد (أبعاد)
Direct [*Direct*] مباشر
Directive [*Directive*] توجيه (توجيهات)
Disadvantages [*Inconvénients*] مساوئ
Distributive [*Distributif*] توزيعي
Divergence [*Divergence*] تباعد
Divisible [*Divisible*] قابل للقسمة
Division [*Division*] قسمة
Driver [*Conducteur*] ناقل، موصل
Editing [*Edition*] تحرير، تعديل، نشر
Effective [*Effectif*] فعلي
Electric [*Electrique*] كهربائي
Else [*Else*] وإلا (إذا لم يكن)
Encoder [*Encodeur*] أداة الترميز
End [*End*] نهاية
Entry [*Entrée*] مداخل
Enumeration [*Enumération*] تعداد
Equality [*Egalité*] مساواة
Equation [*Equation*] معادلة
Equivalence [*Equivalence*] تكافؤ
Euclidean division [*Division euclidienne*] قسمة إقليدية
Even [*Pair*] زوجي
Exchange unit [*Unité d'échange*] وحدة التبادل
Execute [*Exécuter*] نفّذ، أنجز
Execution [*Exécution*] تنفيذ، إنجاز
Exist [*Existe*] يوجد
Exponential [*Exponentiel*] دالة الأس
Express [*Exprimer*] عبر يعبر
Expression [*Expression*] تعبير، عبارة
Factor [*Facteur*] عامل (عوامل)
False [*Faux*] خطأ
Field [*Champ*] حقل
File [*Fichier*] ملف
Fixed point [*Virgule fixe*] الفاصلة الثابتة
Flip flop [*Bascule*] قلاّب - نطّاط
Float point [*Virgule flottante*] الفاصلة العائمة
Flow [*Flux*] تدفق
For [*For*] لكل، من أجل
Fork [*Branchement*] تفرع
Formal [*Formel*] شكلي
Formula [*Formule*] صيغة
Function [*Fonction*] دالة
Function [*Fonction*] وظيفة (عملية)
Functioning [*Fonctionnement*] وظيفة (عمل)
Gega [*Géga*] مليار
Generate [*Engendrer*] ولّد يولّد
Generator [*Générateur*] مولّد
Give [*Donner*] أعطى يعطي
Got [*Obtenu*] محصّل عليه
Gradually [*Au fur et à mesure*] بالتوالي- بالتتابع - بالتناسب
Graph [*Graphe*] منحنى، بيان
Growth [*Croissance*] تزايد
Header [*Entête*] رأسية (صدر)
High [*Haut*] عالي
Hint [*Indice*] دليل
Homogeneous [*Homogène*] متجانس
Identical [*Identique*] مطابق
Identification [*Identification*] مطابقة – تعرف على الهوية
Identifier [*Identificateur*] اسم مميز (معرف)
If [*If*] إذا
If [*Si*] إذا كان
Image [*Image*] صورة
Implementation [*Mise en œuvre*] إعداد
Impulse [*Impulsion*] نبضة
Inclusion [*Inclusion*] احتواء
Indicator [*Indicateur*] مؤشر - قرينة
Industrial [*Industriel*] صناعي
Influence [*Influence*] تأثير
Initialization [*Initialisation*] ابتداء
Instruction [*Instruction*] تعليمة – أمر
Integer [*Entier*] عدد صحيح
Integer [*Integer*] عدد صحيح
Integrated [*Intégré*] مدمج
Intersection [*Intersection*] تقاطع
Interval [*Intervalle*] مجال
Involvement [*Implication*] استلزام
Iteration [*Itération*] خطوة
Label [*Etiquette*] بطاقة
Law [*Loi*] قانون
Left [*Gauche*] يسار
Level [*Niveau*] مستوى
Limit [*Borne*] حد، طرف
Line [*Ligne*] خط
Line [*Ligne*] سطر
Linear [*Linéaire*] خطي
List [*Liste*] قائمة
Logical circuit [*Circuit logique*] دارة منطقية

Loop [*Boucle*] حلقة
Lower [*Inférieur*] أصغر
Machine structure [*Structure machine*] بنية الآلة (آليات)
Management [*Gestion*] تسيير - إدارة
Manner [*Manière*] طريقة
Match [*Correspondre*] يرافق يراسل
Maximum [*Maximum*] قيمة قصوى
Mean [*Signifier*] عنى يعني
Meeting [*Réunion*] اتحاد
Mega [*Méga*] مليون
Memory [*Mémoire*] ذاكرة
Memory space [*Espace mémoire*] حيّز الذاكرة (سعة الذاكرة)
Method [*Méthode*] طريقة
Microprocessor [*Microprocesseur*] معالج مصغر
Modular [*Modulaire*] بالتجزئة
Module [*Module*] جزء
Modulo (mod) [*Modulo (mod)*] ترديد (باقي القسمة)
Mouse [*Sourie*] فأرة
Multiplication [*Multiplication*] ضرب
Multiplication [*Multiplication*] ضرب (رياضيات)
Multiplier [*Multiplicateur*] أداة ضرب (رياضيات)
Natural [*Naturel*] طبيعي
Negative [*Négatif*] سالب
Normalized [*Normalisée*] قياسي - مواصف
Notation [*Notation*] ترميز
Note [*Note*] يرمز له بـ
Note [*Remarque*] ملاحظة
Null [*Nul*] معدوم
Number [*Nombre*] عدد
Object [*Objet*] شيء - كائن
Obvious [*Evident*] بديهي، واضح
Odd [*Impair*] فردي
On the other hand [*D'autre part*] إضافة إلى / رد على ذلك / من جهة أخرى
one's complement [*Complément à un*] مُتمّم - إلى الواحد
Operand [*Opérande*] عامل (رياضي)
Operation [*Opération*] عملية
Optimal [*Optimal*] الأمثل (الأفضل)
Optimization [*Optimisation*] إيجاد الأمثل
Order [*Ordre*] ترتيب
Organ [*Organe*] عضو
Origin [*Origine*] مبدأ
Otherwise [*Si non*] وإلا (إذا لم يكن)
Outputs [*Sorties*] مخارج
Overflow [*Débordement*] طفح (فيضان)
Parallel (in parallel) [*Parallèle (en parallèle)*] توازي (على التوازي)
Part [*Partie*] جزء
Particular [*Particulier*] خاص
PC Personal Computer [*Pc personal computer*] حاسوب شخصي
Perform [*Effectuer*] أنجز ينجز
Peripheral devices [*Périphériques*] مرافق، ملحقات (ج ملحقة)
Permutation [*Permutation*] تبديل
Power supply [*Alimentation*] تزويد - تغذية
Printer [*Imprimante*] طابعة
Quotient [*Quotient*] حاصل القسمة
RAM (Random Access Memory) [*RAM (random access memory)*] ذاكرة الوصول العشوائي
Random [*Aléatoire*] عشوائي
Random [*Random*] عشوائي
Rank [*Ordre*] رتبة
Rank [*Rang*] رتبة
Read [*Read*] اقرأ
Real [*Réel*] حقيقي
Realization [*Réalisation*] إنجاز
Reciprocal [*Réciproque*] معاكس
Record [*Record*] تسجيلة
Recurrence [*Récursivité*] تراجعية
Recursive [*Récursif*] تراجعي
Reducible [*Réductible*] قابل للاختزال
Reflexive [*Réflexif*] منعكس
Register [*Registre*] سِجِّل
Related [*Lié*] مرتبط
Relationship [*Relation*] علاقة
Relative [*Relatif*] نسبي
Relatively [*Relativement*] نسبيا
Repeat [*Répéter (repeat)*] كرّر يكرر
Replacement [*Remplacement*] استبدال
Reset [*RAZ (remise à zéro)*] إعادة إلى الصفر (تصفير)
Resistance [*Résistance*] مقاومة
Respectively [*Respectivement*] على الترتيب
Rest [*Reste*] باقي
Restitution [*Restitution*] استرجاع
Restore [*Restituer*] استرجع يسترجع
Restriction [*Restriction*] اقتصار
Result [*Conséquence*] نتيجة
Result [*Résultat*] نتيجة
Retain [*Retenir*] احتفظ يحتفظ
right [*Droite*] يمين
Rom (Read Only Memory) [*ROM (read only memory)*] ذاكرة قراءة فقط
Root [*Racine*] جذر
Rotation [*Rotation*] دوران
Rule [*Règle*] قاعدة
Secondary [*Secondaire*] ثانوي

Secondary memory [*Mémoire secondaire*] ثانوية
Selection [*Sélection*] اختيار
Semiconductor [*Semi-conducteur*] شبه موصل أو شبه ناقل
Sequence [*Séquence*] نسق، تتابع
Sequencer [*Séquenceur*] منسق، متابع
Sequential circuit [*Circuit séquentiel*] دارة سببية
serie [*Chaîne*] سلسلة
Series [*Série (en série)*] تتابع (على التوالي)
Set [*Ensemble*] مجموعة
Settings [*Paramètres*] وسائط
Shape [*Forme*] شكل
Shift [*Déplacement*] إزاحة
Signal [*Signal*] إشارة
Significant [*Significatif*] ذو معنى
Sinus [*Sinus*] دالة جيب
so [*Donc*] إذن
Solve [*Résoudre*] حل يحلّ
Species [*Espèce*] نوع، فصيلة
Spherical [*Sphérique*] كروي
Square root [*Racine carrée*] جذر تربيعي
Stable [*Stable*] مستقرّ
Statement [*Déclaration*] تصريح، إعلان
Static [*Statique*] ساكن
Store [*Stocker*] خزّن يخزن
Stream [*Courant*] تيار
Sub-program [*Sous-programme*] برنامج فرعي
Substraction [*Soustraction*] طرح
Successive [*Successif*] متتابع
Suite [*Suite*] متتالية
Sum [*Somme*] مجموع
Superior [*Supérieur*] أكبر من
Symbol [*Symbole*] رمز
Symmetrical [*Symétrique*] تناظري
Synchronize [*Synchroniser*] زامن يزامن
Synchronous? Asynchronous [*Synchrone ? Asynchrone*] متزامن؟ غير متزامن
System [*Système*] نظام
Table [*Tableau*] جدول
Term [*Terme*] حد
Text [*Texte*] نص
The numbers of significance [*Chiffres significatifs*] الأرقام ذات الدلالة
Theorem [*Théorème*] نظرية
Time [*Temps*] زمن
To treat [*Traiter*] عالج يعالج
Transitive [*Transitif*] متعدي
Transmission [*Transmission*] إرسال
Treatment [*Traitement*] معالجة
TRUE [*Vrai*] صواب، حقيقي
Truth table [*Table de vérité*] جدول الحقيقة (منطق)
Two's complement [*Complément Vrai à deux*] متمم حقيقي
Type [*Type*] نوع
Undetermined [*Indéterminé*] غير محدد
Unique/ unitary [*Unique/ unitaire*] وحيد/ واحدي
Update [*Mise à jour*] تحديث
Value [*Valeur*] قيمة
Vector operator [*Opérateur vectoriel*] عامل شعاعي
Verification [*Vérification*] تدقيق
Way [*Façon*] طريقة
While [*Tant que*] ما دام
Writing rules [*Règles d'écriture*] قواعد كتابة

Bibliography

Abdelaziz, Kara (2022). *Cours Structure machine: TD et Examen*. URL: https://www.el-kalam.com (cit. on p. 187).

Aït-Aoudia, Sami (2012). *Architecture des systèmes informatiques*. OPU (cit. on p. 187).

Amrouche, Hakim (2021). *Cours Structure machine*. URL: http://amrouche.esi.dz (cit. on p. 187).

Balla, Amar (2021). *Cours Structure machine: TD et Examen*. URL: http://balla.esi.dz (cit. on p. 187).

Belaid, Mohamed Cherif (2007a). *Algèbre de Boole et Fonctions Logiques*. Ed. Pages Bleus (cit. on p. 187).

– (2007b). *Circuits Logiques Combinatoires et Séquentiel*. Ed. Pages Bleus (cit. on p. 187).

Cormier, Gabriel (2015). *Cours Circuits logiques*. Université de Moncton, CANADA. URL: http://www8.umoncton.ca/umcm-cormier_gabriel/ (cit. on p. 10).

Drias-Zerkaoui, Habiba (2003). *Introduction à l'architecture des ordinateurs*. OPU (cit. on p. 187).

Müller, Didier (2021). *Informatique (presque) débranchée*. URL: https://www.apprendre-en-ligne.net/infodo/index.html (cit. on p. 12).

Souag, Nadia (2013). *Electronique numérique : cours et exercices corriges*. Office des publications universitaires, Algérie (cit. on p. 187).

Zerrouki, Taha (2012). *Nibras: Guide des terminologies pour les branches techniques*. Université de Bouira (cit. on pp. 4, 187, 188).

– (2013). *Cours Informatique*. Université de Bouira. URL: http://infobouirauniv.wordpress.com (cit. on pp. 4, 187, 188).

الدار العربية للعلوم (1990). معجم مصطلحات الحواسيب،إنجليزي عربي، . الدار العربية للعلوم (cit. on pp. 4, 188).

المدرسة الوطنية التحضيرية لدراسات مهندس (2004). دليل المصطلحات. المدرسة الوطنية التحضيرية لدراسات مهندس (cit. on pp. 4, 188).